国外电子与通信教材系列

信号完整性分析

Signal Integrity: Simplified

[美] Eric Bogatin 著

李玉山 李丽平 等译

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内容简介

本书全面论述了信号完整性问题。主要讲述了信号完整性和物理设计概论，带宽、电感和特性阻抗的实质含义，电阻、电容、电感和阻抗的相关分析，解决信号完整性问题的四个实用技术手段，物理互连设计对信号完整性的影响，数学推导背后隐藏的解决方案，以及改进信号完整性推荐的设计准则等。该书与其他大多数同类书籍相比更强调直观理解、实用工具和工程实践。它以入门式的切入方式，使得读者很容易认识到物理互连影响电气性能的实质，从而可以尽快掌握信号完整性设计技术。本书作者以实践专家的视角指出了造成信号完整性问题的根源，特别给出了在设计前期阶段的问题解决方案。这是面向电子工业界的设计工程师和产品负责人的一本具有实用价值的参考书，其目的在于帮助他们在信号完整性问题出现之前能提前发现并及早加以解决，同时也可作为相关专业本科生及研究生的教学指导用书。

版权贸易合同登记号　图字：01-2003-7696

图书在版编目（CIP）数据

信号完整性分析/（美）伯格丁（Bogatin, E.）著；李玉山等译. -北京：电子工业出版社，2005.4
（国外电子与通信教材系列）
书名原文：Signal Integrity: Simplified
ISBN 7-121-00642-1

Ⅰ.信…　Ⅱ.①伯… ②李…　Ⅲ.信号分析-教材　Ⅳ. TN911.6

中国版本图书馆CIP数据核字（2005）第022804号

责任编辑：陶淑毅
印　　刷：北京李史山胶印厂
出版发行：电子工业出版社
　　　　　北京市海淀区万寿路173信箱　邮编：100036
经　　销：各地新华书店
开　　本：787 × 1092　1/16　　印张：23.5　字数：602千字
印　　次：2005年4月第1次印刷
定　　价：39.00元

序

2001年7月间，电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师，商量引进国外教材问题。与会同志对出版社提出的计划十分赞同，大家认为，这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材，意味着开设了一门好的课程，甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书，对近代电子学科、特别是对雷达技术的推动作用，就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代，在原教委教材编审委员会的领导下，汇集了高等院校几百位富有教学经验的专家，编写、出版了一大批教材；很多院校还根据学校的特点和需要，陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来，随着教学改革不断深入和科学技术的飞速进步，有的教材内容已比较陈旧、落后，难以适应教学的要求，特别是在电子学和通信技术发展神速、可以讲是日新月异的今天，如何适应这种情况，更是一个必须认真考虑的问题。解决这个问题，除了依靠高校的老师和专家撰写新的符合要求的教科书外，引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，是会有好处的。

一年多来，电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组，选派了富有经验的业务骨干负责有关工作，收集了230余种通信教材和参考书的详细资料，调来了100余种原版教材样书，依靠由20余位专家组成的出版委员会，从中精选了40多种，内容丰富，覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面，既可作为通信专业本科生和研究生的教学用书，也可作为有关专业人员的参考材料。此外，这批教材，有的翻译为中文，还有部分教材直接影印出版，以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里，我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度，充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步，对高校教学工作会不断提出新的要求和希望。我想，无论如何，要做好引进国外教材的工作，一定要联系我国的实际。教材和学术专著不同，既要注意科学性、学术性，也要重视可读性，要深入浅出，便于读者自学；引进的教材要适应高校教学改革的需要，针对目前一些教材内容较为陈旧的问题，有目的地引进一些先进的和正在发展中的交叉学科的参考书；要与国内出版的教材相配套，安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求，希望它们能放在学生们的课桌上，发挥一定的作用。

最后，预祝“国外电子与通信教材系列”项目取得成功，为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题，提出意见和建议，以便再版时更正。

吴佑寿
中国工程院院士、清华大学教授
“国外电子与通信教材系列”出版委员会主任

出 版 说 明

进入21世纪以来，我国信息产业在生产和科研方面都大大加快了发展速度，并已成为国民经济发展的支柱产业之一。但是，与世界上其他信息产业发达的国家相比，我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天，我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社，我们始终关注着全球电子信息技术的发展方向，始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间，我社先后从世界著名出版公司引进出版了40余种教材，形成了一套“国外计算机科学教材系列”，在全国高校以及科研部门中受到了欢迎和好评，得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，将有助于我国信息产业培养具有国际竞争能力的技术人才，也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见，我们决定引进“国外电子与通信教材系列”，并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商，其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等，其中既有本科专业课程教材，也有研究生课程教材，以适应不同院系、不同专业、不同层次的师生对教材的需求，广大师生可自由选择和自由组合使用。我们还将与国外出版商一起，陆续推出一些教材的教学支持资料，为授课教师提供帮助。

此外，“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助，其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核，并得到教育部高等教育司的批准，纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作，我们聘请了清华大学、北京大学、北京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望，具有丰富的教学经验，他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外，对于编辑的选择，我们达到了专业对口；对于从英文原书中发现的错误，我们通过与作者联络、从网上下载勘误表等方式，逐一进行了修订；同时，我们对审校、排版、印制质量进行了严格把关。

今后，我们将进一步加强同各高校教师的密切关系，努力引进更多的国外优秀教材和教学参考书，为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足，在选题、翻译、出版等方面的工作中还有许多需要改进的地方，恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

译 者 序

本书作者Eric Bogatin具有20多年从事信号完整性研究、进行互连设计和开展工程师培训的经验。作者在书中以独特的工程视角和入门式的切入方式揭示了信号完整性问题的根源，帮助读者尽可能在电子设计的初期找到信号完整性问题的解决方案。本书是他在信号完整性领域的一部力作，特色鲜明、可读性强，主要的读者对象是电子设计工程师。

当前，电子系统与电路全面进入1 GHz以上的高速高频设计领域。在实现VLSI芯片、PCB和系统设计功能的前提下，具有性能属性的信号完整性问题已经成为电子设计的一个瓶颈。国外在理论研究、工程实践和EDA软件方面都有很多建树。国内对信号完整性的研究也逐渐呈现出浓厚的热情，有了一定的基础，而对于大多数电子设计工程师来说，仍迫切需要一本系统性的实用教材。译者认为本书较适合于国内读者的需要，可以胜任这一角色。因此，我们尽快地将它奉献给了国内从事电子设计理论研究和工程开发的人员，推荐给从事信号完整性研究以及对信号完整性有兴趣的工程技术和管理人员。通过本书的学习，读者可以比较轻松地了解电气性能的实质和物理互连对信号完整性的影响，能够尽快掌握信号完整性设计技术。

按照通常的说法，信号完整性分为芯片和PCB两个着眼点。二者原理上相通，但技术上有别，本书着眼的重点则是在PCB及IC封装设计上。该书从信号完整性的角度介绍工程师们既熟悉又新鲜的基本概念，将时域、频域、阻抗匹配、电阻、电容、电感、传输线、介质材料、差分技术等内容由浅入深地娓娓道来，将读者引入信号完整性研究的新天地。本书将电路互连对系统性能的影响归结为四类噪声问题：反射、串扰、轨道塌陷以及EMI；倾心推介了四种信号完整性研究分析途径：经验法则、解析近似、数值仿真、实际测量。全书用尽量少的笔墨进行了理论描述和数学推导，极力突出直观概念和工程实用性。

由于国内此类书籍颇少，因此在专业术语方面还没有统一的译名，例如，作为互连造成的四种重要噪声之一的“rail collapse”，本书译为“轨道塌陷”等。像这样的问题都有待读者进一步指正。为了便于读者对中英文术语进行查阅对照，在本书最后以附录形式给出了书中主要的中英术语对照表。

本书由西安电子科技大学电路CAD研究所研究信号完整性的教师和部分博士生、硕士生翻译并由李玉山审定。参与翻译和审校的人员有李丽平、侯彦宾、占志海、贾琛、张本水、刘利华、王崇剑、杨刚、李静澜、张静、薛蓉、白宇佳、李婷、董巧玲等。原书作者Eric博士在翻译过程中给予了热情帮助，并为中文版的出版专门作序。本书的出版也得到了国家自然科学基金（No.60172004）和教育部博士点基金（No.20020701003）的资助。译者在此一并表示感谢。

本书可以作为电子通信类专业博士生和硕士生的课程教材，也可以作为电子系统与电路设计工程师研究信号完整性问题时的技术参考书。

中文版序言

The electronics industry is driven by a simple mantra; products will always evolve to be smaller, faster, cheaper, and developed in shorter and shorter design cycle times. This path was first established by Moore's Law. Now, expectations with the end users force all semiconductor product vendors to live up to this tradition.

Advances in photolithography and IC manufacturing technology, which drive Moore's Law, means the features sizes on-chip will always decrease. This has two important impacts. First, chips will always grow in the number of gates. This enables higher functionality in the same size chip and at the same cost. Second, as the gate channel length decreases, the switching time of each gate will decrease. Shorter switching time means shorter rise time for the output drivers and higher clock frequencies possible. All signal integrity problems get worse with shorter rise times.

As a direct consequence of improved manufacturing methods, signal integrity will become an increasing problem for even the lowest cost chips. This is why we sometimes say, "There are two kinds of designers, those with signal integrity problems, and those that will have them."

Signal integrity is about how the physical interconnects such as IC packages, circuit boards, connectors and cables, affect the quality of the signals and power distribution. These analog effects are often not well known to hardware designers. As rise times decrease below 1 nanosecond, interconnects are no longer transparent and the electrical effects of the interconnects may cause the product to fail.

When we entered the 21st Century, we entered a new era for electronic products. Shrinking design cycle times means the product must work the first time. We do not have the luxury of multiple build-it, test-it, re-design-it loops. If signal integrity effects are not taken into account right at the beginning and designed out, products will fail.

A new design methodology must be used for companies to stay competitive. This new strategy incorporates implementing good signal integrity design practices and a habit of verifying the design with modeling, simulation and measurement tools.

I hope this book will start you on your path to mastering the skills required to stay competitive into the 21st Century.

——Dr. Eric Bogatin, Olathe, Kansas Oct 23, 2004
www.BeTheSignal.com

中文版序言译文

电子工业的发展受到简单经典法则的支配：摩尔定律最早给出了电子产品的这一发展方向——更小、更快、更便宜、研发周期更短。现在，终端用户的要求迫使所有的半导体产品供应商一定要遵循这个规律。

支撑摩尔定律的光刻和IC制造工艺不断进步，这意味着片上特征尺寸的不断减小。这种减小产生两个深远影响：首先，芯片门数不断增加，以至于在同样成本、同样尺寸的芯片上可以有更强的功能。第二，当门的沟道长度减小时，门的开关时间会减少。短的开关时间意味着输出驱动器上升时间变短，时钟频率可以更高。这样，随着上升时间变短，所有与信号完整性相关的问题都变得更加严重。

制造技术进步的一个直接后果是：即使低成本的芯片，也有信号完整性问题。所以我们说："有两种设计师，一种是已经遇到了信号完整性问题，另一种是即将遇到信号完整性问题。"

信号完整性研究物理互连（例如IC封装、电路板、接插件、电缆等）如何影响信号和电源分布的质量。硬件设计师非常有必要了解这些模拟效应。当上升时间下降到1纳秒以下时，互连就不再是透明的了，互连的电气效应将使得产品无法正常工作。

21世纪是电子产品的断世纪。缩短设计周期意味着产品必须能做到首件工作正常。我们已经不再可能执行多次产品创建、测试、再设计的循环过程了。如果信号完整性问题不能从产品的开始到设计完成前认真加以解决，产品将无法正常工作。

企业为了保持竞争性，必须采用新的设计方法学。这种新策略包括：采用断的信号完整性设计技术，对断的设计用建模、仿真和测量工具进行验证。

我希望这本书能使你有机会掌握必要的技术，以便在21世纪继续保持竞争力。

——Eric Bogatin 博士
2004年10月23日于美国堪萨斯州 Olathe
www.BetheSignal.com

前　言

通常，人们一提到印刷电路板（PCB）和IC封装设计，常常会想到电路设计、版图设计、CAD工具、热传导、机械工程和可靠性分析等。现在，随着现代数字电子系统突破1 GHz的壁垒，PCB板级设计和IC封装设计必须都要考虑到信号完整性和电气性能问题。

凡是介入物理设计的人都可能会影响产品的性能。所有的设计师都应该了解设计如何影响信号完整性，至少能够和信号完整性专业的工程师进行技术上的沟通。

传统的设计方法学是：根据要求研制产品样机，然后进行测试和调试。今天，产品的上市时间和产品的成本、性能同等重要，采用传统做法效率会很低。因为，一个设计如果在开始阶段不考虑信号完整性，就很难做到首件产品一次成功。

在当今的"高速"世界里，从电气性能的角度看，封装和互连对于信号不再是畅通和透明的了。因此，需要新的设计方法学来保证产品设计的一次成功率。这种新的设计方法学立足于可预见性。为此，首先是要尽量应用已经成熟的在工程经验中积累的设计法则；其次是要对产品的性能做出预测和评估，并加以量化。这种工程设计途径是与猜测途径不同的，工程途径中要充分利用四种重要的技术工具：经验法则、解析近似、数值仿真工具和实际测量。在设计仿真过程中，还要尽可能早一点儿对产品的性能和成本做出评估和折中。在设计早期做出分析和折中处理对上市时间、产品成本和风险的影响最大。解决问题的途径可以归结为：首先分析信号完整性问题的起源，然后利用本书提供的工具找出最优的解决方案并加以验证。

设计过程是充满直觉的过程，解决问题的灵感性源自想像力和创造性。如果人们头脑中首先涌现出一个好主意，然后凭借技术训练中提供的分析能力，就能进一步将这个好主意变成一个解决问题的实际方案。方案的最终验证肯定要进行计算机仿真，但是它毕竟代替不了我们的直觉。相反，只有对工作机理、原理、定义和各种可能性做到深人掌据，才有可能涌现出一个好的问题解决方案。所以，要做到能通过直觉推断去寻找问题答案，需要不断地提高理解力和想像力。

本书强调解决问题的直觉途径。全书内容的安排就是为了使读看能够掌握从芯片、封装、电路板、接插件到连线电缆的所有互连设计及所用材料对电气特性的影响。

商业报导中不完整、甚至矛盾的描述造成不少人的困惑，而这些人可以把本书当做学习的入门起点。那些对电子设计比较有经验的人，也可以通过本书的学习最终理解数学公式的真正物理含义。

本书从最基本的参数术语出发进行论述。例如，传输线阻抗是一段互连线的基本电气特征，它推述出信号所感受到的互连线电气特征以及信号与互连线间的相互作用。大多数信号完整性问题来自三个参数项之间的混淆，它们是阻抗、特性阻抗以及信号所碰到的瞬态阻抗。甚至对于有经验的工程师来说，这三者的区别也是很重要的。本书没有使用复杂的数学描述，而是直接将这些概念及其含义介绍给读者。

此外，我们站在基本层面上为读者介绍一些新的专题，而信号完整性方面的大多数其他书籍中并不涉及这个层次。这些专题有：局部电感（有别于回路电感）、地弹和EMI起因、阻抗、传输线突变、差分阻抗、有损线衰减导致眼图塌陷等。关注这类研究对于新的高速连接方案也是至关重要的。

工程师为了能尽快找到解决问题的最佳方案，除了深入掌握基本原理之外，还必须拥有实用的商品化技术工具。这些工具一般分为两类：分析型和测量型。分析型指的是计算，测量型指的是通过测量完成表征与描述。本书介绍了多种这样的工具，给出了它们的使用指南和具体参数值的实例。

目前有三类分析工具：经验法则、解析近似和数值仿真。它们的准确度和难度各不相同。每一个都很有用，适用于不同场合。每个工程师都应该把这些工具放在身边备用。

经验法则就是像“单位长度线段的自感大约是25 nH/in”这样的结论。如果最需要的是快速求解而不是精确求解，这些经验法则就显得特别有用。绝大多数场合下，信号完整性中的公式只能给出定义或者是近似表示。近似对于开拓设计空间、兼顾设计难度和性能指标是必需的。然而，随意过分的近似是有风险的。人们一般不会同意在近似程度未知的前提下安排一个月的时间，冒险用1万美元的代价去制作PCB电路板。

如果提交设计时要求给出准确的结果，就必须用到数值仿真工具。在过去的五年里已经研制成功了一代全新的工具，这些新工具既好用又准确。它们可以预测特性阻抗、串扰、任意截面传输线的差分阻抗，也可以仿真出任意一种终端连接对信号的可能影响。使用新一代的工具不需要很高的学历，任何一个工程师都能从中受益。

数值仿真的质量惟一地取决于元器件电气描述（即等效电路模型）的质量。工程师们都学过信息处理用的门电路模型，但是很少考虑互连线的电路模型。15年以前，互连对于信号还是畅通透明的。那时把互连看做是理想的导线，既没有阻抗，也没有延迟。后来考虑了这些参数项，就将它们表示成集总寄生参数。

目前高速数字系统的时钟已经超过100 MHz，信号完整性问题使得首件产品很难做到一次成功。真实的连接线，包括键合线、封装引线、芯片引脚、电路板线条、接插件、连接电缆等，都是造成信号完整性问题的根源。为此，必须充分理解这些“模拟电路”效应，有针对性地设定参数值，进行全面的系统级仿真，然后再去制作硬件。这样就有可能做出鲁棒性好的产品，并尽快推向市场。

本书从各种常见的系统中选取了一些实例，其内容涉及芯片内互连、键合线、倒装芯片接触点、多层电路板、DIP、PGA、BGA、QFP、MCM等连接件插件以及电缆。该书介绍的分析技术有助于设计工程师和项目负责人更好地理解芯片封装、电路板、接插件等无源互连元素对系统性能的影响。书中还给出了对重要电气参数以及技术折中方案进行工程评估的技术和方法。

大多数教科书都强调理论推导和数学上的严格性。本书则侧重于直观的分析理解、实用技术以及工程实践。我们把电子工程和物理学的基本原理应用于封装和互连问题中，构建出理解问题的基本框架和解决问题的方法学。本书采用时/频域测量、二/三维场求解器、传输线仿真、电路仿真器以及解析近似等多种技术和工具来建造经过验证的封装和互连的等效电路模型。

这里着重关注模型的两个特征：它的精度如何及它的带宽如何。回答这些问题的惟一途径是测量。只有通过测量才能够极大地降低设计风险。

全书介绍了三类测量仪器，并对测量数据加以解释。这三类仪器是：阻抗分析仪，矢量网络分析仪（VNA）以及时域反射计（TDR）。书中通过对真实的互连进行测量的实例（包括IC封装、印刷电路板、电缆和接插件）来阐明测量原理并对这类表征型工具的输出测量值加以解释。

本书面向具有不同专业技能和培训背景的人员，包括设计工程师、项目负责人、销售和市场部经理、工艺研发人员和科学家。书中阐述的要点是：高速数字系统的互连设计的难点是什么，以及需要克服哪些技术障碍才能在高频时正常工作。

我们基于电子工程和物理学的原理来分析数字信号通过整个互连段时引起的信号完整性问题。引入等效互连电路模型的概念是为了给出性能预测的量化指标。本书的大量篇幅是用这种电路模型来分析互连对系统电气性能的影响，这些影响可以归结为四类噪声问题：反射、串扰、轨道塌陷以及EMI。

本书的素材是作者讲授短期和整学期系列课程时的教材。授课对象是芯片封装、电路PCB板组装和系统设计方面的工程师。这些人需要在设计时考虑互连对电气性能的影响。书中提供的基础知识有助于理解物理几何尺寸和材料特性的设计如何影响电气性能。

关于信号完整性至少应该记住下列一些重要原则。这里给出的是条目纲要，在后面将给出进一步的详尽论述。

信号完整性问题的十个基本原则

1. 提高高速产品设计效率的关键是：充分利用分析工具来实现准确的性能预测；使用测量手段来验证设计过程、降低风险、提高设计工具的可信度。
2. 将问题实质与表面现象剥离开的惟一可行的途径就是采用经验法则、解析近似、数值仿真技术或者测量工具来获得数据，这是工程实践的本质要素。
3. 任何一段互连线，不论线长和形状如何，也不论信号的上升时间如何，都是一个由信号路径和返回路径构成的传输线。一个信号在沿着互连线前进的每一步中，都会感受到一个瞬态阻抗。如果瞬态阻抗为常数，就像传输线具有均匀的横截面一样，则其信号质量将会获得奇迹般的改善。
4. 把“接地”这一术语忘掉，因为它所造成的问题比用它来解决的问题还要多。每一路信号都有返回路径。抓住“返回路径”，像对待信号路径一样去寻找并仔细处理返回路径，这样有助于培养解决问题的直觉能力。
5. 当电压变化时电容上就有电流流动。对于信号的陡峭边，即使电路PCB板边缘和悬空导线之间的空气隙形成的边缘线电容也可能拥有很低的阻抗。
6. 电感与围绕电流周围的磁力线匝数有本质的联系。只要电流或者磁力线匝数发生改变，在导线的两端就会产生电压。这一电压导致了反射噪声、串扰、开关噪声、地弹、轨道塌陷以及EMI。
7. 当流经接地回路电感上的电流变化时，在接地回路导线上产生的电压称为地弹。它是造成开关噪声和EMI的内部机理。

8. 以同频率的方波作为参照，信号带宽是指有效正弦波分量的最高频率值。模型的带宽是指在这个最高的正弦频率上，模型仍然能够用来准确地预测互连的实际性能。在使用模型进行分析时，一定不要让信号的带宽超过模型的带宽。
9. 记住，除了少数情况之外，信号完整性中的公式给出的是定义或者近似。在特别需要准确性的场合就不要使用近似。
10. 有损传输线引起的问题就是上升边变差。由于趋肤深度和介质损耗，损耗会随着频率的升高而增加。如果损耗随着频率的升高而保持不变，那么上升时间就不会发生变化，这时的有损线只是增添了一些损耗而已。
11. 影响研发进度并造成产品交货推迟，就是企业付出的最昂贵的代价。

目　　录

第1章　信号完整性分析概论

“有两种设计师，一种是已经遇到了信号完整性问题，另一种是即将遇到信号完整性问题。”

——某公司的一条警告

当今时代，不仅时钟频率日益提高，信号完整性问题变得更为严重，设计人员用来解决信号完整性问题和设计新产品的时间也日益缩短。产品设计人员将一件产品投入市场只有一次机会，所以该产品必须第一次就能运行成功。如果在产品设计周期中不能尽早确定和消除信号完整性问题，产品有可能不能正常工作。

提示　随着时钟频率的提高，确定和解决信号完整性问题已越来越关键。成功属于那些精通信号完整性并能采取高效的设计过程消除这些问题的公司。只有运用新设计规则、新技术和新分析工具，才能实现高性能的设计并日益缩短研发周期。

在高速产品中，物理设计和机械设计都会影响信号完整性。图1.1示出了印制电路板（PCB）上一段简单的两英寸（in, 1 in = 0.025 4 m）长的线条是如何影响典型驱动源的信号完整性的。

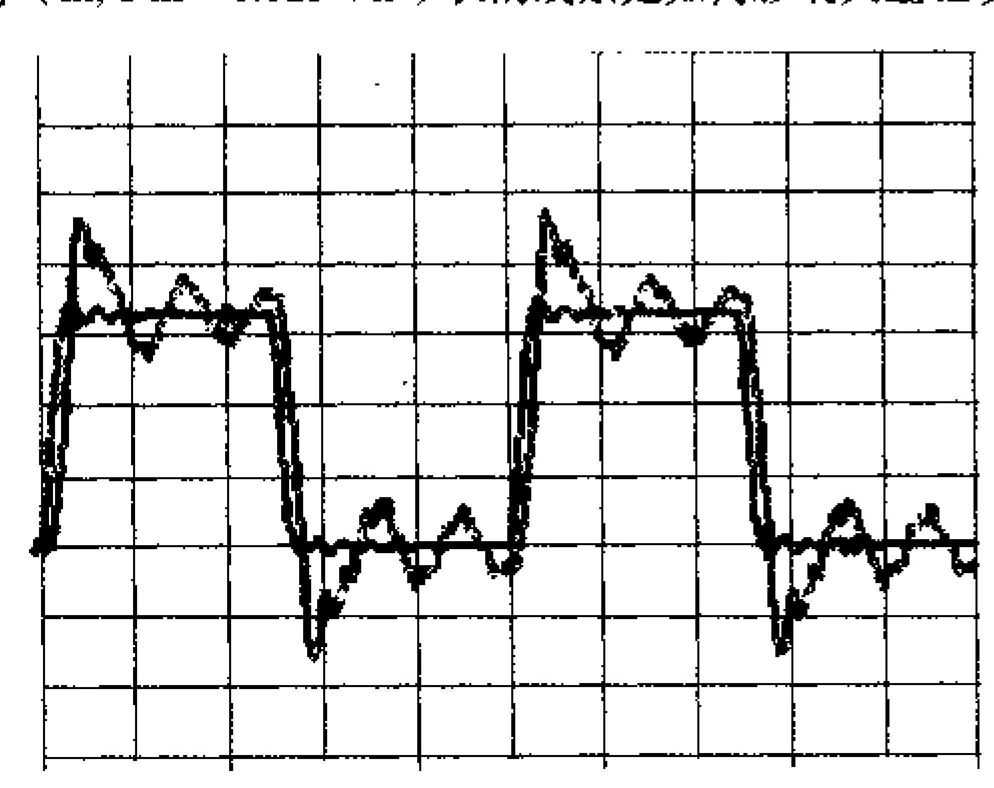


图1.1　100 MHz时钟产生后，从驱动源芯片输出的两种波形：没有外加引出连线（平滑曲线）和输出端连接有一段两英寸长的PCB线条（振铃曲线）。其中纵轴每格表示1 V，横轴每格表示2 ns。本图由Mentor Graphics公司的Hyperlynx仿真得出

通常设计过程是极富直觉和创造性的。要想尽快完成合格的设计，激发关于信号完整性的设计直觉至关重要。所有涉及产品的设计师们都应该了解信号完整性如何影响整个产品的性能。通过在直觉和工程实践的层次上理解信号完整性的基本原理，参与设计过程的每个设计师就可以体会到他们的决定对系统性能所产生的影响。本书主要介绍理解和解决信号完整性问题所需的基本原理，直观定量地给出了信号完整性问题的工程背景知识。

1.1 信号完整性的含义

过去，时钟频率只有10 MHz。电路板或封装设计的主要挑战就是如何在双层板上布通所有的信号线以及如何在组装时不破坏封装。由于互连线不曾影响过系统性能，所以互连线的电气特性并不重要。在这种意义下，可以说“对信号来讲过去的互连线是畅通透明的”。

例如，如果一个器件输出一个上升边约为10 ns、时钟频率为10 MHz的信号，则即使是最粗糙的互连线，电路也可以正常工作。由手工连线而成的样机同规范布线的最终印制板产品一样都能正常工作。

但是现在时钟频率提高了，信号上升边也已普遍变短。对大多数电子产品而言，当时钟频率超过100 MHz或上升边小于1 ns时，信号完整性效应就变得重要了，通常将这种情况称为高频领域或高速领域。这些术语意味着在那些互连线对信号不再透明的产品或系统中，如果不小心就会出现一种或多种信号完整性问题。

从广义上讲，信号完整性指的是在高速产品中由互连线引起的所有问题。它主要研究互连线与数字信号的电压电流波形相互作用时其电气特性参数如何影响产品的性能。

所有这些问题分为以下三种影响和后果：

1. 时序；
2. 噪声；
3. 电磁干扰（EMI）。

时序本身就是一个复杂的研究领域。在一个时钟周期内，必然发生一定数量的操作，必须在预算中划分某段较短的时间并分配给各种不同的操作。例如，分配一些时间给门翻转、将信号传送至输出门、等待时钟进入下一级门、等待门读出输入端数据等。尽管互连线影响时序预算，但本书不讨论时序问题。关于这个主题的更多信息，本书在附录部分给有兴趣的读者列出了一些其他的参考书。这里的重点放在互连线对其他一般高速问题的影响上，其中大部分为噪声问题。

我们听到过许多信号完整性的噪声问题，比如振铃、反射、近端串扰、开关噪声、非单调性、地弹、电源反弹、衰减、容性负载等。这些都是互连线的电气特性对数字信号波形所造成的不同影响。

乍一看，要考虑的新问题似乎无穷无尽、非常混乱，这一点从图1.2中可以看出。数字系统设计师或电路板设计师中很少有熟悉所有这些术语的，他们仅仅将这些问题标记为早期产品设计雷区中的弹坑，发现一个算一个。怎样才能弄清所有这些信号完整性问题呢？难道仅仅是列一个不断增加的清单并定期地补充它吗？

所有与信号完整性噪声问题有关的效应都与下面四类特定噪声源中的一个有关：

1. 单一网络的信号完整性；
2. 两个或多个网络间的串扰；
3. 电源和地分配中的轨道塌陷；
4. 来自整个系统的电磁干扰和辐射。

终端　线时延
辐射　寄生参数　电容
电磁干扰/电磁兼容　负载线
衰减　电源和
非单调边缘　地分配　关键网络
地弹　信号完整性
趋肤深度　灵敏度　电阻压降
电感　振铃　有损线
上升边退化　串扰
桩线长度
模式转换　返回电流路径　平面间间隙
阻抗突变
传输线
ΔI噪声　反射
下冲，过冲　阻容延迟　色散

图 1.2　信号完整性效应的组合列表看似是由这些术语组成的随机集合，没有固定模式

这四种类型如图 1.3 所示。一旦知道四种问题中每种噪声的来源，那么找出和解决这种问题的一般方案就很清楚了。这就是为什么要把各种信号完整性噪声问题分为以上四种类型的原因。

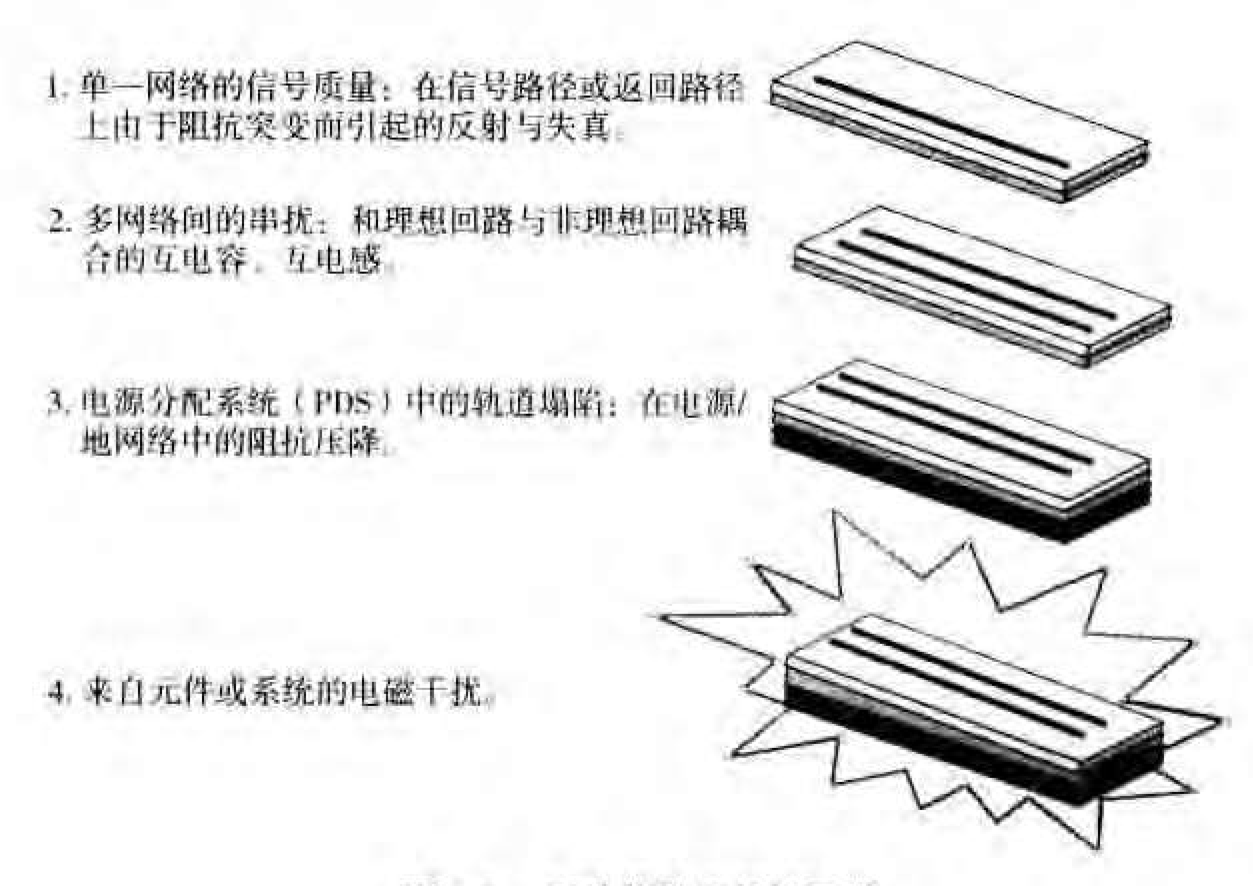


图 1.3　四种信号完整性问题

这些问题在所有的互连线中都起作用，小到芯片中的连线，大到板级连接电缆和任何位置间的互连线。原理和效应是一样的，各个物理结构的不同之处就是具体的几何特征尺寸和材料特性。

1.2　单一网络的信号质量

网络由系统中所有连接在一起的金属组成。例如，从时钟芯片的输出引脚引出的线条与其他三个芯片相连，连接这四个引脚的每条金属就可以看做是属于同一个网络。另外，网络不仅包括信号路径，还包括信号电流的返回路径。单一网络的信号质量与信号路径和返回路径的物理特征都有很大的关系。在图 1.4 中给出了电路板上的两个不同网络。

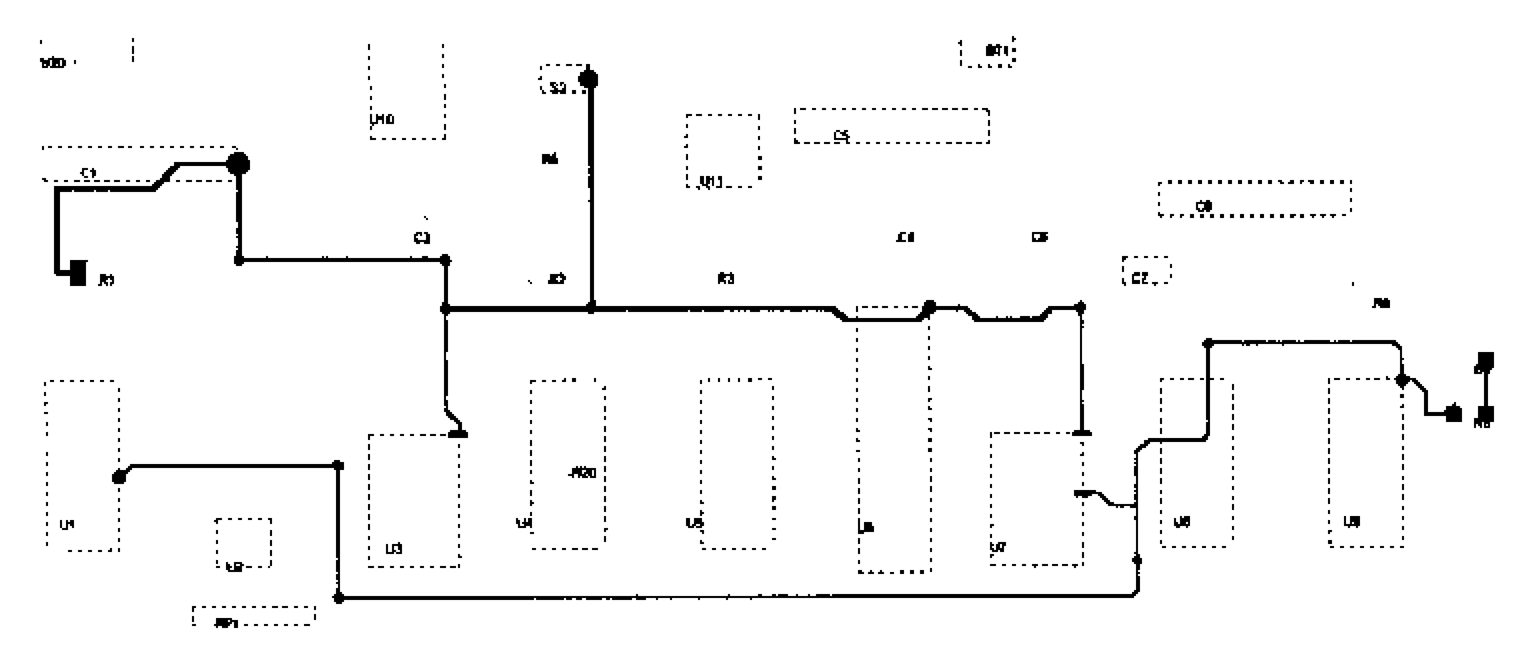


图 1.4 一块电路板上的两个网络。所有连接在一起的金属看做一个网络。注意：其中一个网络有一个串联的贴片电阻。本图由 Mentor Graphics 公司的 Hyperlynx 布线

当信号从驱动源输出时，构成信号的电流和电压将互连线看做一个阻抗网络。当信号沿网络传播时，它不断感受到互连线引起的瞬态阻抗变化。如果信号感受到的阻抗保持不变，则信号就保持不失真。然而，一旦阻抗发生变化，信号就会在变化处产生反射，并在通过互连线的剩余部分时发生失真。如果阻抗改变程度足够大，失真就会导致错误的触发。

任何改变横截面或网络几何形状的特征都会改变信号所感受到的阻抗。将令阻抗发生变化的所有特征称为突变，每个突变将导致信号原始的纯净形状在某种程度上发生失真。使信号所感受到的阻抗发生改变的情况有以下几种：

1. 线宽变化；
2. 层转换；
3. 返回路径平面上的间隙；
4. 接播件；
5. 分支线、T 型线或桩线；
6. 网络末端。

这些阻抗突变是由横截面、布线拓扑结构或附加元件产生的。最常见的突变发生在线条端点处，通常是驱动源输出端开路高阻或者是低阻。

提示 减小阻抗突变问题的方法是让整个网络中的信号所感受到的阻抗保持不变。

这个方法一般通过三步实现。首先，使用线条阻抗为常量或者“可控”的电路板，这通常意味着使用均匀的传输线。其次，提供使沿线阻抗保持不变的拓扑结构的布线规则。最后，在关键地方放置电阻来控制反射并设法使接收到的信号干净些。

图 1.5 中分别给出了在同一网络中由阻抗突变引起的不好的信号质量（产生振铃）和使用终端电阻控制阻抗突变时的信号质量（极佳）。通常认为“振铃现象”实际上是由阻抗突变产生的反射引起的。

即使是端播完善的精密电路板布局，也能严重地影响信号质量。例如，当线条分成两路时，节点处的阻抗发生变化。一部分信号反射回信号源，一部分信号继续沿着分支传播，但产生衰减和失真。若以菊花链方式重新布线，则能使信号沿着路径所感受到的阻抗保持不变，信号质量也能得以恢复。

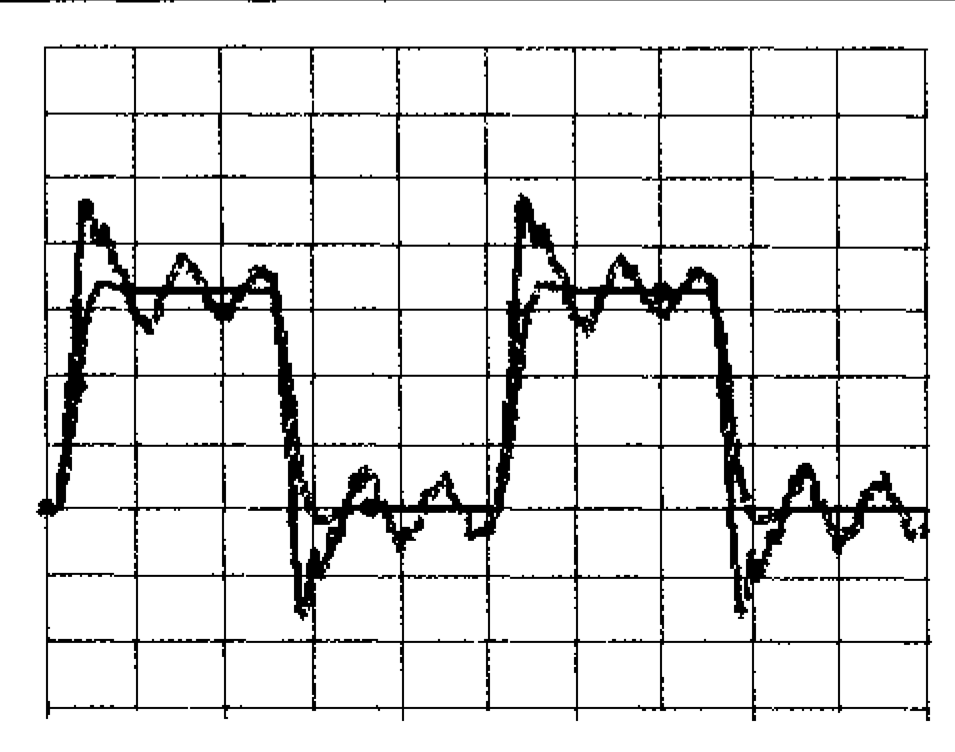


图 1.5　无端接时，互连线上出现振铃；而当源端有串联端接时，互连线上的信号质量极好。在两种情况下PCB线条仅有两英寸长。纵轴每格表示1 V，横轴每格表示 2 ns。本图由 Mentor Graphics 公司的 Hyperlynx 仿真

任何突变对信号产生的影响与信号的上升边有关。随着上升边变短，失真的幅度增大。这就是说，在 33 MHz 时钟设计中，突变不算问题，但在 100 MHz 时钟设计中就可能成为问题，如图 1.6 所示。

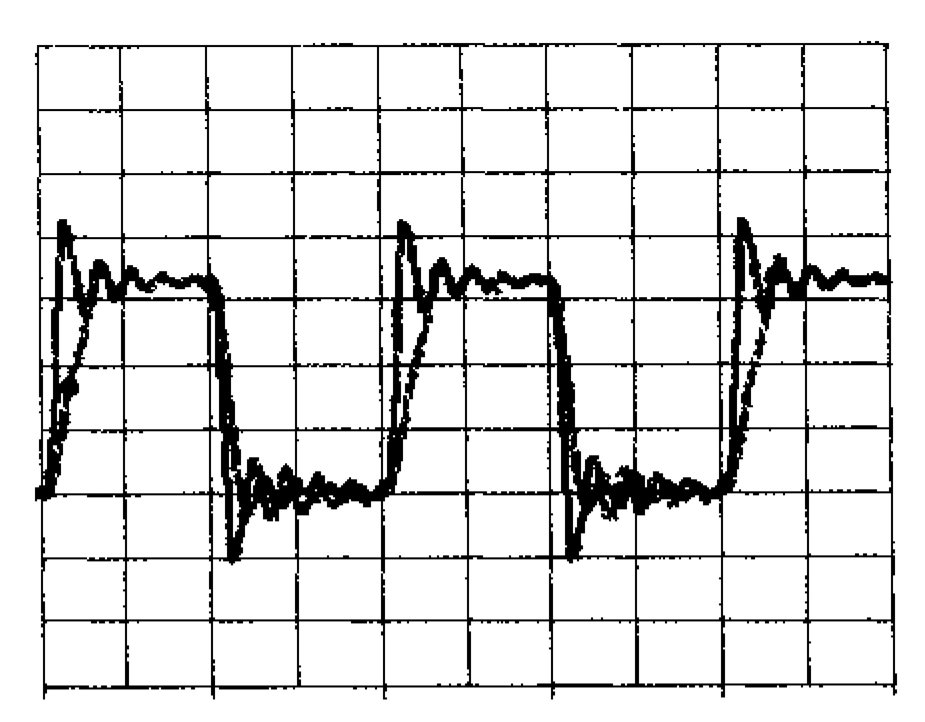


图 1.6　PCB 板上 6 in 长、无端接线条上的 25 MHz 时钟波形。较慢的上升边为 3 ns，无振铃现象发生；振铃在上升边为 1 ns 的信号中发生。即虽然在某个上升边时不产生问题，但在较短上升边时就可能会成为问题。本图由 Mentor Graphics 公司的 Hyperlynx 仿真

随着频率升高和上升边缩短，使信号所感受到的阻抗保持不变变得越来越重要。达到这一要求的一种方法就是使用可控阻抗互连线，甚至在封装时也一样，如多层球栅阵列（BGA）。当封装没有采用可控阻抗（如引线架）时，使引线尽量短也很重要，如使用芯片最小尺寸封装（CSP）。

1.3　串扰

当网络传播信号时，有些电压和电流能传递到邻近的静态网络上，而后者只是从事自己的事务。即使第一个网络（动态网络）上的信号质量非常好，一些信号也会以有害的噪声形式耦合到第二个静态网络上。

提示 正是网络间的容性耦合和感性耦合，给有害噪声从一个网络到达另一个网络提供了路径。

串扰发生在两种不同的情况中：互连线为均匀传输线时（正如电路板上的大多数线条那样）和互连线为非均匀传输线时（如接插件和封装）。在可控阻抗传输线上，线条有很宽的均匀返回路径，相对的容性耦合与感性耦合大小是相当的。在这种情况下，这两种效应在静态线的近端和远端的叠加方式是不一样的。图1.7为电路板上的两个网络间的近端和远端串扰。

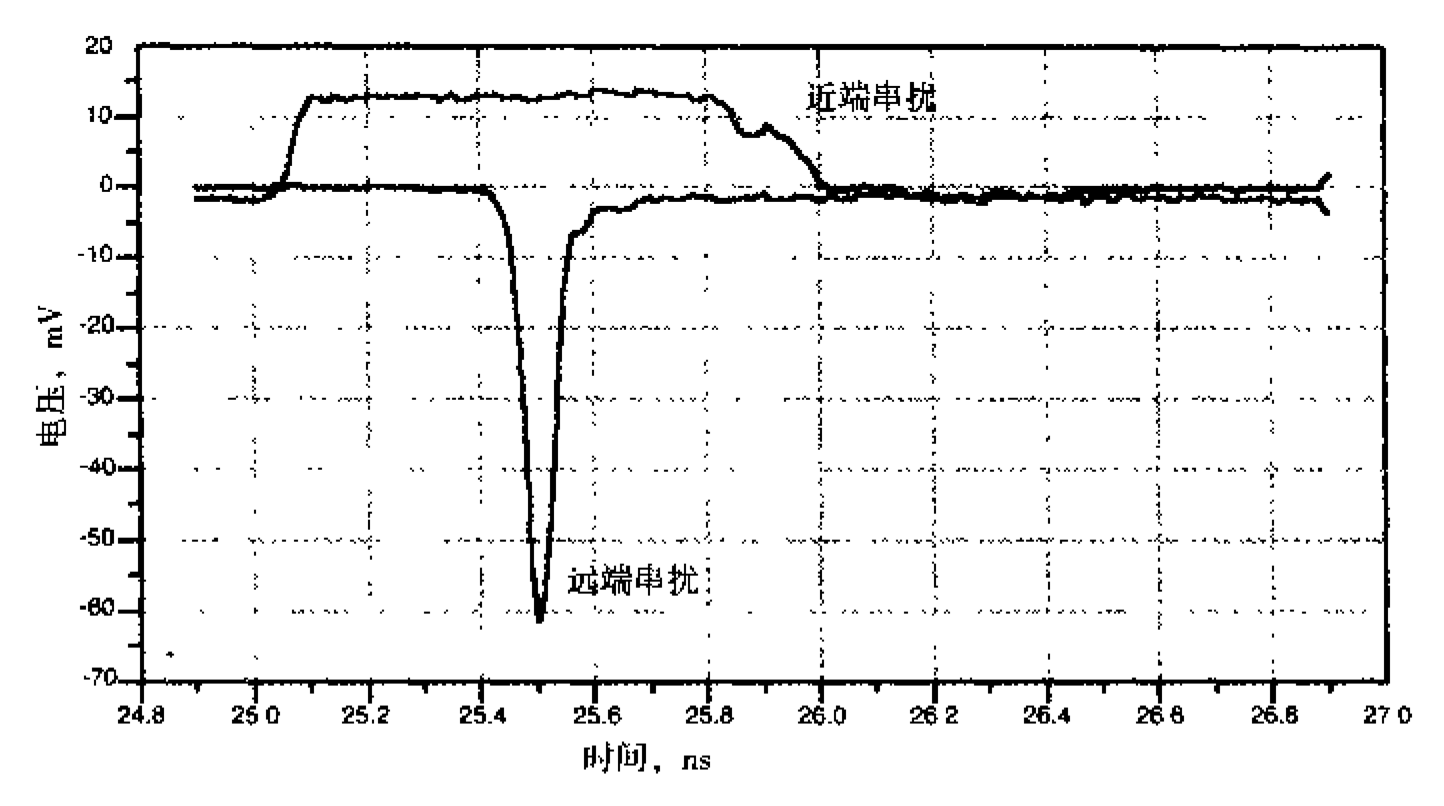


图1.7 当动态线条上输入200 mV的信号时，在静态线近端和远端测得的电压噪声。注意：近端噪声约为信号的60%，远端噪声几乎达到13%。该结果由Agilent DCA86100插入式时域反射仪（TDR）和GigaTest Labs探针台测量得出

返回路径为均匀平面时是实现最低串扰的结构，一旦使返回路径的均匀平面发生变化，就会增加两个传输线间的耦合噪声。通常发生这种情况时（例如当信号经过接插件且多个信号共用的返回路径是一个引脚而不是一个平面时），感性耦合噪声比容性耦合噪声增加的要多。

当感性耦合噪声处于主导地位时，通常把这种串扰归为开关噪声、ΔI噪声、dI-dt噪声、地弹、同时开关噪声（SSN）或者同时开关输出（SSO）噪声。这类噪声是由耦合电感，即所谓的互感产生的。阅读本书后面的章节可知，地弹实际上是由于邻近信号和返回路径间的互感很大才产生的，开关噪声大多发生在接插件和封装处。图1.8为封装中邻近信号路径和返回路径间的大互感产生的SSO噪声。

提示 由耦合电感即互感主导的SSO噪声，渐渐地变为接插件和封装设计中最重要的问题之一，它在下一代产品中将会更加严重。解决办法就是谨慎地设计路径的几何结构，使得耦合电感即互感最小。

通过了解容性耦合与感性耦合的本质，就可以优化相邻信号线的物理设计而减小耦合，通常这与把线条远远分离开一样简单。另外，对于特性阻抗相同的导线，使用介电常数较小的材料将会减少串扰。串扰的某些方面，特别是开关噪声，会随着互连线长度的增加和上升边的减少而增加。上升边越短，信号产生的串扰就越严重。另一方面，若使互连线尽可能地短，如使用芯片最小尺寸封装（CSP）和高密度互连线（HDI），就有助于减小串扰。

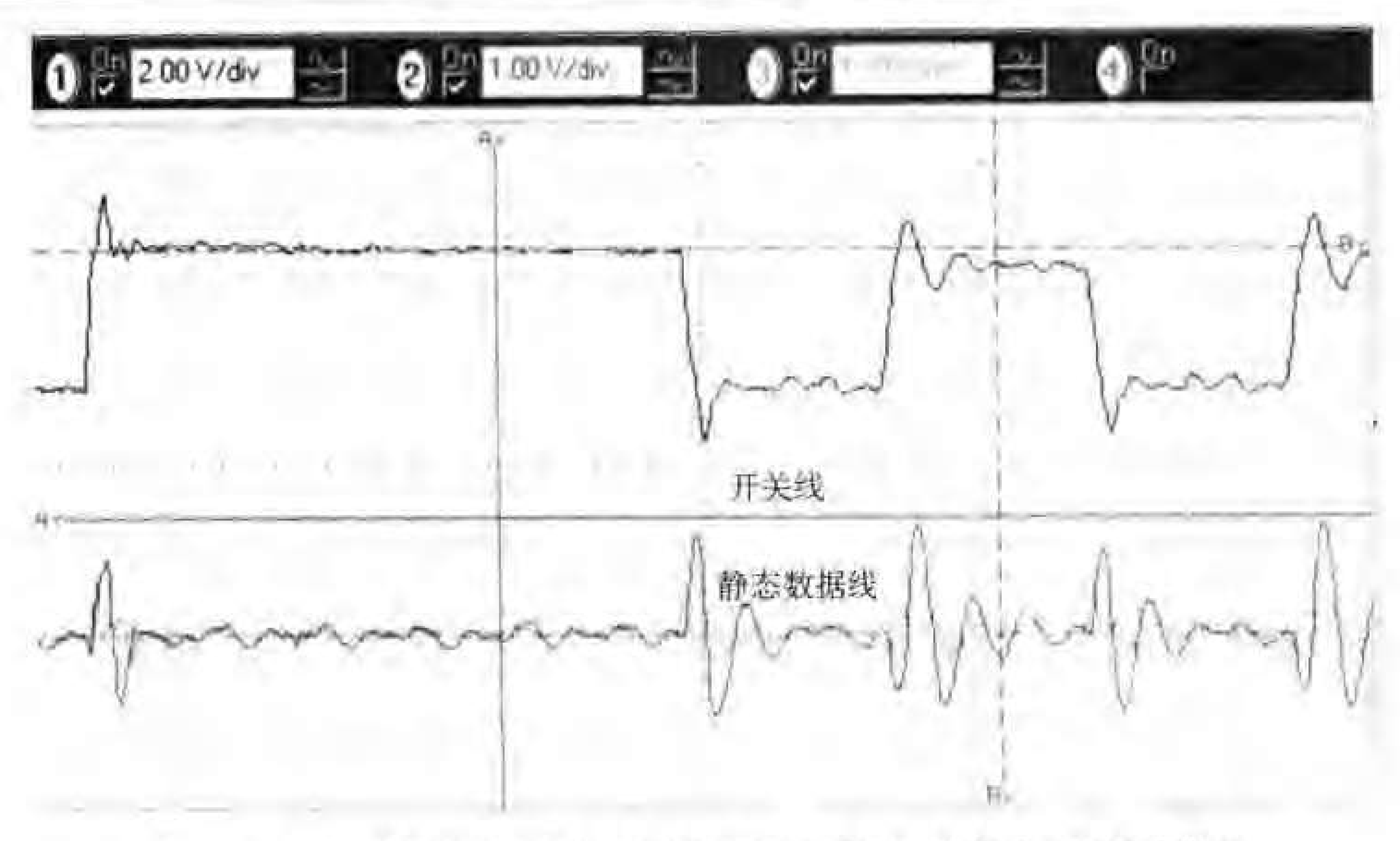


图1.8　上图：多总线中动态线上测量的电压。下图：静态线上测量的噪声，它给出了封装中的动态网络和静态网络间的互感产生的开关噪声

1.4　轨道塌陷噪声

噪声这个问题不仅仅在信号路径中产生，它在电源和地分配网络（给芯片提供电源）中也是一个致命的问题。当通过电源和地路径的电流发生变化时（如芯片输出翻转或核心门翻转时），在电源路径和地路径间的阻抗上将产生一个压降。这个压降就意味着供给芯片的电压减小了，可以看做是电源与地间的电压减小或塌陷。图1.9给出了微处理器上的电压变化。

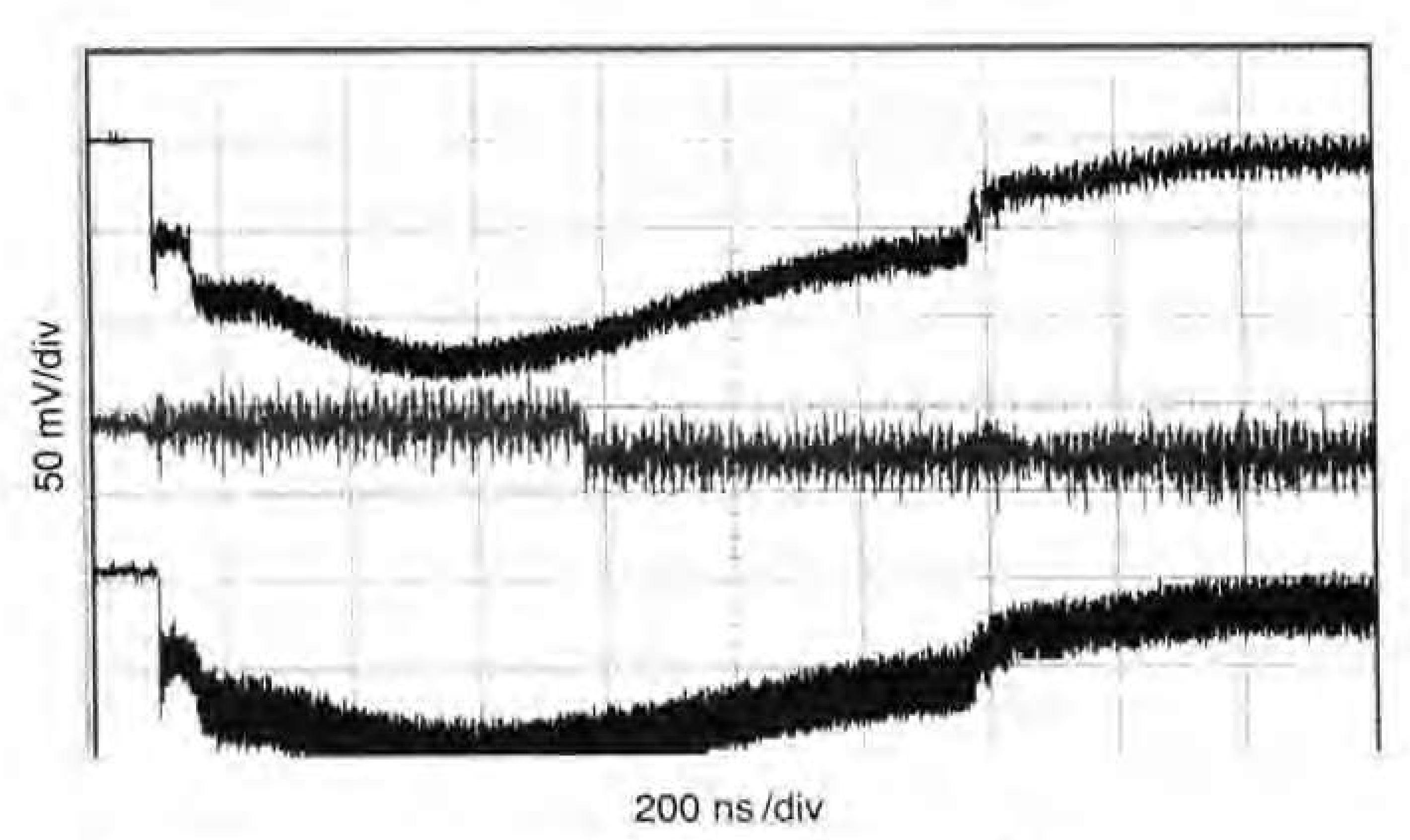


图1.9　"时钟停顿"状态下微处理器封装的三个引脚的位置上测得的Vcc电压。正常电压应该为2.5 V，但是由于电源分配系统中的压降，送达电压的落差有时几乎达到125 mV

在高性能处理器和一些专用集成电路中的趋势是：低电压源供电，高功率消耗。这主要是由于芯片上越来越多的门的开关转换越来越快，在每个周期中都要消耗一定量的能量，所以当芯片切换更快时，虽然每周期消耗同样的能量，但由于切换得更频繁，平均功率消耗也会更高。

这些因素结合起来就意味着在更短的时间内有更大的开关电流，这时可以容忍的噪声将变小。随着驱动电压减小和电流量级升高，任何与轨道塌陷有关的压降都将成为一个越来越严重的问题。

提示 设计电源和地分配的目标是使电源分配系统（PDS）的阻抗最小。

这样，即使在PDS中存在电流的开关和切换，较低阻抗上的压降也能保持在可以容忍的水平上。PDS的阻抗要求已被Sun公司评估为对高端处理器的要求。图1.10显示了对PDS所要求阻抗的评测结果。PDS中的低阻抗要求越来越重要而实现起来却越来越难。

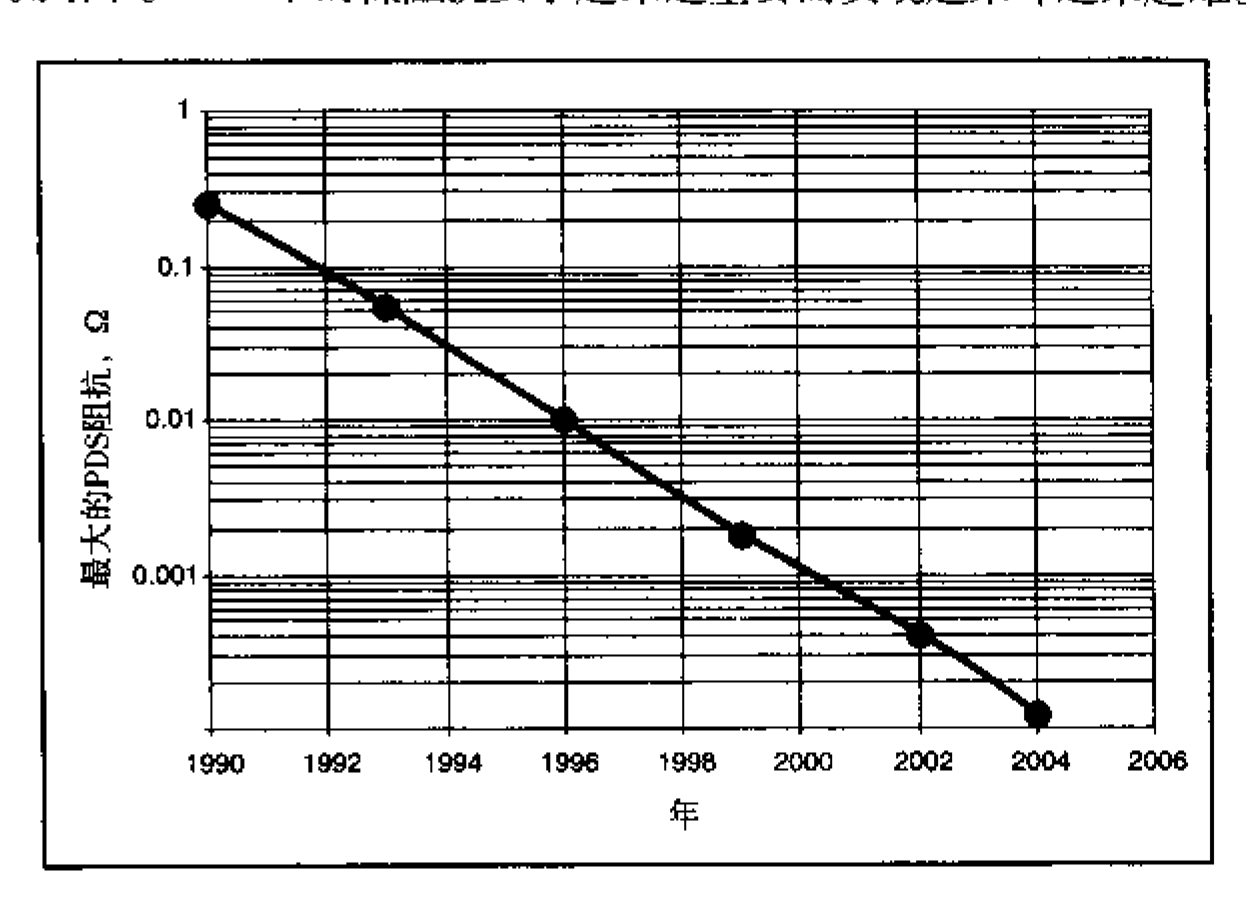


图1.10 高端处理器中电源分配系统的最大允许阻抗的趋势

如果知道互连线的物理设计如何影响它们的阻抗，就能使低阻抗的PDS设计更完善。设计一个低阻抗PDS应考虑以下特性：

1. 相邻的电源和地分配层平面的介质应尽可能地薄，以使它们紧紧地靠近；
2. 低电感的去耦电容；
3. 封装时安排有多个很短的电源和地引脚；
4. 片内加去耦电容。

电源层和地层间使用超薄的、高介电常数的叠层这种创新技术有助于将轨道塌陷减到最小。例如3M公司的C-Ply，这种材料的厚度为8 μm，介电常数为20。当用这种材料制作特殊电路板上的电源层和地层时，它的超低回路电感和大分布电容明显地减小了电源和地分布阻抗。图1.11为普通板层的小型测试电路板和使用新材料C-Ply的电路板上的较道塌陷噪声。

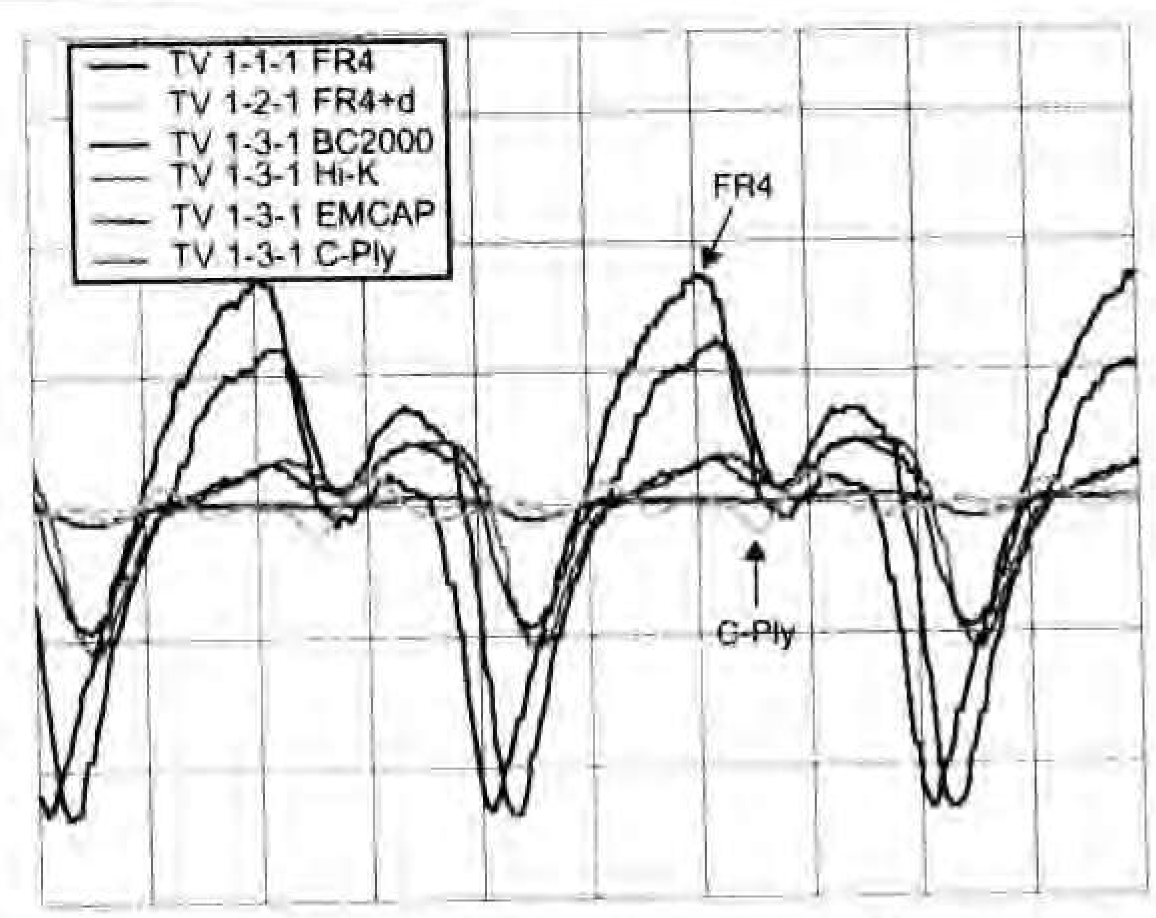


图1.11 在小型数字电路板上使用各种去耦方法后测得的轨道电压噪声。最坏的情况是FR4板上没有去耦电容，最好的情况是3M C-Ply材料，几乎没有电压噪声。纵轴每格表示0.5 V，横轴每格表示5 ns。本图由 National Center for Manufacturing Science 提供

1.5 电磁干扰（EMI）

当板级时钟频率在100 MHz~500 MHz范围内时，这一频段的前几次谐波在电视、调频广播、移动电话和个人通信服务（PCS）这些普通通信波段内。这就意味着电子产品极有可能干扰通信，所以这些电子产品的电磁辐射必须低于容许的程度。遗憾的是，如果不进行特殊设计，在较高频率时，电磁干扰会更严重。共模电流的辐射远场强度随着频率线性增加，而差分电流的辐射远场强度与频率的平方成正比。随着时钟频率的提高，对辐射的要求必然也会提高。

电磁干扰问题有三个方面：噪声源、辐射传播路径和天线。前面提到的每个信号完整性问题的根源也是电磁干扰的根源。电磁干扰之所以这么复杂，是因为即使噪声远远低于信号完整性噪声预算，它也仍然会大到足以引起严重的辐射。

提示 两种最常见的电磁干扰源是：(1)一部分差分信号转换成共模信号，最终在外部的双绞电缆线上输出；(2)电路板上的地弹在外部单端屏蔽线上产生共模电流。附加的噪声可以由内部产生的辐射泄漏逃出屏蔽罩引起。

产生辐射的大多数电压源来自电源和地分配网络。通常，减小轨道塌陷噪声的物理设计同时也能降低辐射。

尽管电压噪声源可以产生辐射，但仍然可以将电路板的高速部分与噪声可能要逃出的地方加以隔离。屏蔽盒使得泄漏到某个天线上的噪声大为减少，许多设计较差的电路板可由一个良好的屏蔽来弥补。

为了与外部通信设施、外围设备或接口进行通信，屏蔽较好的产品仍需用电缆将它连到外面。通常，电缆延伸到屏蔽罩的外部，起着天线的作用并能产生辐射。在所有连接电缆（特别是双绞线）上正确地使用铁氧体将明显地减小天线效应。图1.12是包裹电缆的铁氧体剖视图。



图1.12 铁氧体扼流圈的剖视图。铁氧体通常用在电缆周围，以减小像共模电流这种主要的辐射源。本图由Intermark公司（USA）提供

I/O接头的阻抗，特别是返回路径连接件的阻抗，会严重影响能产生辐射电流的噪声电压。使用低阻抗连接的屏蔽电缆将是减小EMI问题的有效办法。

遗憾的是，对于同样的物理系统，提高时钟频率一般也会提高辐射等级，或者说随着时钟频率的提高，EMI问题将更难解决。

1.6 信号完整性的两个重要推论

从前面四个信号完整性问题的讨论中可以很清楚地得出两个重要推论。

第一，随着上升边的减小，这四种问题都会变得更严重。前面所有的信号完整性问题都是以电流或电压的变化速度来衡量的，通常指的是dI/dt或dV/dt。上升边越短意味着dI/dt或dV/dt就越大。

随着上升边的减小，噪声问题必然增加并且会更加难以解决。而且所有电子产品中的上升边将持续缩短，这是电子产业的一般趋势。这说明，目前一个可能没有引起问题的设计，到了下一代设计中（其中会使用下一代芯片，其指令操作的上升边更短）就可能出现致命的问题。所以说"有两种设计师，一种是已经遇到了信号完整性问题，另一种是即将遇到信号完整性问题"。

第二个重要推论是解决信号完整性的有效办法很大程度上基于对互连线阻抗的理解。如果对阻抗有一个清晰的直觉认识，而且能把互连线的物理设计与互连线阻抗联系起来，那么在设计过程中就能消除许多信号完整性问题。

因此，在本书中就有一章以直觉和工程的观点来集中讨论阻抗的含义，此外，还有一些章节讲述了互连线的物理设计如何影响信号和PDS感受到的阻抗。

1.7 电子产品的趋势

如果对过去10年计算机的销售情况加以调查，人们对计算机性能的飞速进步都会有很深刻的体会。衡量性能的一个指标是处理器芯片的时钟频率。图1.13说明了Intel处理器芯片的发展趋势：大约每两年时钟频率就能提高一倍。

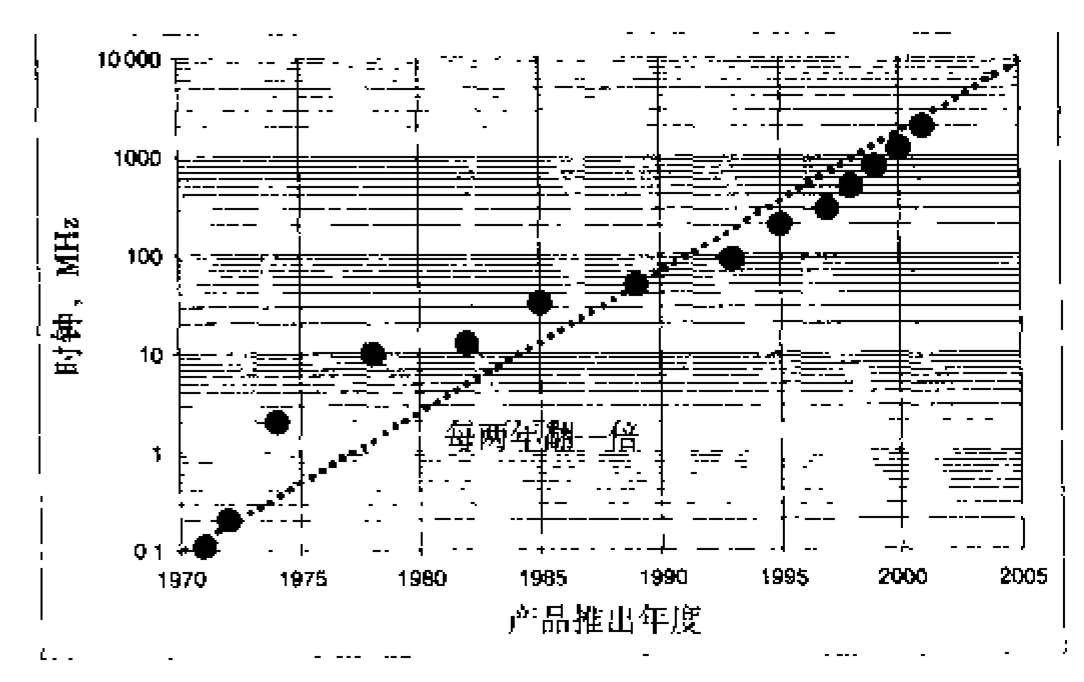


图1.13 基于产品的推出年度得出的Intel处理器时钟频率的发展趋势：每两年时钟频率就会翻一倍

与推动半导体技术发生变革的因素一样，时钟频率越来越高的趋势也是由同一种技术——光刻法——引起的。由于能够生产更小尺寸的晶体管门沟道，晶体管的开关速度也提高了。沟道长度越短，电子与空穴的移动距离就越短，且能在更短的时间内通过门并引起状态转变。

当提到0.18 μm或0.13 μm的技术阶段时，实际是指能够生产的最短沟道长度。晶体管沟道长度越短，开关时间就越短，这给信号完整性带来两个重要的影响。

一个时钟周期所需的最小时间受这个周期里需要执行的所有操作的限制。通常制约最小时间的主要因素有三个：门输入端读取操作所需的信号建立时间，按顺序切换所有门固有的总时间，以及信号经系统传播到需切换的所有门的时间。

在单芯片微处理器系统中（比如个人电脑），影响最小周期时间的主导因素是晶体管的开关速度。如果能够减小开关时间，那么一个周期所需的最小总时间也能减少。这就是时钟频率随特征尺寸减小而提高的主要原因。

提示 随着晶体管特征尺寸的持续缩小，上升边必然持续减小且时钟频率也必然持续提高。

基于预计的特征尺寸缩减趋势，从2001年起半导体工业协会（SIA）对未来的片上时钟频率做了一个规划——半导体国际技术发展蓝图（ITRS），图1.14将这个蓝图与Intel处理器的发展趋势图进行了比较。从图中可以看出，未来10年时钟频率的增长速率有轻微下降，但时钟频率仍会持续增长。

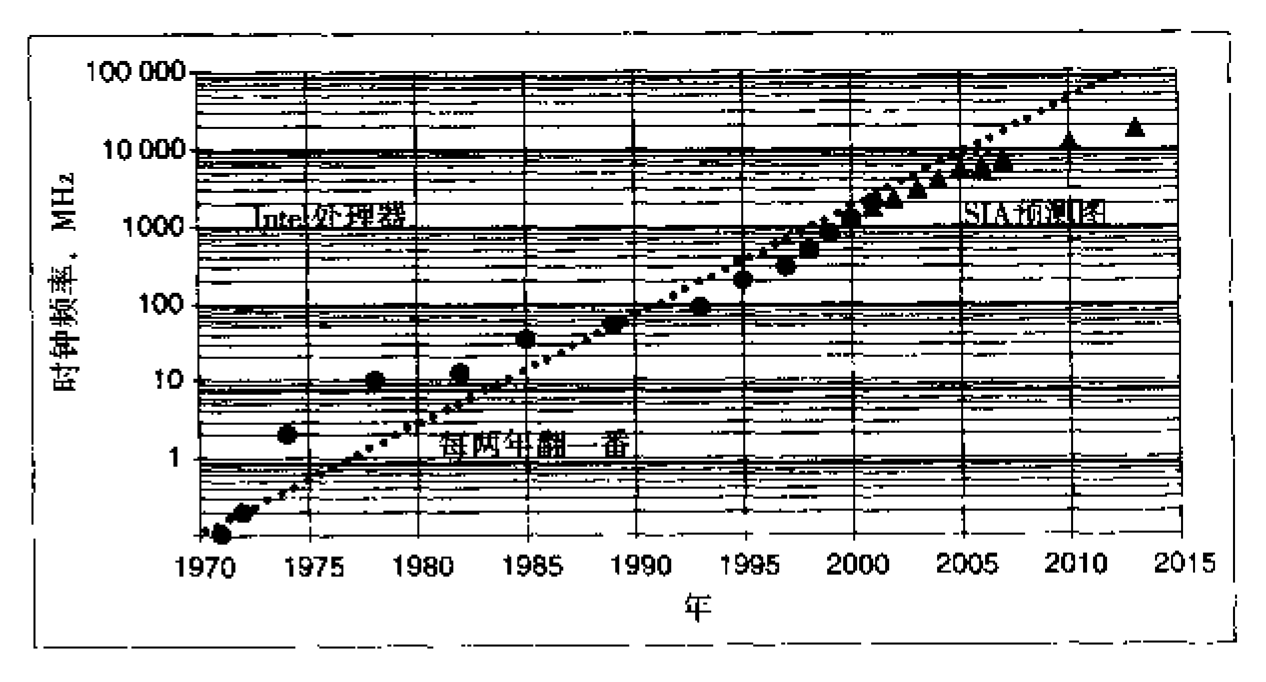


图1.14 基于推出年度得出的Intel处理器时钟频率的发展趋势：每两年时钟频率翻一番，图中也显示了SIA的发展蓝图

由于时钟频率的提高，信号的上升边必然会减小，因为读取数据线或时钟线的门需要足够的时间来正确地读取处于高电平状态或低电平状态的信号。

这就意味着只有很短的时间留给信号转换。不管是上升边还是下降边，通常测量的转换时间都为终值的10%到90%这段时间，称为10-90上升边。一些定义中使用终值的20%到80%的转换点，这个上升边称为20-80上升边。图1.15为典型的时钟波形和分配的转换时间。在大多数高速数字系统中，分配的上升边大约为时钟周期的10%。基于这一推论，上升边与时钟频率的关系近似为：

$$RT = \frac{1}{10 \times F_{clock}} \tag{1.1}$$

其中：

RT 表示上升边，单位为 ns

F_{clock} 表示时钟频率，单位为 GHz

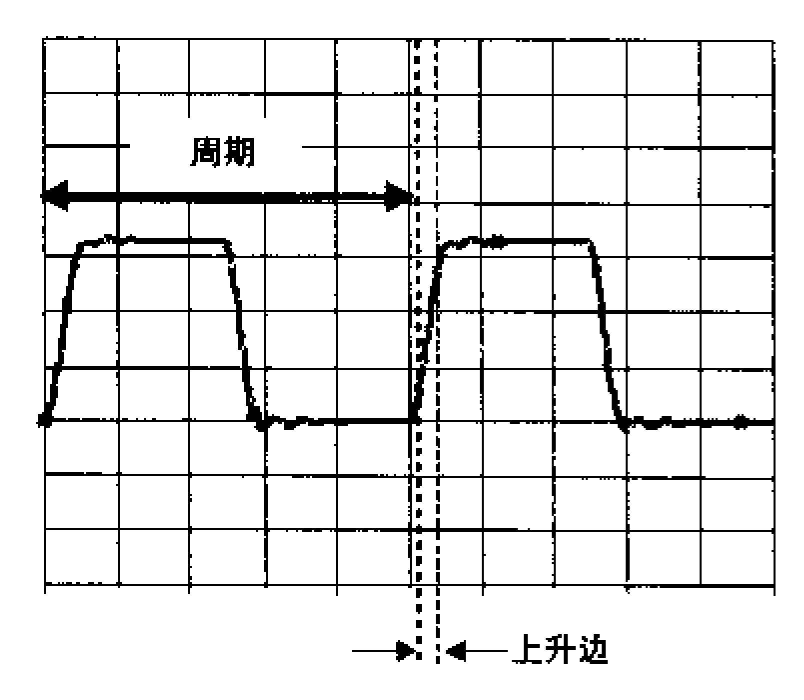


图 1.15 典型的时钟波形的10-90上升边大约为周期的10%，横轴每格表示2 ns，纵轴每格表示 1 V。以上结果由 Mentor Graphics Hyperlynx 仿真得出

例如，当时钟频率为1 GHz时，信号的上升边约为0.1 ns或100 ps；当时钟频率为100 MHz时，上升边时间约为1 ns，图1.16显示了这种关系。

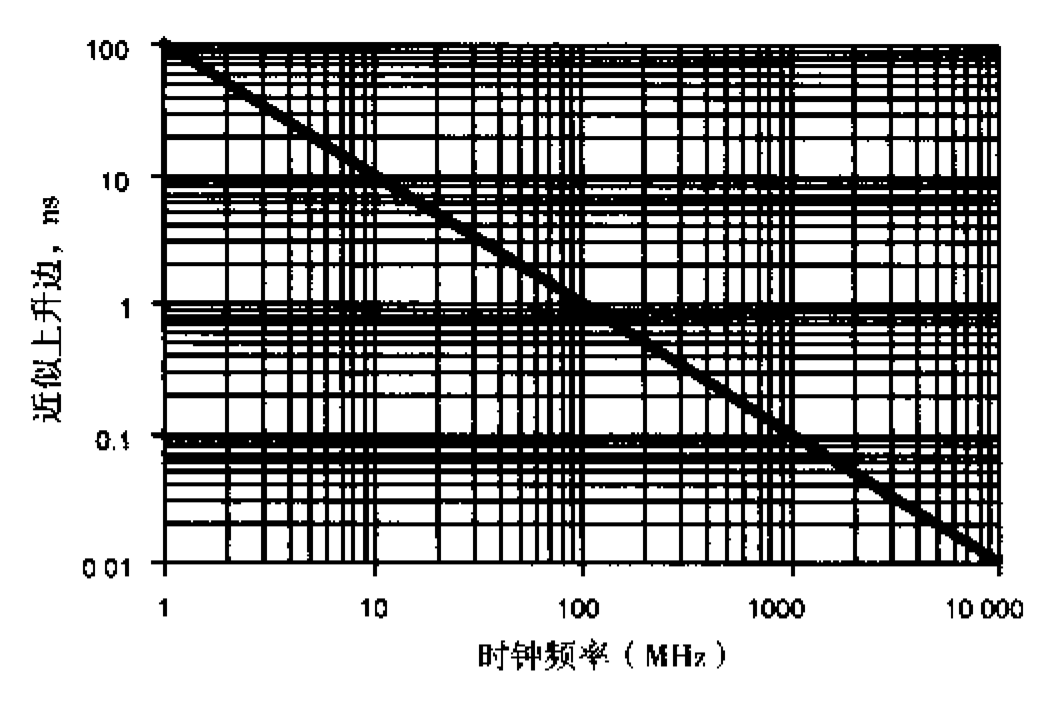


图 1.16 上升边随时钟频率的升高而降低。当上升边小于1 ns或时钟频率高于100 MHz时，通常会出现信号完整性问题

提示　时钟频率持续提高意味着上升边不断下降，信号完整性问题更加难以解决。

即使产品的时钟频率很低，也仍然存在芯片技术的发展而导致的直接后果——更短的上升边所带来的隐患。为了提高总产量，芯片制造厂（通常称为“fab”）正在努力使生产过程中所有的硅圆片标准化。芯片尺寸越小，每个硅圆片上就能装下越多的芯片，从而每个芯片的成本也就越低。即使这个芯片是用于低速产品中，它也可能是同先进的ASIC在一条生产线上制造的，与ASIC有同样小的特征尺寸。

这样，成本最低的芯片可能具有较短的上升边。即使芯片在具体应用中并不需要如此，这也是一个出乎意料却又令人担忧的结果。如果设计了一个芯片，把它装在产品中，它的上升边为2 ns，时钟频率为50 MHz，这时也许没有信号完整性问题。如果芯片供应商更新芯片生产线，使生产过程具有更好的特性，那么他们可能会提供成本较低的芯片。你可能认为做了一桩好生意。然而，这些成本较低的芯片的上升边可能为1 ns。这种更短的上升边可能引起反射噪声、过量的串扰和轨道塌陷，这些问题可能通不过美国联邦通信委员会（FCC）电磁干扰认证测试。虽然产品时钟频率没有改变，但你不知道的是，由于更新及具有更好特性的生产过程，生产商提供的芯片的上升边已经减小了。

提示　由于所有的芯片制造厂商都转向更低的成本、有更好特性的生产过程，所以生产出来的芯片的上升边就更短了，尽管时钟频率低于50 MHz，但产品中仍有可能会发生信号完整性问题。

不仅微处理器的时钟频率日益提高、上升边日益减小，高速电信产品中的数据传输率和时钟频率也正在超过微处理器的时钟频率。

用来定义高速串接速度的最常见的规范之一是光载波，或者叫OC，这实际上是指数据传输率，也就是OC-1，相当于50 Mb/s的数提传输率。OC-48相应的数据传输率为2.5 Gb/s，它已得到了广泛的应用。OC-192相当于10 Gb/s，目前正在推广过程中。在不久的将来，OC-768即40 Gb/s将得到广泛的应用。

OC标号是数据传输率而不是时钟频率的规范，系统的实际时钟频率可能高于或低于数据传输率，这取决于数据流中每一位的编码情况。

例如，如果每个时钟周期编码一位数提，那么实际的时钟频率等于数据传输率；如果在时钟的上升沿和下降沿处都可以编码一位数据，那么对于1.25 GHz的时钟就可以得到2.4 Gb/s的数据传输率。对于同样的时钟频率，数据流中用在纠错和数据头中的位数越多，数据传输率就越低。为了使信号完整性问题最小，应该使用最低的时钟频率和最长的上升边。这使人们越来越频向于使用多级信令和多信号线并行，以便在每个时钟周期内编码4到8位数据。

根据这些提示，可以给出一般的经验法则：可以用数据传输率粗略地近似高速串接的时钟频率。产品的趋势显然朝着更高的数据传输率方向发展，在来来几年，40 GHz时钟频率在电信系统中将变得很常见。40 GHz时钟信号的整个周期只有25 ps，这就要求上升边必须远远小于10 ps。而这是一个很短的上升边，需要极其细心的设计操作。

高速串接并不仅仅局限于电信应用中，所有高速数字总线将很快转向接近或超过1 GHz的时钟频率。针对一般的高速数字产品的数据流，已经提出了许多高速串接总线。如下所列：

- 时钟频率约为1 GHz的快速IO（RapidIO）；
- 时钟频率约为800 MHz的超级传输（Hypertransport）；
- 时钟频率约为1.25 GHz的3GIO；

- 时钟频率达到 3 GHz 的串行 ATA（Serial ATA）；
- 时钟频率约为 1.6 GHz 的 SCID；
- 时钟频率约为 1.25 GHz 的无限频段（Infiniband）；
- 时钟频率约为 2.125 GHz 的光纤信道 4025（FibreChannel 4025）；
- 时钟频率约为 625 MHz 的千兆比特以太网（Gigabit Ethernet）。

1.8 新设计方法学的必要性

这里已经描绘了一幅令人担忧的未来前景，其形势分析如下：

- 信号完整性问题可以阻碍高速数字产品的正确操作；
- 这些问题由较短的上升边和较高的时钟频率直接引起；
- 上升边将不可避免地继续变短，时钟频率也将继续提高；
- 即使限制时钟频率，使用低成本进行芯片制造也仍旧意味着低速系统甚至也会有上升边非常短的芯片；
- 生产设计周期中使产品上市的时间更少了——产品必须首件成功。

那么我们将要做些什么呢？在这个新时代，该如何有效地设计高速产品呢？在过去 10 MHz 时钟系统的时代里，当互连线还是透明的时候，我们没必要担心信号完整性效应。即使忽略信号完整性，也可以侥幸成功地设计出可使用的产品。但在现今的产品中，忽略信号完整性会引起进度表推移，开发费用提高，还有可能永远无法制造出可使用的产品。

设计一个产品在一开始就付出额外的工作往往比到后来试图修改它要有更多利润。在产品的生命周期中，在市场中的前六个月通常是最有利润的。如果你的产品上市比别人晚，那么就可能失去了产品生命周期利润中很重要的那部分。时间就是金钱。

提示 需要一种新的产品设计方法来确保在产品设计周期中尽早地确定并消除产品的信号完整性问题。为了满足越来越短的设计周期时间，产品必须一开始就符合性能指标。

1.9 一种新的产品设计方法学

新的产品设计方法学有五个关键组成部分：

1. 理解信号完整性问题的起源和减小这些问题的总体方针；
2. 对于具体的定制产品，将总体方针转换成具体的设计规则；
3. 在设计周期的早期，创建元器件、关键网络和整个系统的电气电路模型并进行局部和系统级的仿真，以便预测产品的性能；
4. 对于成本、进度和风险，在设计周期的每个阶段尤其是初期，通过建模和仿真来优化设计的性能；
5. 在整个设计周期中进行特征参数化测量以减少风险和提高质量预测的可信度。

除了“理解”之外，这种新的设计方法学的其他关键过程是：建模、仿真和特征参数化。

仿真就是在制作硬件之前对系统性能进行预测，通常只仿真系统中那些对信号完整性的效应敏感的网络。这些网络称为“关键网络”。一般来说，这些网络是时钟线，也可能是一些高

速总线。在100 MHz时钟频率的产品中，可能仅有5%~10%的关键网络；在时钟频率为200 MHz或更高的产品中，关键网络可能超过50%，这时整个系统都需要进行仿真。

提示　目前所有的高速产品都必须进行系统级仿真来精确地预测信号完整性效应。

为了预测电气性能——通常是指各节点的实际电压和电流波形，必须将物理设计转换成电气描述。这可以通过两个步骤实现：将物理设计转换成等价的电路模型，然后用电路仿真器来预测各节点的电压与电流。

另一种方法就是基于物理设计，使用电磁仿真器对各处的电场和磁场进行仿真。由电场和磁场可以得到互连线的行为模型（此模型可以在电路仿真器中使用），或者是将电场和磁场转换成电压和电流来显示其性能。

1.10　仿真

有三种电气仿真工具可以用来预测互连线对信号行为的模拟影响：

1. 电磁（EM）仿真器：在时域或频域中，对麦克斯韦方程进行求解并仿真出各个位置的电场和磁场。
2. 电路仿真器：在时域或频域中，对各种电路元件对应的差分方程进行求解并运用基尔霍夫电流电压关系来预测各个电路节点处的电压和电流。
3. 行为仿真器：通常在时域进行。它使用表格和传输线模型，以及基于传递函数的无源元件模型。采用传递函数能快速预测出各节点的电压与电流。

关于电磁仿真，应该把信号完整性问题归结为麦克斯韦方程。这四个方程描述了导体和电介质与电场和磁场之间的相互作用。说到底，信号只不过是在传播电场和磁场。当仿真电场和磁场本身时，互连线和所有无源器件必须转换为与其几何结构和材料特性相关的导体和介质。

将器件驱动器输入转换为入射电磁波，并用麦克斯韦方程来预测这个波如何与导体和介质相互作用，材料的几何结构和特性规定了求解麦克斯韦方程的边界条件。

尽管图1.17列出了麦克斯韦方程，但在实际工作中，工程师没有必要手工求解这些方程。列出这些方程只是作为参考，仅仅用来说明的确存在一些简单方程，而这些方程完全描述了有关电磁场的所有方面。根据这些方程的求解，可以显示出在空间任何一点的入射电磁场如何与几何结构和材料相互作用。这些场可以在时域或频域进行仿真。

时域	频域
$\nabla \bullet \varepsilon E = \frac{\rho}{\varepsilon_0}$	$\nabla \bullet \varepsilon E = \frac{\rho}{\varepsilon_0}$
$\nabla \bullet B = 0$	$\nabla \bullet \mu H = 0$
$\nabla x E + \frac{\partial B}{\partial t} = 0$	$\nabla x E + j\omega\mu H = 0$
$\nabla x B - \frac{\mu\varepsilon}{c^2}\frac{\partial E}{\partial t} = \mu_0$	$\nabla x H - j\omega\varepsilon E = J$

图 1.17　在时域和频域中的麦克斯韦方程，这些方程描述了在时间和空间上电磁场如何与材料相互作用。它们在这里仅作为参考

图1.18为塑封扁平封装（PQFP）（208个引脚）的一个引脚加上2.0 GHz和2.3 GHz的入射正弦电压时在封装内部的电场强度。不同的阴影代表不同的电场强度。仿真结果说明如果信号中有2.3 GHz的频率分量，那么它将在封装内引起很大的场分布，我们称之为谐振，对产品来说这是很糟糕的。这些谐振导致信号质量下降、串扰和电磁干扰增强，通常也限制了能利用的最高带宽。

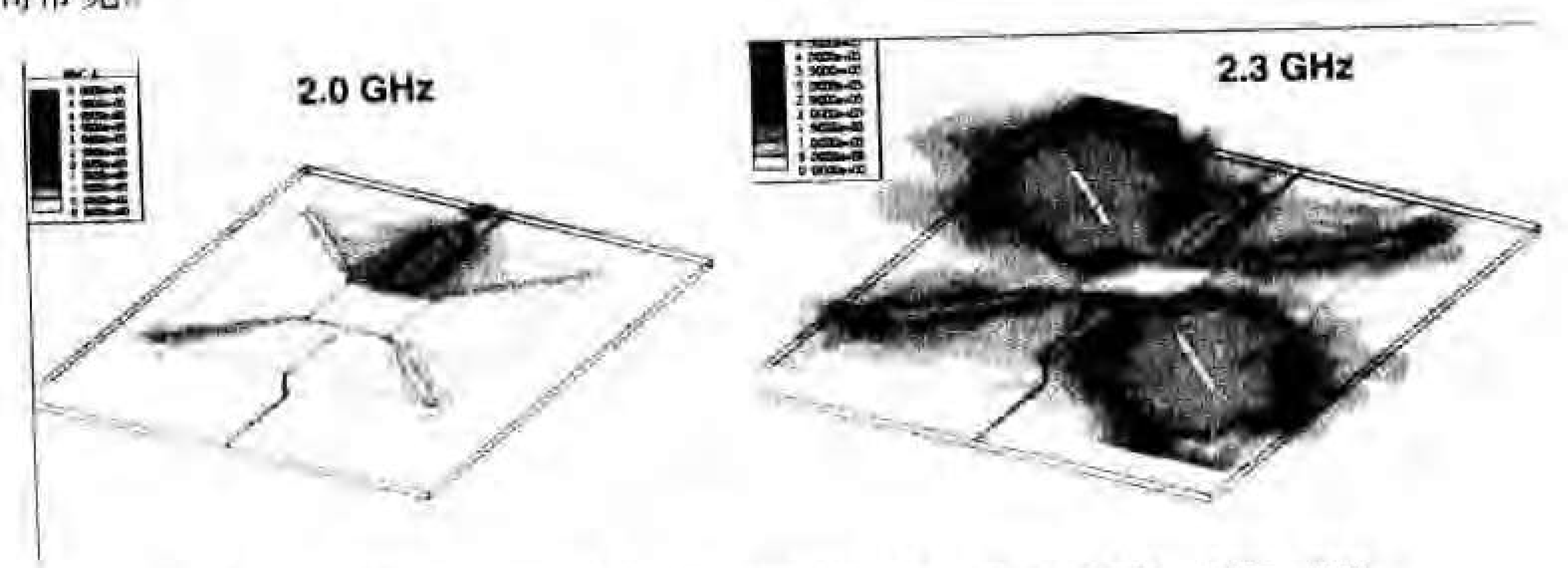


图1.18　208个引脚的塑封扁平封装内电场的电磁仿真结果。左图：激励为2.0 GHz时引起的谐振，右图：激励为2.3 GHz时引起的谐振。以上结果由Ansoft公司的高频结构仿真器（HFSS）仿真得到

有些效应只能通过电磁仿真器来仿真。通常当互连线非常不均匀且很长（比如返回路径上跨越间隙的线条）、电磁耦合影响处于主导地位（比如封装和接插件内的谐振）或者有必要仿真电磁干扰影响时，都需要用到电磁仿真器。

尽管采用麦克斯韦方程和当今最好的软硬件工具允许考虑各种实际的物理情况，但是除了一些最简单的结构外，对其他结构的电磁效应进行仿真都是不现实的。另一个限制就是目前许多工具都要求用户技术熟练并且有电磁理论基础。

另一个仿真工具即电路仿真器，使用起来会更容易、更快捷。这种仿真工具用电压和电流来表示信号，各种导体和电介质转换成电阻、电容、电感等基本电路元件以及它们间的耦合关系。

电路理论与电磁方法一样正确，它只不过使得信号完整性中的一些问题更容易理解，而且使用电路描述要比使用电磁理论描述能更容易地确定解决问题的方法。电路仿真器所能仿真的范围有一些限制，它不能仿真电磁效应，如EMI、谐振和非均匀波传播。然而，它能准确地仿真近场串扰、传输线传播和开关噪声这些效应。图1.19给出了一个电路和仿真波形结果。

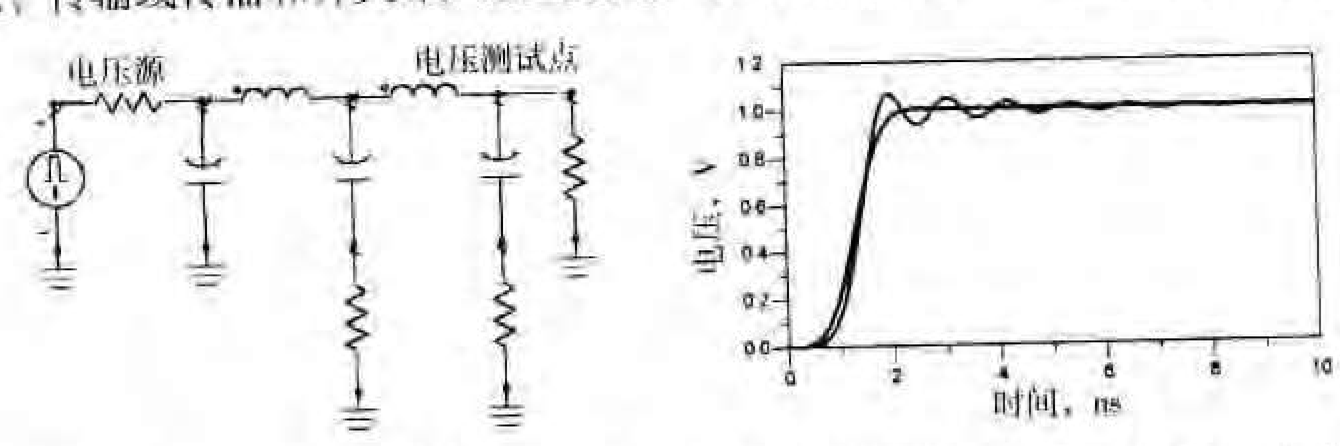


图1.19　左图：长约5 cm的典型示波器探测探针的电路模型。右图：无杂波、上升边为1 ns的信号的电路仿真响应结果。其中，振荡是由探针的附加电感引起的

包含基本电路元件组合的电路图称为原理图。如果绘制了原理图，电路仿真器就能够计算出每个节点处的电压和电流。

最常用的电路仿真器为 SPICE（Simulation Program with Integrated Circuit Emphasis），第一个版本早在20世纪70年代初于美国加州大学的伯克利分校推出，是一种基于晶体管的几何结构和材料特性来预测晶体管性能的工具。它基本上是一个电路仿真器。如果以规定的格式输入原理图，这个工具将求解每个电路元件表示的差分方程，然后计算出时域中或频域中的电压和电流。这一过程在时域中称做瞬态仿真，在频域中称做 AC 仿真。市场上有 30 多种版本的 SPICE，有些是可以从网站下载的免费的学生/演示版。

行为仿真器使用表格和特殊的传递函数来仿真电压和电流，与电路仿真器相比，其主要优点在于运算速度快。许多行为仿真器使用专门的仿真引擎，并且针对特殊类型的电路，如无损线、耦合传输线，这些仿真器还进行了优化设计。

1.11　模型与建模

建模是指为元器件创建一种电气表征与描述模型。仿真器可以对它进行解释并用它来预测电压和电流波形。有源器件（如晶体管和输出驱动器）的模型与无源器件（如所有互连线和分立元件）的模型是完全不同的。有源器件的模型通常是 SPICE 兼容模型，或者是输入/输出缓冲接口规范（IBIS）兼容模型。

有源器件的SPICE模型要用到理想源和无源器件的组合，或基于晶体管几何结构的专用晶体管模型，所以当工艺技术改变时也能容易地按比例改变晶体管的行为。SPICE模型包含了驱动器的具体特征和工艺技术的有关信息。因为包含了这些颇有价值的信息，大多数厂商都不愿意给出芯片的 SPICE 模型。

IBIS 是定义输入或输出驱动器的 V-I 和 V-t 特性响应的一种格式。行为仿真器提取有源器件的V-I和V-t曲线，并仿真出这些曲线受传输线和表示互连线的集总元件电阻（R）、电感（L）、电容（C）影响时的变化程度。有源器件的 IBIS 模型的主要优点就是 IC 厂商提供器件驱动器的 IBIS 模型，可以不泄漏晶体管几何结构的技术产权信息。

因此，从 IC 供应商那里获得 IBIS 模型比获得 SPICE 模型要容易得多。对于系统级仿真，可能需要同时仿真 1000 个网络和 100 个集成电路，所以通常使用 IBIS 模型和行为仿真器，因为它们不仅易于获得而且一般比 SPICE 仿真器运行速度快。

任何仿真，无论是SPICE仿真还是行为仿真，模型的质量都严重地影响了仿真的精度。有可能得到一个驱动器的 IBIS 模型，其精确度与 SPICE 模型相当，而且此模型与器件的实际测量也非常一致，但是通常很难得到每一个器件的优良精确模型。

提示　通常，作为终端用户，必须坚持让厂商提供元件模型质量的某种认证。

器件模型的另一个问题是应用于这一代芯片的模型将会不符合下一代芯片。每过六到九个月，下一代芯片就会缩小，沟道长度变得更短，上升边也就更短，而且 V-I 曲线和驱动器的瞬态响应也会发生变化。因此旧模型会低估信号完整性效应。作为用户，必须一贯坚特让厂商为他们供应的所有驱动器提供最新的、精确的、已通过验证的模型。

提示　尽管所有的 SPICE 或行为仿真器的固有精确度一般都非常好，但仿真的质量仅仅与仿真模型的质量相当。可以用“有何种输入，就有何种输出（GIGO）”这句话来形容电路仿真。

因此，验证所有器件驱动器、互连线和无源器件的模型精度至关重要。只有这样，才能相信仿真的结果。尽管有源器件的模型至关重要，但本书只讲述无源器件和互连线的模型，而有源器件模型可参考文献目录中列出的参考书目。

获得组成系统的所有元件的模型至关重要。仿真信号完整性效应的惟一方法就包括互连线和无源器件的模型，如板级传输线、封装模型、接插件模型、去耦电容和端接电阻。

当然，电路模型只能用那些仿真器能识别的元件。对于大多数行为仿真器，这就要求用电阻、电容、电感和传输线来描述互连线。对于SPICE仿真器，可以用电阻、电容、电感、互感和传输线来描述互连线和无源器件。在一些SPICE和行为仿真器中，已经引入了一些新的理想电路元件，其中包括基本的理想元件：理想耦合传输线和理想有损传输线。

图1.20中列出了两个片式电阻和它们的等效电气电路模型。这个模型包括了引起开关噪声的电感耦合。这两个电阻行为的各种电气性能都可由它们的电路模型来描述，这一原理图模型能够用来准确地预测任何可度量的效应。

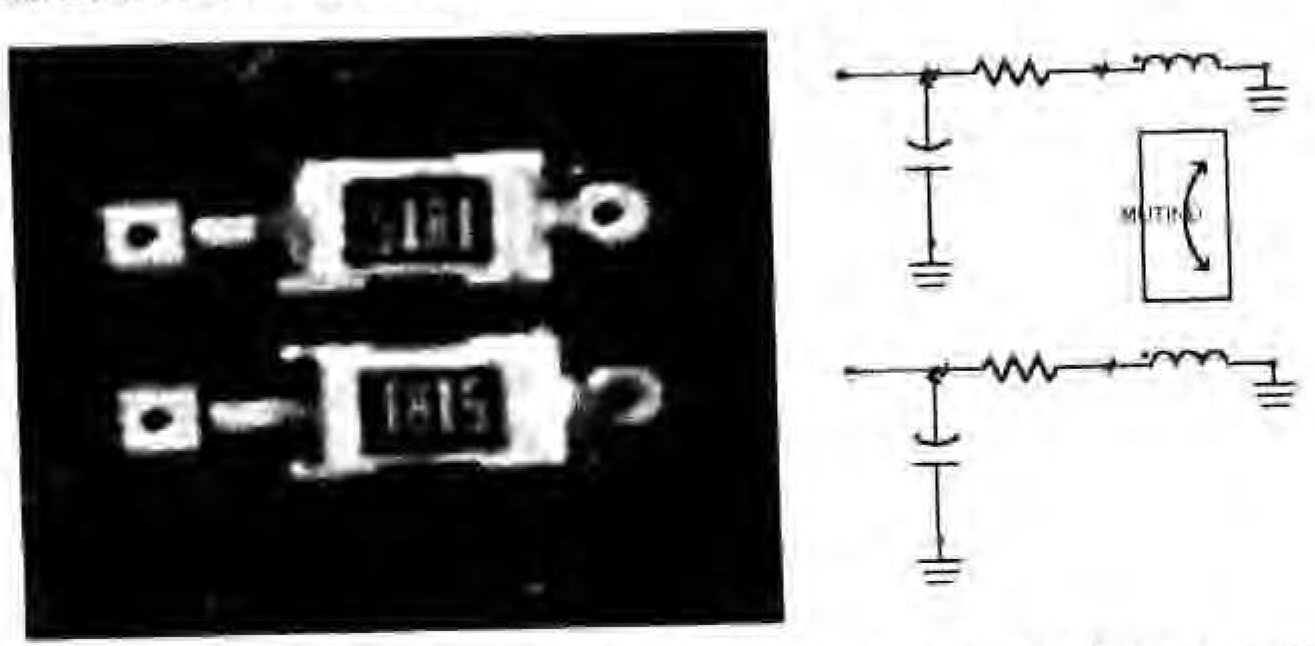


图1.20 两个贴片式0805电阻和它们的等效电路模型，此模型已在频率高达5 GHz时通过验证

创建互连线的精确电路模型有两种基本方法：计算和测量。通常把通过计算来创建模型称为分析，把通过测量来创建模型称为表征。

1.12 通过计算创建电路模型

我们生活中的每件事，在付出与收获之间都有一个长期的平衡。所有信号完整性设计问题的分析就像其他大多数领域一样也不例外，即存在着付出与收获的平衡问题。例如，我们一直在权衡答案精度与得出答案所花费的时间和代价。

提示 实际上，在当今全球性的竞争市场中，所有产品开发项目的目标就是在现有时间、费用和风险预算的条件下，完成符合性能指标的设计。

这是一个严峻的挑战。在信号完整性和互连线设计中，如果能在设计周期中尽早地选择最好的技术和建立最优的设计规则，工程师便能从中受益匪浅。

对于任何一个设计师，其工具箱中最重要的工具就是快速估算折中方案的灵活性。实际上就是在选择几何结构、材料特性和设计规则时的折中，它直接影响到系统的性能。

提示 在设计周期中正确的折中方案确定得越早，开发时间就越短，开发费用也就越低。

为了有助于折中方案分析，将预测性能或电气特性的近似方案分成三个级别。这三个方案如下：

1. 经验法则；
2. 解析近似；
3. 数值仿真。

每种方案表示的是接近现实的不同权衡（例如，精度、时间和得出答案所需的努力），如图 1.21 所示。当然，这些方案并不能替代实际测量。然而，与基于创建/测试/重新设计的方案相比，恰当地使用正确的分析技术有时能将设计周期时间缩短至原来的 10%。

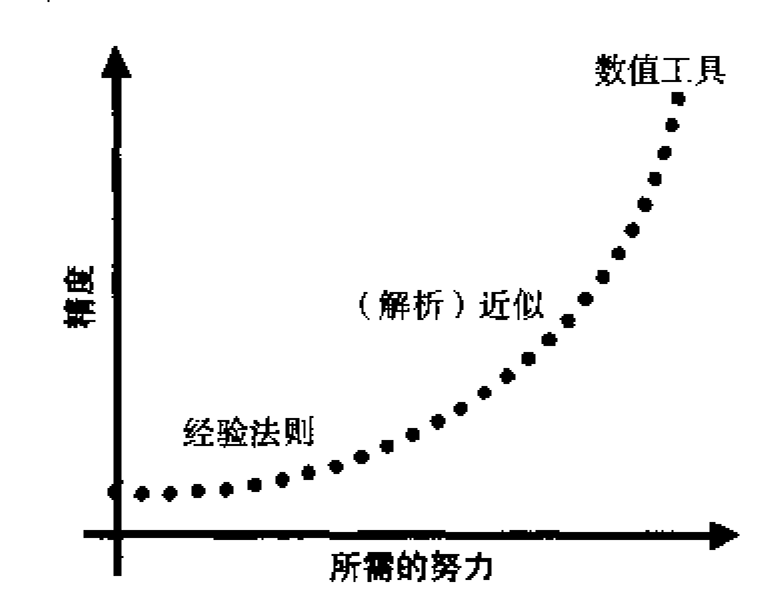


图 1.21　应用三种分析级别，其所需的努力与得到的精度之间的权衡。每种工具都有自己适用的时间和场合

经验法则是一些简单的关系，易于记忆且有助于激发直觉。例如，单位长度导线的自感约为 25 nH/in。因此，一根 0.1 in 长的导线接头的自感约为 2.5 nH。

在分析问题时，如果仅仅只用来粗略判断每个答案的正确性，那么经验规则应作为第一步。当正在探讨设计/技术/费用的折中方案，或者寻找粗略的估计、比较结果或似乎合理的意见时，运用经验法则能够让你的过程快十倍以上。说到底，在产品开发周期中做出正确的设计和技术决定的时间越早，在工程中就能越省时、省钱。

经验法则并不十分准确，它们只是快速地给出一个答案，所以在设计完成阶段时不应再使用。它们应该用于较正你的直觉，引导做出高水平的折中方案。附录 A 总结了在信号完整性中使用的许多重要经验法则。

解析近似就是采用方程或者公式。例如，一个圆形线圈的回路自感近似为：

$$L_{self} = 32 \times R \times \ln\left(\frac{4R}{D}\right) \text{nH} \tag{1.2}$$

其中：

L_{self} 表示自感，单位为 nH
R 表示线圈半径，单位为 in
D 表示导线直径，单位为 in

例如，由 10 mil（密耳，1 mil = 25.4×10^{-6} m）厚的导线绕成半径为 0.5 in（或是直径为 1 in）的圆形线圈，则它的回路电感约为 85 nH。用食指和拇指围成一个圆，如果手指是由厚度为 20 号的铜导线构成，那么回路电感约为 85 nH。

近似方法的价值在于可以采用棋盘式对照表进行分析求解，而且能快速回答那些假设分析问题（what-if question）。近似给出了重要的一阶项及其关系式。前面举出的近似公式说明了电感比半径增加得稍快些。线圈半径越大，回路电感就越大。同样，导线厚度越大，回路电感就越小。但由于回路电感与厚度的自然对数成反比，因此这是个弱函数。所以导线厚度增大时，回路电感仅有轻微的减小。

提示 要特别注意，除了极个别的例外，在信号完整性分析中用到的方程，或是定义或是近似。

定义明确给出了两个或多个项之间的确切关系。例如，时钟频率与时钟周期的关系 F = 1/T 就是一个定义。电压、电流和阻抗之间的关系 Z = V/I 也是一个定义。然而，仅仅因为一个公式允许用计算器估算到五位小数位并不能说明这个公式就是精确到五位小数位。

我们应该时常关心近似的精确度，其变化范围从1%到50%或更多。由观察近似的复杂性或普遍性并不能辨别出它的精确度。

应近似到什么程度？如果不知道具体情况下这个问题的答案，那么对于在应用中偏差大于5%就不能正常工作的那些部分，就不能在近似精度未知的情况下进行设计。对于每个近似方案首先要问的问题就是：它的精确度有多高？

验证近似准确性的一个方法是建立表征完善的测试结构并进行测量，然后与计算结果相比较。图1.22说明了前面提到的回路电感的近似值和测量值非常吻合，其中后者根据所构造的线圈并用阻抗分析仪测量得到。可以看出，二者的吻合度高于2%。

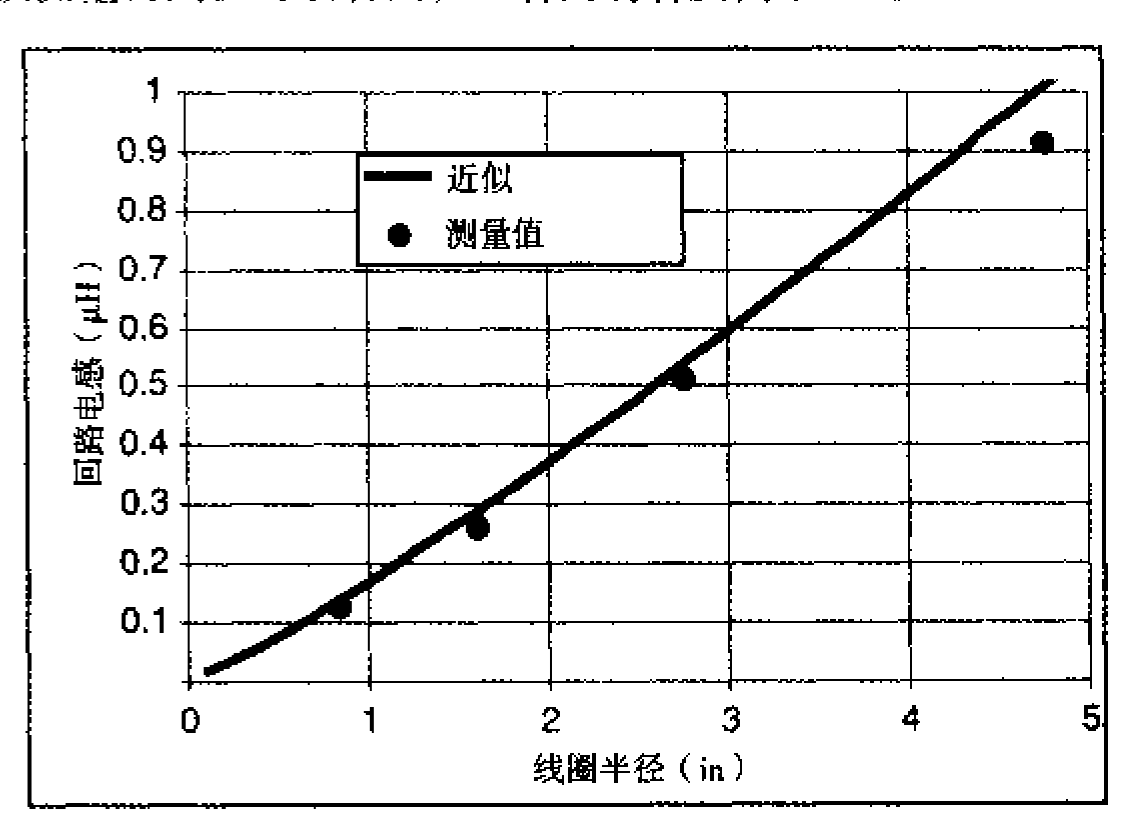


图1.22 对于各种圆形线圈的回路电感，用阻抗分析仪得到的测量值与计算值之间的比较。可以看出，近似的精确度约为2%

在研究设计空间或进行容差分析时，近似极其重要。在权衡折中方案时，近似也特别有用。然而，如果近似偏差相当大，将花费大量时间、资金或资源，因此就不要依赖精确度不确定的近似。

根据几何结构和材料特性，可以使用一种非常精确的方法来计算互连线的电路元件的参数值。此方法是基于麦克斯韦方程的数依计算。这些工具称为场求解器，因为它们运用导体和介质分布的边界条件，基于麦克斯韦方程对电场和磁场求解。有一种场求解器将计算出的场转换为等效电路模型元件的实际参数值，如电阻、电感和电容值，这种场求解器称为寄生参数提取工具。

如果整条互连线的几何结构是均匀的，那么就可以用横截面来描述它，并且可以用2D场求解器来提取它的传输线特性。图1.23为典型的微带传输线的横截面和仿真电力线及电场等势线。对于这种结构，提取到的参数值为特性阻抗 $Z_0 = 50.3\ \Omega$，时延 TD = 142 ps。

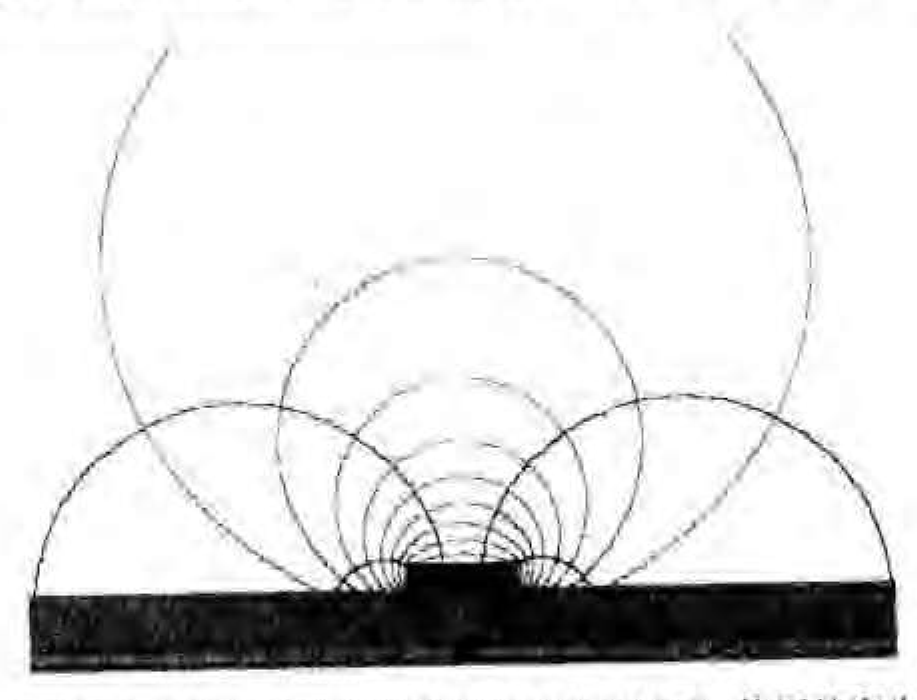


图1.23 用2D场求解器计算微带传输线中电场的结果。使用的寄生提取工具是Mentor Graphics公司的Hyperlynx，其精确度已专门验证过，优于2%

如果横截面不均匀，如在接插件或IC封装中，则需要用3D场求解器来获得最精确的结果。

在使用任何数值仿真工具之前，首先利用一些类似于将要用到的应用的实例来验证这个工具的结果，通常很重要。每个用户应该要求厂家验证这个工具是否满足典型应用所需的准确性。只有这样，仿真结果的质量才具有可信度。一些场求解器的准确性经验证已优于1%。显然，不是所有的场求解器都有这样的准确性。

当精度要求高时，例如，在设计完成阶段，就应该用数值仿真工具，比如寄生提取工具。用数值仿真建立模型可能要比用经验法则，甚至解析近似花更长时间，它需要在时间和专门技能上付出更大的投入。但是，它们能提供更高的精度和可信度，最后的结果将会符合期望的性能。随着市场上新型数值仿真工具的发展，市场压力迫使它们趋向于更易于使用。

结合这三种分析技术，通过预测可能得到的性能就可以权衡比较出各种时间、费用和风险的折中方案。

1.13 三种测量技术

提示 在制造产品之前，计算对于产品性能的预测起着关键作用，而测量技术则对减少风险起着关键作用。对任何计算结果的最终测试就是测量。

对无源互连线的测量不同于有源器件，测量仪器必须先产生一个精确的参考信号，把它加到被测器件中，然后测量响应。最终，这个响应与器件的阻抗有关。在有源器件中，器件自己产生信号，这时测量仪器可以是无源的，它只需测量产生的电流或电压。测量无源元件的仪器主要有三种：

1. 阻抗分析仪；
2. 矢量网络分析仪（VNA）；
3. 时域反射仪（TDR）。

阻抗分析仪在频域中工作，它一般有四个接头，其中一对接头产生流过被测器件（DUT）的正弦波恒定电流，第二对接头测量被测器件（DUT）上的正弦电压。

测量电压与测量电流之比就是阻抗。测量频率范围一般从100 Hz逐步增加到40 MHz。根据阻抗的定义，可以测量出阻抗在每个频率点的幅度与相位。

矢量网络分析仪也是在频域中工作。每个接头或端口发出一个正弦电压，其频率范围从几千赫兹到50 GHz以上，在每个频率点测量入射电压的幅度与相位以及反射的幅度与相位。

反射信号取决于入射信号和从VNA到DUT的阻抗变化。VNA的输出阻抗一般为50 Ω。通过测量反射信号，可以确定每个频率点上DUT的阻抗，反射信号和DUT的阻抗之间的关系为：

$$\frac{V_{reflected}}{V_{incident}}=\frac{Z_{DUT}-50\Omega}{Z_{DUT}+50\Omega} \tag{1.3}$$

其中：

$V_{reflected}$ 表示反射正弦电压的幅度和相位

$V_{incident}$ 表示入射正弦电压的幅度和相位

Z_{DUT} 表示被测器件的阻抗

50 Ω 表示VNA的阻抗

在每个频率点，反射电压与入射电压之比通常称为一个散射（S）参数，记为S11。已知源阻抗为50 Ω，通过测量S11就可以在任何频率点上提取DUT的阻抗。图1.24中显示了一根短传输线的测量阻抗。

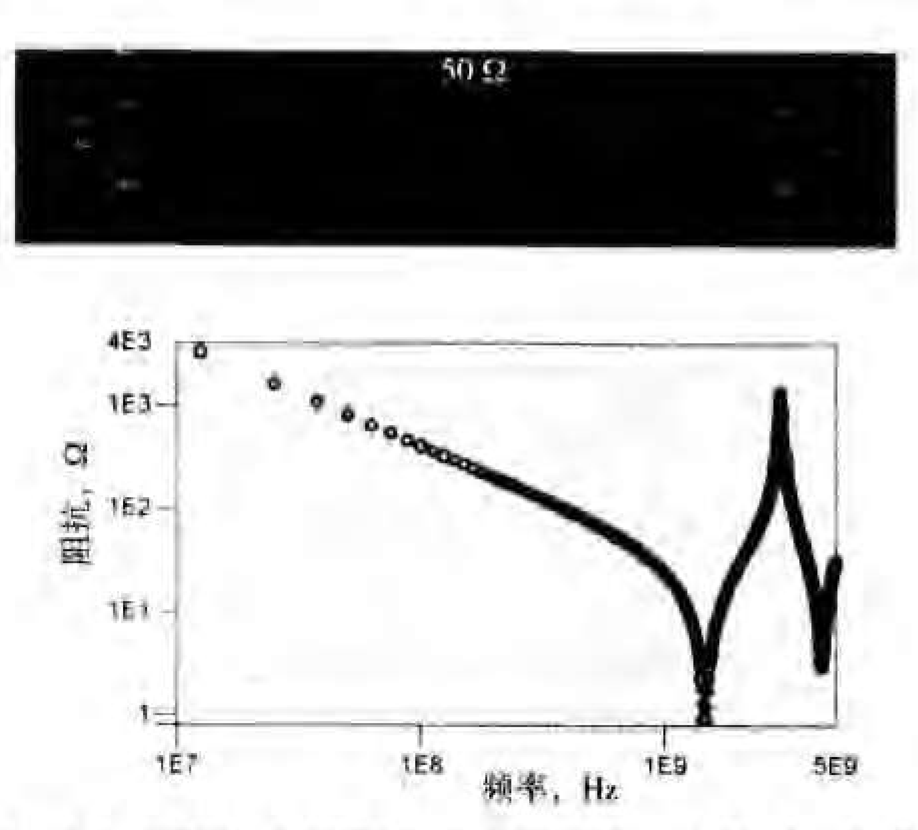


图1.24 1英寸长的传输线的测量阻抗。网络分析仪测量了传输线前端和过孔（穿过线条下方的平面）之间的反射正弦波信号，并将这个反射信号转换为阻抗的幅度。同时，也测量了阻抗的相位，但此处不显示结果。频率范围是从12 MHz到5 GHz。以上结果由GigaTest Labs探针台测量得出

时域反射仪（TDR）与VNA相似，但它在时域中工作。它发射边沿快速上升的阶跃信号，上升边一般为35 ps到150 ps，然后测量反射的瞬态幅度。此外，利用反射电压提取DUT的阻抗。在时域中，测量的阻抗代表DUT的瞬态阻抗。对于电气长度较长的互连线，如传输线，TDR

能够绘出其阻抗曲线。图1.25中显示了4 in长的传输线的TDR曲线，此传输线的返回平面上有一个小间隙，从图中可以看出，间隙处的阻抗较高。

提示 尽管一个DUT的阻抗可以在频域或时域中显示，但在两种情况下它们是完全不同的两个阻抗。在频域中显示时，它是整个DUT在各个频率点的总阻抗。而在时域中显示时，它是在DUT上各个空间不同的点的瞬态阻抗。

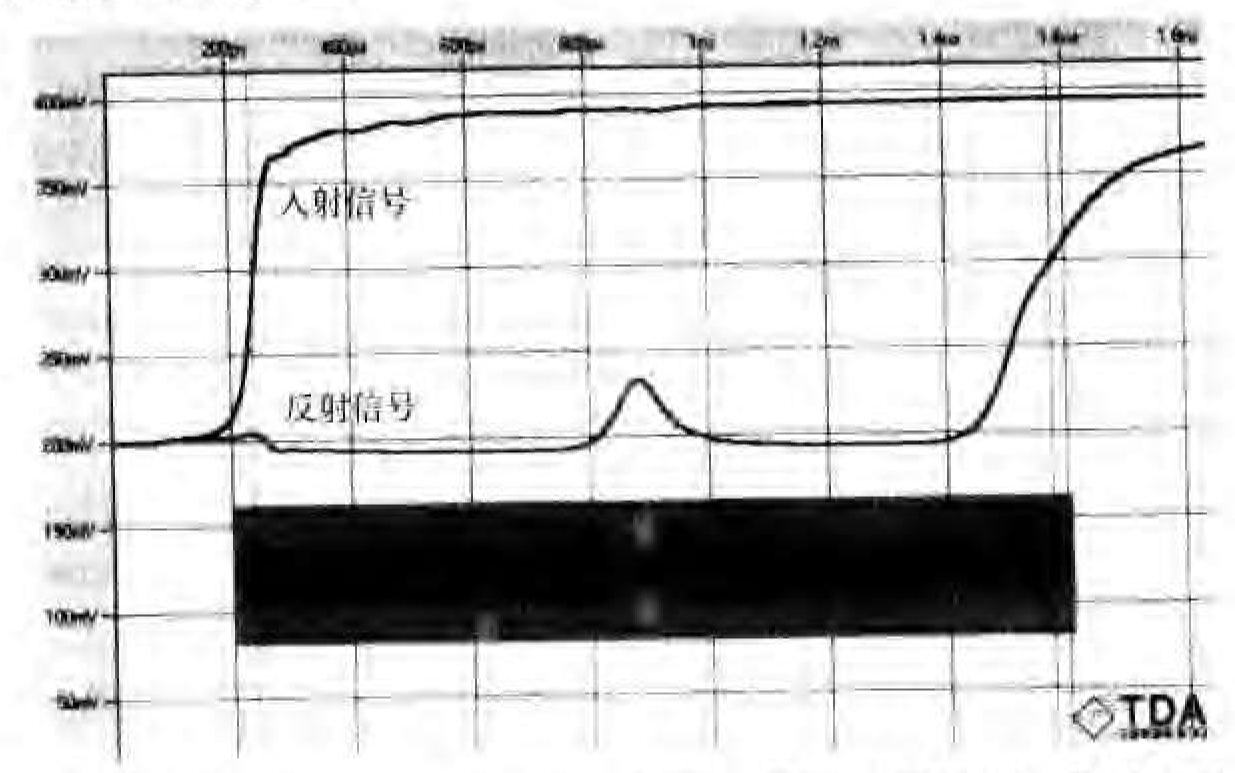


图1.25 4 in长的均匀传输线的TDR测量曲线，传输线远端开路，约在传输线返回路径的中间处有一间隙。以上结果使用GigaTest Labs探针台，由Agilent 86100 DCA TDR测量，由TDA Systems IConnect Software记录

1.14 测量的作用

如果能够计算出元件或系统预期的电气性能，为什么还要去麻烦地测量呢？为什么不能只依靠建模和仿真工具呢？测量只能在实物上进行，难道也是为了避免"创建/测量/重新设计"这个迭代循环多次出现吗？

前面给出的那些测量在产品生命周期的各个阶段起着四个至关重要的基本作用，它们都关系到减小风险和建立对仿真精度的更高可信度。测量使设计师做到以下几点：

1. 验证设计过程。使用未经验证的设计过程时，要避免动用大量资源，首先应验证"设计/建模/仿真"过程的准确程度。
2. 在设计周期的每个阶段，当元器件是现成的或是可以从厂商那里得到时，应通过测量为器件创建模型。
3. 在设计周期的每个阶段，当元器件是现成的或是可以从厂商那里得到时，应对元器件影响系统性能的情况进行硬件仿真实测。这是确定预期性能的一种快速方法，这种实测仿真不需要建立模型。
4. 在设计周期的每个阶段，当元器件是现成的或是可以从厂商那里得到时，应通过测试对功能模块或系统进行联合调试。

Delphi Electronics提供的实例表明，综合使用测量手段验证"设计/建模/仿真"这一过程具有难以置信的能力。Delphi Electronics制造的其中一个产品就是特制易弯的接插件，它用来

连接两块传输高速信号的电路板，如图1.26所示，它们使用在服务器、计算机和开关系统中。这个接插件的电气性能对系统的正确功能至关重要。

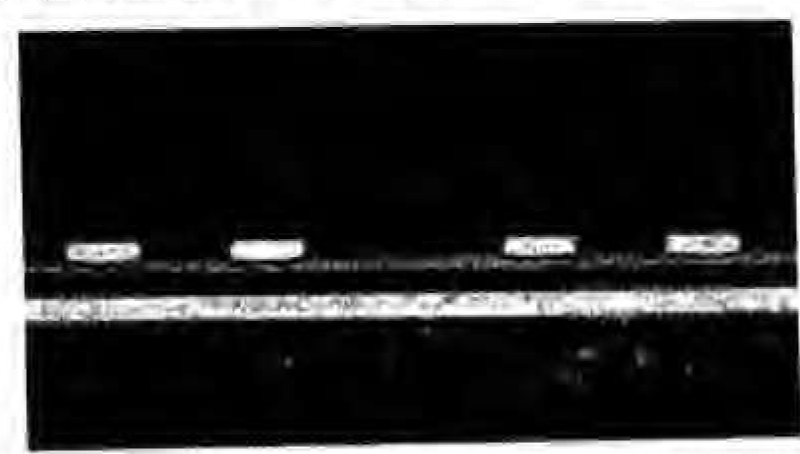



图1.26 Delphi Automotive提供的金手指接插件。左图：双金属层易弯底板的横截面，右图：大量导线连接两块板的顶视图，其中每根导线的电气性能都是可控的。本图由Delphi Electronics的Laurie Taira-Griffin提供

用户提出一系列性能指标后，Delphi就会交付符合这些指标的部件。传统的设计方法设计产品采用如下过程：做一个最好的猜测、生产部件，将部件拿回实验室进行测量，与指标做比较，然后重新设计。这是"创建/测试/重新设计"的传统方法。在这种传统方法中，由于较长的CAD和制造周期，重复一次几乎就需要9周时间。有时第一次设计如果达不到用户指标，就需要重新设计，这就意味着开发周期为18周！

为了缩短设计周期时间，Delphi提供了一个二维建模工具，这个工具能够基于几何结构和材料特性来预测接插件的电气特性。使用TDR和VNA的测量作为验证过程，经过几个实验周期后，Delphi就能够微调建模过程以确保产品预测的精度，随后这个部件就送去制造了。接插件建模工具的预测值和实际测量值与用户原始指标做比较的结果如图1.27所示。

参数	仿真	测量	目标
单终端阻抗	52.1 Ω	53 Ω	50 ±10% Ω
差分阻抗	95.2 Ω	98 Ω	100 ±10% Ω
衰减（5 GHz）	<0.44 dB/in	<0.44 dB/in	<0.5 dB/in
传播时延	152 ps/in	158 ps/in	170 ps/in
单终端近端串扰	<4.5%	<4.5%	<5%
差分近端串扰	<0.3%	<0.3%	<0.5%
数据传输率	>5 Gbps	>5 Gbps	>5 Gbps

图1.27 对有特殊要求的接插件的预测和测量的电气指标的总结表。在优化建模/仿真过程之后，预测性能的能力变得十分突出

一旦有适当的建模/仿真过程，并且确信这一过程可以精确地预测最后制造的接插件的性能，Delphi就能将设计周期的时间减小至4个小时以下。从9个星期到4个小时缩小了100多倍，测量为这一过程提供了很关键的验证步骤。

1.15　小结

1. 信号完整性问题关心的是用什么样的物理互连线才能确保芯片输出信号的原始质量。
2. 信号完整性问题一般分为四种：单一网络的信号质量、相邻网络间的串扰、轨道塌陷和电磁干扰。
3. 随着上升边的减小或者时钟频率的提高，各种信号完整性问题变得更严重，并且更加难以解决。
4. 由于晶体管越来越小，它们的上升边将越来越短，信号完整性也将成为越来越大的问题，这是不可避免的。
5. 为了发现、修正和防止信号完整性问题，必须将物理设计转化为等效的电路模型并用这个模型来仿真出波形，以便在制造产品之前预测其性能。
6. 使用三种级别的分析来计算电气效应——经验法则、解析近似和数值仿真工具，这些分析可以应用于建模和仿真。
7. 测量无源器件和互连线的电气特性的仪器一般有三种：阻抗分析仪、网络分析仪和时域反射仪。
8. 这些仪器对减小设计风险、提高建模和仿真过程精度的可信度起着重要作用。
9. 理解这四种信号完整性问题可以得出消除这些问题的最重要的方法。图 1.28 总结了这四种信号完整性问题的一般解决方法。

噪声种类	设计原则
信号质量	信号在经过整个互连线时所感受到的阻抗应相同
串扰	保持线条间的间隔大于最小值，并使线条与非理想返回路径间的互感最小
轨道塌陷	使电源/地路径的阻抗和I噪声最小
电磁干扰	使带宽以及地阻抗最小，采取屏蔽措施

图 1.28　四种信号完整性问题和减小这些问题的一般设计原则的总结。即使遵循了这些原则，仍然有必要建模和仿真系统，来估计设计是否满足性能要求

本书其他部分讲述了理解这些问题所必需的基本原理和在产品设计中减小这些问题的具体技术。

第2章　时域与频域

这一章，我们研究信号的基本性质，以便进一步了解信号与互连线之间的相互影响。可以用多种方式来分析信号，每种方式提供了不同的角度。解决问题的最快方式不一定是最明显的方式。用来分析信号的不同角度称为域，我们常用的是时域和频域。

通常大家对时域比较熟悉，而频域则非常有助于理解和掌握许多信号完整性效应，如阻抗、有损线、电源分配网络、测量以及模型。

在引入了时域和频域之后，将研究在特殊情况下两者之间的相互变换。运用所学的知识联系两个重要的量：上升时间和带宽，前者是时域中的术语，后者是频域中的术语。可以看到，它们是紧密联系的。

最后，将带宽这个概念应用到互连线、模型和测量中去。

2.1　时域

我们经常用到时域这一术语。但其真正的含义是什么？什么是时域？时域有什么特别的性质使得它运用得如此广泛？要回答这些非常困难，其实它们看起来是很显然的问题，但却很少深入考虑时域究竟是什么含义。

提示　时域是真实世界，是惟一实际存在的域。

之所以这样认为，是因为从出生那一刻起，我们的经历都是在时域中发展和验证的，已经习惯于事件按时间的先后顺序地发生。

时域就是我们经历的现实世界，高速数字产品就是在其中运行的。评估数字产品的性能时，通常在时域中进行分析，因为产品的性能最终就是在时域中测量的。

例如，时钟波形的两个重要参数是时钟周期和上升时间。图2.1说明了这些特征。

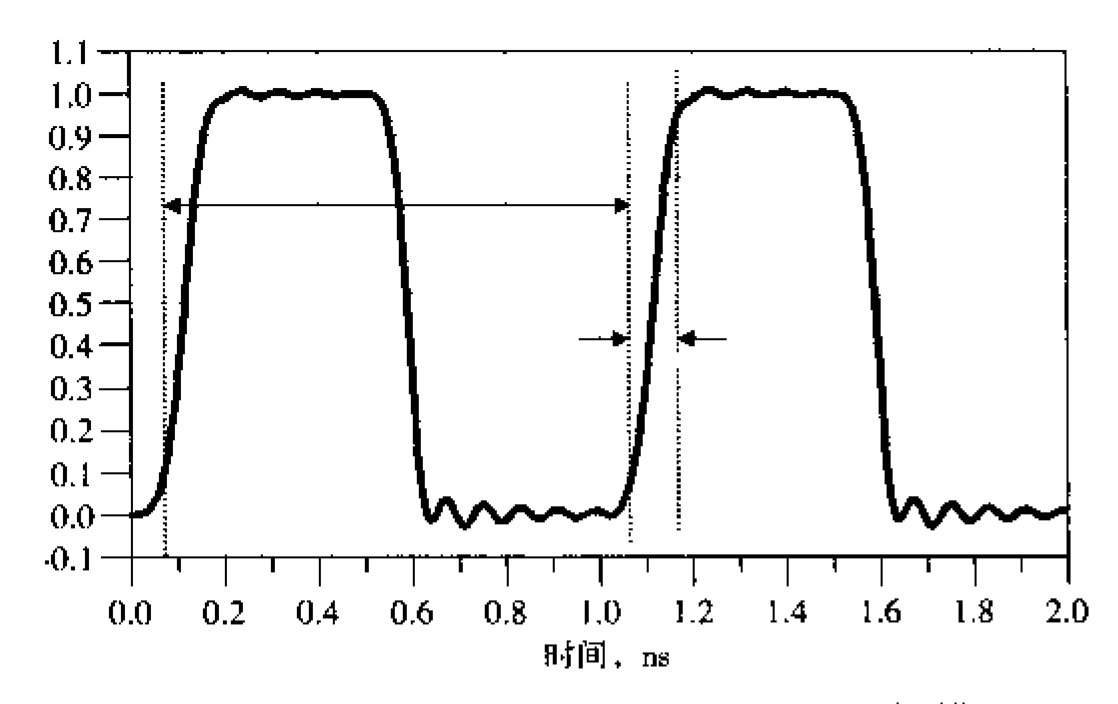


图2.1　典型的时钟波形，图中标明了1 GHz时钟信号的时钟周期和10-90上升时间。下降时间一般要比上升时间短一些，有时会出现更多的噪声

时钟周期就是时钟循环重复一次的时间间隔，通常用ns（纳秒）度量。时钟频率F_{clock}，即1秒钟内时钟循环的次数，是时钟周期T_{clock}的倒数。

$$F_{clock} = \frac{1}{T_{clock}} \tag{2.1}$$

其中：

F_{clock}是时钟频率，单位为GHz

T_{clock}是时钟周期，单位为ns

例如，一个周期为10 ns的时钟信号，其时钟频率是1/10 ns = 0.1 GHz或100 MHz。

上升时间与信号从低电平跳变到高电平所经历的时间有关，通常有两种定义。一种是10-90上升时间，指信号从终值的10%跳变到90%所经历的时间。这通常是一种默认的表达方式，可以从波形的时域图上直接读出。第二种定义方式是20-80上升时间，这是指信号从终值的20%跳变到80%所经历的时间。当然，对于同一波形，20-80上升时间比10-90上升时间要短。一些实际器件的IBIS模型采用的是20-80上升时间定义，这样就可能造成混乱。为了解决这一问题，通常要明确指出是10-90上升时间，还是20-80上升时间。

时域波形的下降时间也有一个相应的值。根据逻辑系列可知，下降时间通常要比上升时间短一些，这是由典型CMOS输出驱动器的设计造成的。在典型的输出驱动器中，p管和n管在电源轨道V_{CC}(+)和V_{SS}(−)间是串联的，输出连在这两个管子的中间。在任一时间，只有一个晶体管导通，至于是哪一个管子导通取决于输出的高或低状态。

当驱动器从低电平状态切接到高电平状态时（如上升沿），n管截止而p管导通。上升时间与p管导通的速度有关。当驱动器由高电平状态切接到低电平状态时（如下降沿），p管截止而n管导通。一般来说，对于相同特征尺寸的晶体管，n管要比p管的导通速度快。这意味着，驱动器从高电平状态切换到低电平状态，它的下降沿要比上升沿短。一般来说，驱动器从高电平状态切换到低电平状态的过程比相反的过程更有可能发生信号完整性问题。如果将n型晶体管的沟道做得比p型的沟道长，可使上升沿与下降沿非常一致。

这样已经建立了在时域中分析事件的方式，下面把注意力转向另一种分析这个世界的方式上——频域。

2.2　频域中的正弦波

我们常会听到频域这个词，特别是在射频（RF）或通信系统中。在高速数字应用中也会遇到频域，每一位工程师都会多次地听到且用到这个术语。然而，当提到频域时，它究竟意味着什么？频域是什么？什么使它这么特别且这么有用？

提示　频域最重要的性质是：它不是真实的，而是一个数学构造。时域是惟一客观存在的域，而频域是一个遵循特定规则的数学范畴。

正弦波是频域中惟一存在的波形，这是频域中最重要的规则，即正弦波是对频域的描述。

还有一些其他的域，它们使用其他特殊的函数。如JPEG图像压缩算法采用称为小波的特殊波形。小波变换是对包含了许多x-y幅值信息的空域进行变换，把它转化为不同的数学描述。这样就能用不到10%的存储空间来描述同样的信息。这是一种近似，但却非常有用。

工程师们通常认为在频域中使用正弦波，是因为时域中的任何波形都可用正弦波合成。这是正弦波的一个非常重要的性质。然而，它并不是正弦波的独有特性，还有许多其他的波形也有这样的性质。

事实上，正弦波有四个性质使它可以很有效地描述其他任一波形。如下所示：

1. 时域中的任何波形都可由正弦波的组合完全且惟一地描述。
2. 任何两个频率不同的正弦波都是正交的。如果将两个正弦波相乘并在整个时间轴上求积分，则积分值为零。这说明可以将不同的频率分量相互分离开。
3. 正弦波有精确的数学定义。
4. 正弦波及其微分值处处存在，没有上下边界。现实世界是无穷的，因此可用正弦波来描述现实中的波形。

这几条性质都是至关重要的，但并不是正弦波独有的。有一类函数集合称为标准正交函数，有时也叫做本征函数或基本函数，这类函数可以用来描述任何时域波形。除正弦波之外的其他标准正交函数有：埃尔米特多项式（Hermite Polynomials）、勒让德多项式（Legendre Polynomials）、拉格朗日多项式（Laguerre Polynomials）和贝塞尔函数（Bessel Function）。

为什么选择正弦波作为频域中的函数形式呢？它有什么特别之处呢？问题的关键在于若使用正弦波，则与互连线的电气数应相关的一些问题将变得更容易理解和解决。如果变换到频域并使用正弦波描述，有时会比仅仅在时域中能更快地得到答案。

提示 毕竟，时域是客观存在的，我们不能脱离这个基础，除非频域中有求解答案的捷径。

对于信号完整性中经常遇到的电气问题的各种类型，有时利用正弦波可以更快地得到满意的答案。观察描述互连线的电路，会发现这些电路常常包括电阻、电感和电容的组合。电路中的这些元件可以用二阶线性微分方程来描述，这类微分方程的解就是正弦波。在这类电路中，实际上产生的波形就是由上述微分方程的解所对应的波形组合而成的。

在实际中，首先建立包含电阻、电感和电容的电路，并输入任意波形。一般情况下，就会得到一个类似正弦波的波形。而且，用几个正弦波的组合就能很容易地描述这些波形，如图 2.2 所示。

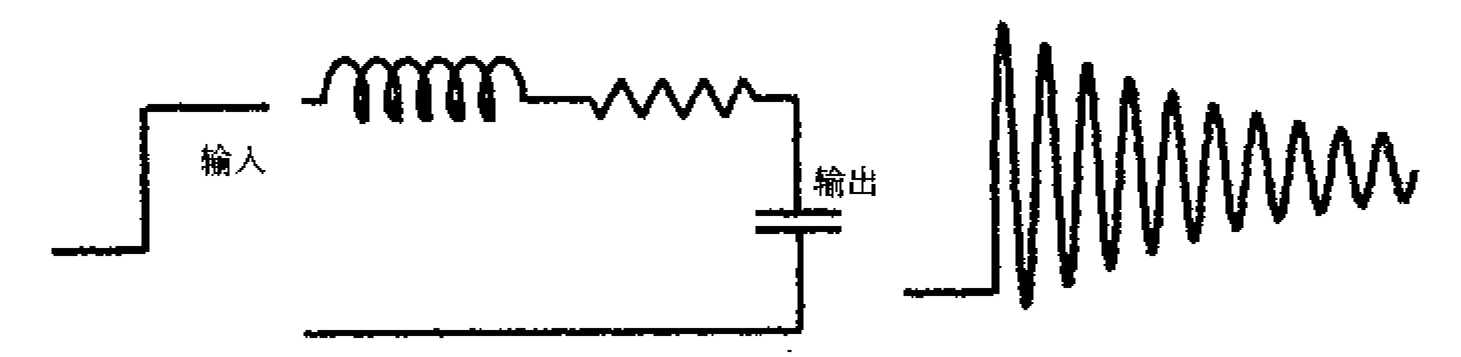


图 2.2 快速边沿与理想RLC电路相互作用时的时域行为。当数字信号与互连线（它常常可以描述成理想 RLC 电路元件的组合）相互作用时，就产生正弦波

2.3 频域中解决问题的捷径

提示 我们转向另一个域的惟一原因就是能更快地得到满足要求的答案。

在一些情况下，如果在频域中而不是在时域中使用自然发生的正弦波，就能更简洁地描述问题并能更快地解决它。

切记，频域中不可能产生新的信息。同一波形的时域或频域描述所含的信息完全相同。

然而，在频域中理解和描述一些问题要比在时域中容易。例如，带宽本来就是一个频域中的概念，我们用它来描述与信号、测量、模型或互连线相关的最高的有效正弦波频率分量。

阻抗在时域和频域中均有定义。然而，在频域中，理解、使用和应用这个概念则会容易得多。应该在这两种域中理解阻抗，但在频域中解决阻抗问题是首选，这样可以更快地得到答案。

在频域中考虑电源和地分布的阻抗，可以对轨道塌陷问题提供更简单的解释和解决方法。正如将看到的那样，电源分布系统的设计目标就是使其阻抗从直流（DC）到典型信号的带宽都能保持在给定值之内。

处理 EMI 问题时，FCC 指标以及产品 EMC 的测量方法在频域中都更容易实施。

以现今软硬件工具的性能来看，测量质量和数值仿真工具的计算速度有时在频域中会更好些。

仪器的信噪比（SNR）高意味着测量质量高。矢量网络分析仪（VNA，在频域中使用）的信噪比在其整个频率范围内是恒定的，从10 MHz到50 GHz或更高频率，信噪比均为-130 dB。对于时域反射计（TDR），它的有效带宽可高达 10 GHz，但信噪比从低频处的 -60 dB 降至 10 GHz 处的 -5 dB。

在频域中，分析、测量和仿真许多有损传输线效应变得更容易。传输线的串联阻抗随频率的平方根增加，介质内的并联交流漏电流也随频率线性增长。首先将信号变换到频域中，分别考虑传输线如何影响每个频率分量，然后再将正弦波分量变换到时域中，这样获得有损线的暂态（时域）性能就会更容易些。

2.4　正弦波特征

正如我们所知道的，频域中惟一存在的波形就是正弦波。大家已经比较熟悉时域中对正弦波的描述了。正是这条有严格数学定义的曲线用三个量充分刻画了它的一切特性。图2.3便给出了这样的一个例子。

用以下三项就可以充分描述正弦波：

- 频率；
- 幅度；
- 相位。

频率，通常用 f 来表示，是指每秒中包含的完整正弦波周期数，单位是 Hz（赫兹）。角频率以每秒弧度（rad/s）来度量。弧度像度数一样，描述了周期的一小部分，一个完整周期的弧度为 2π。希腊字母 ω 通常用来表示角频率，以每秒弧度来度量。正弦波的频率与角频率的关系如下：

$$\omega = 2\pi \times f \tag{2.2}$$

其中：

ω：角频率，rad/s

π：常量，为 3.141 59...

f：正弦波频率，Hz

例如，若正弦波的频率是100 MHz，那么它的角频率就等于$2 \times 3.14159 \times 100\ \text{MHz} \approx 6.3 \times 10^8\ \text{rad/s}$。

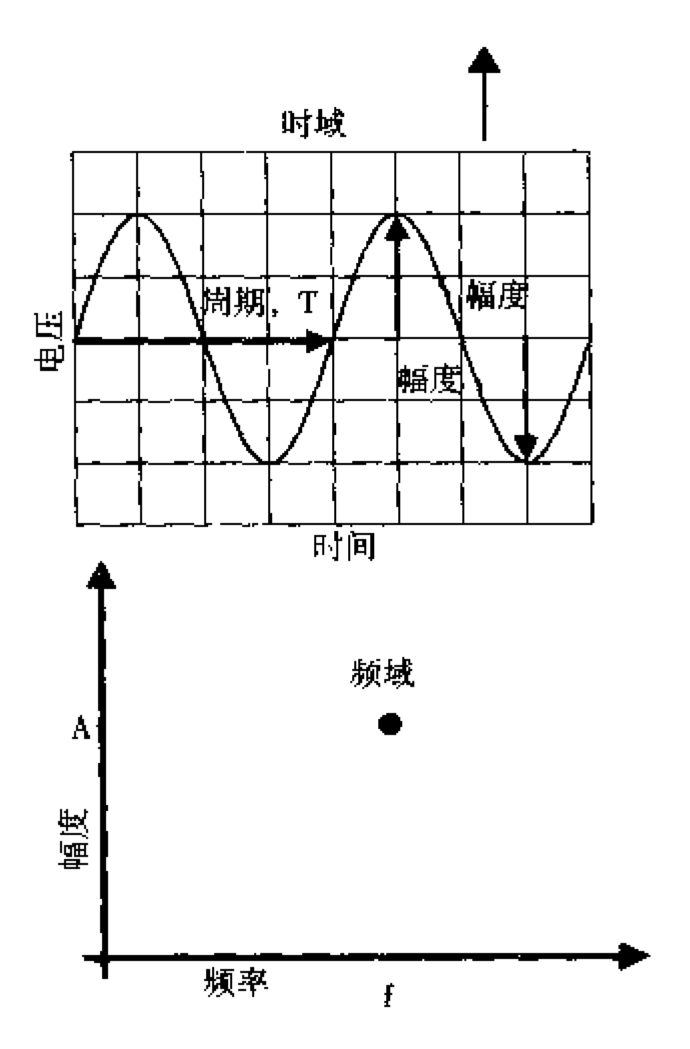


图2.3 上图：时域中对正弦波的描述，它由1000多个电压－时间数据点组成。下图：频域中对正弦波的描述。用三项可以定义一个正弦波，而在频域中只表示为一个点

幅度是中间值之上的波峰高度的最大值。水平方向之下和水平方向之上的峰值相等。

相位较复杂些，它给出的是在时间轴起点处波的起始位置。相位以圆周、弧度或度为单位，一个圆周有360度。虽然相位在数学分析中很重要，但为了把重点放在正弦放更为重要的方面上，在大多数讨论中我们将减少相位的使用。

在时域中，描述正弦波需要标出许多电压－时间数据点来画出完整的正弦波曲线。而在频域中，描绘正弦波就简单多了。

在频域中，惟一可以讨论的就是正弦波，所以需要明确的就是幅度、频率和相位。如果只需描述一个正弦波，那么仅需要这三个量就可以完整地描述这个正弦波。

当然，如果考虑相位，则要有第三个坐标轴。因为暂时忽略相位，所以实际上只需要两个量来充分描述正弦波：幅度和频率。如图2.3所示，在以频率和幅度为坐标轴的坐标系中画出了这两个值。现在在频域中绘制一个正弦波，仅需一个数据点，这就是要在频域中研究问题的关键原因。在时域中可能用上千个电压－时间数据点表示的波形，在频域中则变换为一个幅度－频率数据点。

对于若干个频率值，其幅值的集合称为频谱。每一个时域波形的频谱都有其独特的模式，计算时域放形频谱的惟一方法就是傅里叶变换。

2.5 傅里叶变换

运用频域的首要条件就是能够将波形从时域变换到频域，用傅里叶变换可以做到这一点。有三种傅里叶变换类型：

- 傅里叶积分（FI）；
- 离散傅里叶变换（DFT）；
- 快速傅里叶变换（FFT）。

傅里叶积分（FI）是一种将时域的理想数学表示变换成频域描述的数学技术。例如，若时域中的整个波形只是一个短脉冲，就可以用傅里叶积分将它变换到频域中去。

傅里叶积分是在整个时间轴上从负无穷大到正无穷大做积分，得到的结果是零频率到正无穷大频率上连续的频域函数。在这个区间上，每个连续的频率值都对应一个幅值。

实际上，时域波形是由一系列离散点组成的，且这些点是在有限的时间范围T内测量得到的。例如，一个时钟波形可能是从0 V到1 V这样一个信号，其周期为1 ns，即频率为1 GHz。为了表示时钟的一个周期，可能会用1000个离散的数据点，其中时间间隔为1 ps 。图 2.4 所示为时域中 1 GHz 的时钟波形。

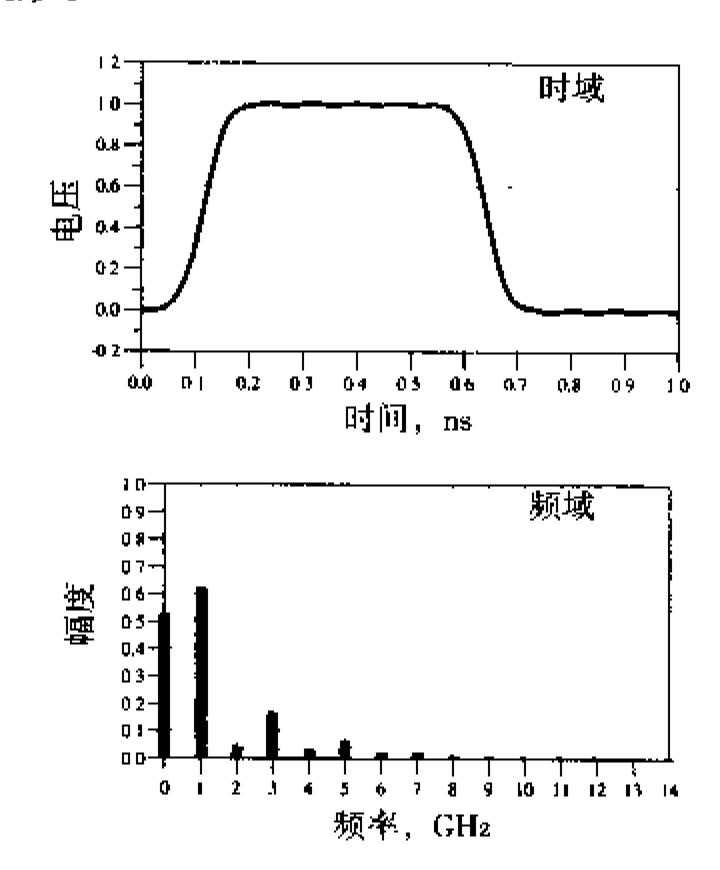


图 2.4　1 GHz 时钟信号在时域中的一个周期上的表示（上图）和在频域中的表示（下图）

使用离散傅里叶变换（DFT）可以将这个波形变换到频域中。其中基本的假设就是原始的时域波形是周期的，每隔T秒重复一次。不像积分，此处仅使用到求和，通过简单的数学方法就可以将任意一组数据变换到频域中。

最后就是快速傅里叶变换（FFT）。除了计算每一个频率点的幅度值的实际算法使用了快速矩阵代数学的技巧之外，它与离散傅里叶变换是完全一样的。这种快值算法只应用于时域中的数据点个数是2的幂数的情况，如256 点、512点或1024点。根据所计算电压点个数的多少，快速傅里叶变换的计算速度比普通的离散傅里叶变换可以快 100 到 10 000 倍。

一般来说，工业中常常会同时使用到 FI，DFT 和 FFT 这三种方法。现在我们知道这三种算法之间是有区别的，但同时它们又有着同样的用途——将时域波形变换成频域频谱。

提示　在频域中，对波形的描述变为不同正弦波频率值的集合。每一个频率分量都有相关的幅度及相位。把所有这些频率值及其幅度值的集合称为波形的频谱。

如图 2.4 所示就是一个简单的时域波形和用 DFT 计算得出的频谱图。

每个严肃认真的工程师都应该至少用手工计算一次傅里叶积分来观察它的细节。此后，就不需要再进行手工计算了，可以使用许多商用软件工具完成傅里叶变换，从而更快地得到答案。

许多用法相对简单的商用软件工具都可以对输入的任意波形进行DFT 或FFT计算。SPICE软件的每个版本都有一个叫做.FOUR指令的函数，它可以生成任一个波形的前九个频率分量的幅度。更先进的 SPICE 工具的大多数版本还能够用 DFT 计算全套频率值和幅度值。Microsoft Excel 有 FFT 功能，通常可在“工程插件”中找到。

2.6 重复信号的频谱

实际上，DFT 或 FFT 是用来将实际波形从时域变换到频域的。对测量得到的任意波形都可以使用 DFT，关键条件就是该波形应是重复性的，通常用大写字母 F 表示时域波形的重复频率。

例如，一个理想方波可能是从 0 V 到 1 V，其重复周期是 1 ns，且占空比为 50%。由于是理想方波，所以从 0 V 跳变到 1 V 的上升时间应为 0 秒，重复频率就应是 1/1 ns = 1 GHz。

在时域中，如果一个信号在时间间隔 t = 0 到 t = T 内是一些任意的波形，则就不能看成是重复性的。然而，将信号以 T 为周期进行沿拓，可以把它变成重复信号。在这种情况下，重复频率就应是 F = 1/T。这样，任何一个波形都可以变为重复波形，并且可用 DFT 将其变换到频域中去，如图 2.5 所示。

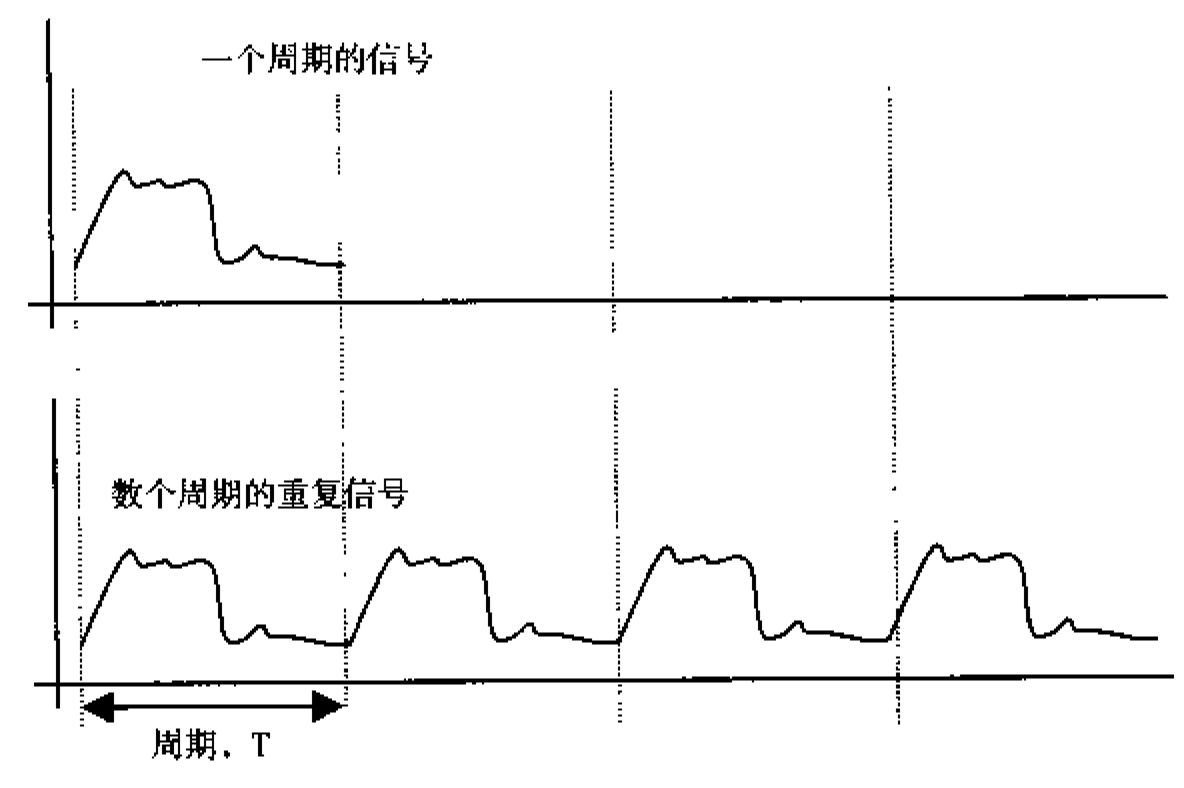


图 2.5 任何波形都可变成重复性的。DFT 只能对重复波形进行运算

对于DFT，频谱中仅存在某些频率值，这些值取决于时间间隔或重复频率的选择。若值用自动DFT工具，如SPICE，建议将间隔周期的值选为等于时钟周期，这会简化对结果的解释。

频谱中的正弦波频率应是重复频率的整倍数。若时钟频率为 1 GHz，那么 DFT 就只有 1 GHz，2 GHz，3 GHz 等的正弦波分量。

第一个正弦波频率称为一次谐波，第二个正弦波频率称为二次谐波，依次类推。每个谐波都有不同的幅度和相位。所有谐波及其幅度的集合称为频谱。

每个谐波的实际幅度都由 DFT 计算的值来确定，每个具体的波形都有其各自的频谱。

2.7　理想方波的频谱

定义理想方波的上升时间为0，它并不是真实的波形，只是对现实世界的近似而已。然而从理想方波的频谱中可以得到有用的信息，运用这些信息可以估计实际波形。理想方波是对称的，其占空比是50%，并且峰值为1 V，如图2.6所示。

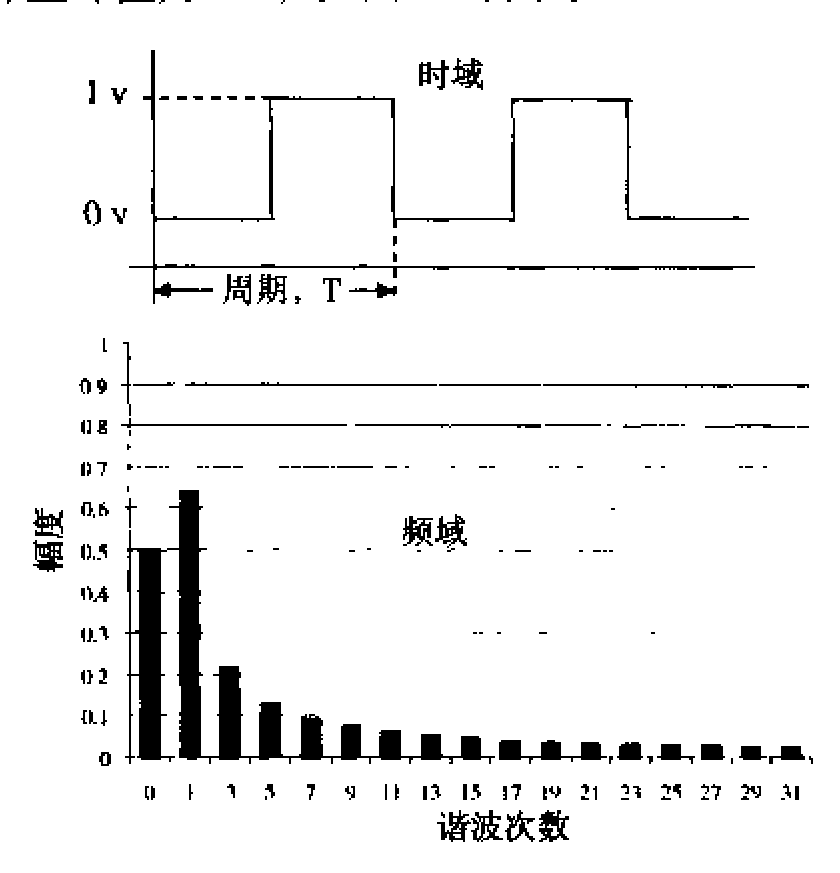


图2.6　时域和频域中的理想方波

如果理想方波的重复频率为1 GHz，那么其频谱中的正弦波频率就是1 GHz的整倍数。我们希望看到f = 1 GHz，2 GHz，3 GHz等一些频率分量，但每个正弦波的幅度是多少呢？确定这些值的惟一方法就是对理想方波进行DFT。对理想方波这种特殊情况，采用DFT可以精确地计算各个频率分量的幅度，其结果相对比较简单。

所有偶次谐波（如2 GHz，4 GHz，6 GHz）的幅度都为0，只存在奇次谐波的值。奇次谐波的幅度A_n，如式（2.3）所示：

$$A_n = \frac{2}{\pi \times n} \tag{2.3}$$

其中：

A_n是n次谐波的幅度

π是常量，为3.141 59...

n是谐波数，为奇数

例如，占空比为50%、从0 V跳变到1 V的理想方波，其一次谐波的幅度为0.63 V，三次谐波的幅度是0.21 V，第1001次谐波的幅度为0.000 63 V。要注意频率分量提高时，其幅度随着1/f的减小而减小。

如果理想方波的电压跳变范围增加为原来的两倍，即从0 V到2 V，那么各次谐波的幅度也加倍。

还有一个特殊的频率值：0 Hz。因为正弦波的均值为0，任何正弦波的组合也只能描述时域中均值为0的波形。如果给出一个直流偏移，即非零均值，那么直流分量就存储在零频率值

中。这有时也称为零次谐波，其幅度与信号的均值相等。在方波占空比为50%的情况下，零次谐波幅度为0.5 V。

归纳起来如下：

- 正弦波频率分量及其幅度的集合称为频谱，每一分量称为谐波；
- 零次谐波就是直流分量值；
- 对于理想方波占空比为50%这一特殊情况，偶次谐波的幅度为0；
- 任何谐波的幅度都可由2/（nπ）计算得出。

2.8 从频域到时域

频域中的频谱表示的是时域波形包含的所有正弦波频率的幅度。如果我们知道频谱，要想观察它的时域波形，只需将每个频率分量变换成它的时域正弦波，再将其全部叠加即可。这个过程称为傅里叶逆变换，如图2.7所示。

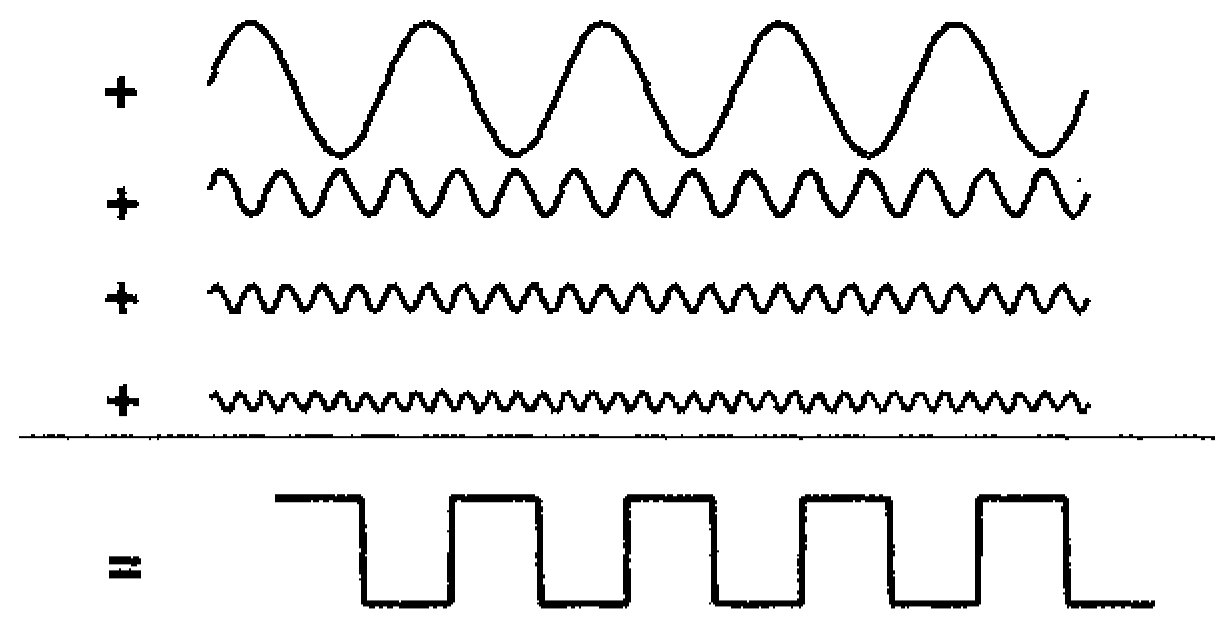


图2.7 把以上每个正弦分量叠加起来，即可将频谱转化为时域波形

频域中的每个分量都是时域中定义在 $t=-\infty$ 到 $+\infty$ 上的正弦波。为了重新生成时域波形，可以提取出频谱中描述的所有正弦波，并在时域中的每个时间间隔点处把它们叠加。从低频端开始，把频谱中的各次谐波叠加，就可得到时域中的波形。

对于1 GHz理想方波的频谱，第一项是零次谐波，其幅度为0.5 V。这个分量提述了时域中的直流常量。

第二个分量是一次谐波，这在时域中是频率为1 GHz、幅度为0.63 V的正弦波。它与前一项叠加，在时域中得到均值偏移为0.5 V的正弦波。这与理想方波的近似并不是很好，如图2.8所示。

接下来是三次谐波。3 GHz正弦波频率分量的幅度为0.21 V，把它与已有的时域波形叠加，会发现新波形的形状发生了细微的变化：顶端更平滑，更接近于方波，且上升时间更短。依次下去，将所有相继的高次谐波与已有波形相叠加，得出的结果会越来越像方波。值得注意的是，时域波形的上升时间随着加入高次谐波而变化。

为了阐明更多细节，以周期的起始点为中心，将波形的上升边放大。先叠加至第7次谐波，然后加到第19次谐波，最终一直加到第31次谐波，会发现上升时间不断缩短，如图2.9所示。

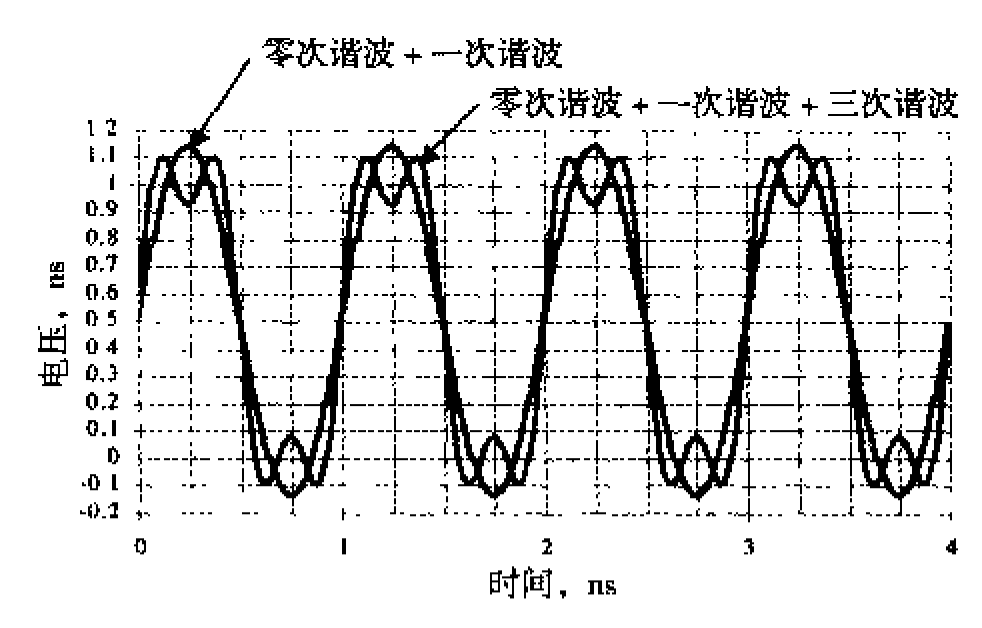


图 2.8 对于 1 GHz 理想方波，叠加零次谐波、一次谐波，接着加入三次谐波时形成时域波形

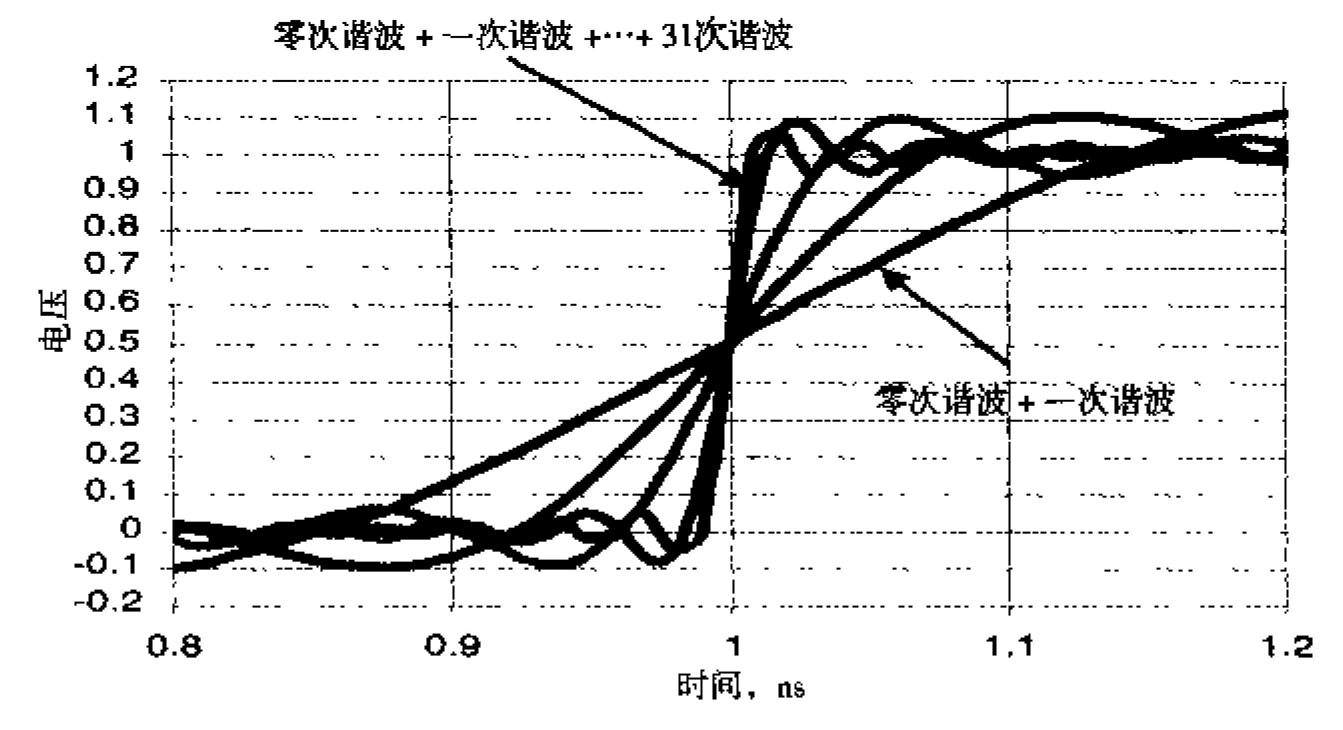


图 2.9 对于 1 GHz 理想方波，依次叠加各次谐波生成的时域波形：首先是零次谐波和一次谐波，再加上三次谐波、7 次谐波、19 次谐波，最后一直加到 31 次谐波

根据DFT算法对离散点数的选择，频谱中可能会列出100多个不同的谐波分量。那么自然会提出一个问题：是必须把所有这些谐波分量都包括进来，还是仅用有限个谐波分量就能重新得到对原始时域波形“足够好”的表示？限制谐波的最高次谐波对重新生成的时域波形到底有什么影响？是否存在最高的正弦波频率分量，此后的谐波分量可以忽略？

2.9 带宽对上升时间的影响

带宽用来表示频谱中有效的最高正弦波频率分，为了充分近似时域波形的特征，这是需要包含的最高正弦波频率，所有高于带宽的频率分量都可忽略不计。值得注意的是，带宽的选择对时域波形的最短上升时间有直接的影响。

如图 2.8 所示，如果只用零次、一次和三次谐波合成时域波形，那么所得波形的带宽只达到三次谐波的值，即 3 GHz。设计时，这个波形的最高正弦波频率分量是 3 GHz，其值正弦波频率分量的幅度为零。

如果像图 2.9 那样增加更高次谐波来生成波形，那么设计的带宽为 7 GHz，19 GHz 和 31 GHz。如果取出图 2.9 中上升时间最短的波形，并把它变换到频域中，则其频谱就与图 2.6 所示的非常相似，其中含有的谐波分量从零次谐波一直到 31 次谐波，超过 31 次谐波的所有

分量都为零。这个波形中有效的最高正弦波频率分量就是31次谐波，即此波形的带宽为31 GHz。

以理想方波的频谱为基准，每种情况下生成的波形的带宽越来越高。并且，波形的带宽值越大，10-90上升时间就越短。上升时间越短，与理想方波的波形就越接近。同理，若降低信号的带宽（如删除高频分量），则其上升时间会变长。

例如，信号沿FR4的有损传输线传播时，其时域响应就很难估算。正如我们知道的，有两种损耗机理：导体损耗和介质损耗。如果每种损耗过程对低频分量和高频分量的衰减是一样的，则远端的信号仅仅是减小，而输出的频谱模式同输入的频谱模式是相同的，且对波形的上升时间没有影响。

然而，这两种损耗对高频分量的衰减要大于对低频分量的衰减。当信号沿导线传播4 in长时，约从8 GHz开始，以上高频分量的功率衰减量要大于50%，而对低频分量的影响却小得多。图2.10（上图）所示是通过FR4板上4 in长的传输线时，测量的正弦波频率分量的衰减。其中，使用网络分析仪对其进行测量，且传输线的特性阻抗为50 Ω。从图中可以看出，位于2 GHz以下的频率分量的衰减不超过 -1 dB，而10 GHz上的频率分量的衰减为 -4 dB。

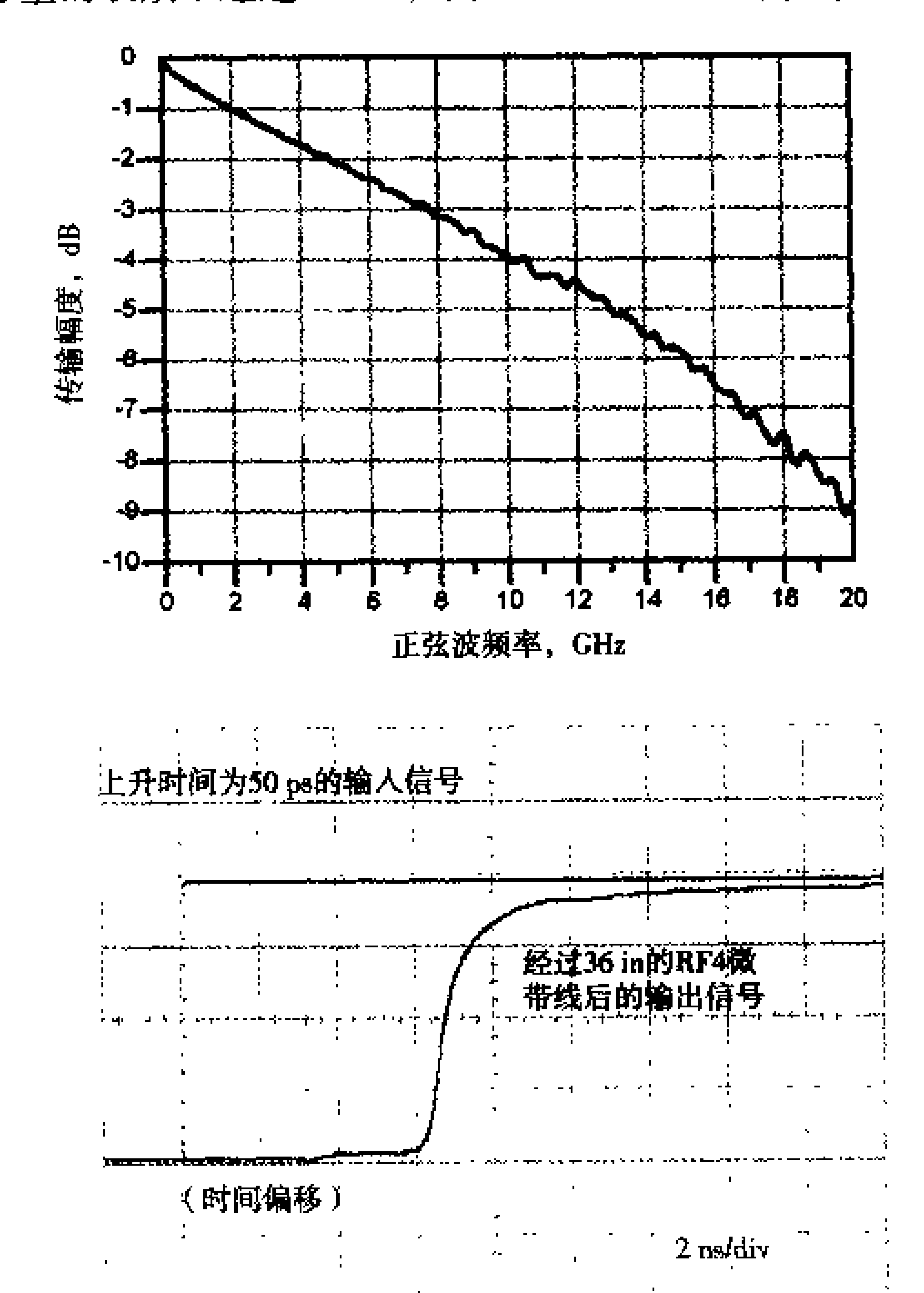


图2.10 上图：信号通过FR4板上50 Ω、4 in长的传输线时测量的衰减，可以看出，频率越高，衰减越大。下图：通过FR4板上50 Ω、36 in长的传输线时，测得的输入信号和传输信号，可以看出，上升边从50 ps（皮秒）退化到1.5 ns

这种选择性衰减使得在互连线中传播的信号的带宽降低。图2.10（下图）所示为一个上升时间为 50 ps 的信号进入 FR4 板上 36 in 长的传输线时以及离开传输线时的波形。由于高频分量的衰减比较多，其上升时间从 50 ps 增加到近 1.5 ns。36 in 长的线条是常见的，如经过两个 6 in 长的插卡和 24 in 的底板，走线就是 36 in。在超过 1 GHz 的高速串接中不能使用 FR4 叠层的主要限制就是上升边退化。

提示　一般来说，时域中上升时间越短的波形在频域中的带宽越高。如果改变频谱使波形的带宽降低，那么波形的上升时间就会随之增加。

频谱中有效的最高正弦波频率分量与时域中相应的上升时间之间的相互关系是一个非常重要的特性。

2.10　带宽及上升时间

对于重新生成的理想方波，其上升时间与带宽之间的关系可以加以量化。在前面重新生成理想方波的例子中，每个合成波形的带宽是很明确的，因为每个波形都是通过加上某次谐波的正弦波频率分量而人为合成的。定义为从 10% 到 90% 的上升时间，也可以从时域图中测量得到。

如果已知每个波形测量得到的10-90上升时间和带宽，凭经验可以画出一个简单的关系式。如图 2.11 所示，这是个基本关系式，对所有信号均适用。

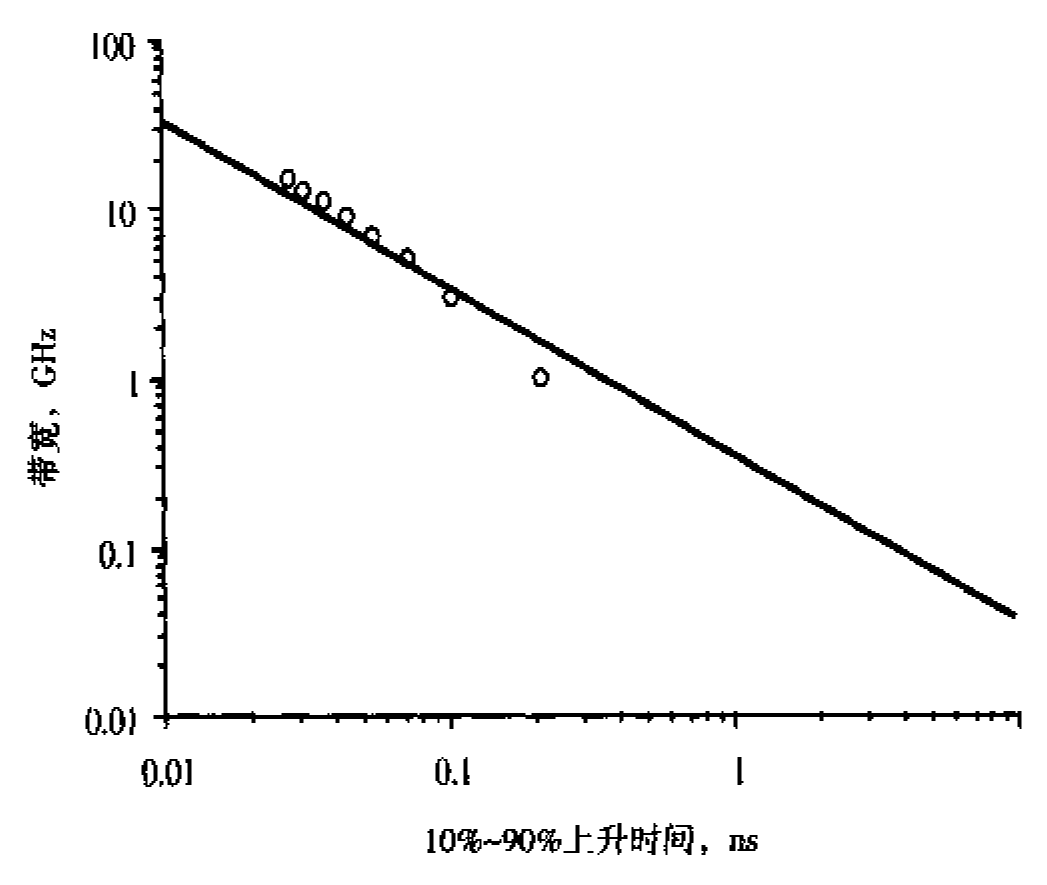


图 2.11　信号带宽与 10-90 上升时间之间的经验关系式，从重新生成的理想方波中测量得到（其中每次只加入一个谐波分量）。图中圆圈表示原始数据中的取值，直线表示带宽可近似为BW = 0.35/(上升时间)

对于重新生成的方波中只包含一些较高次谐波这种特殊情况，带宽与上升时间的倒数有关。可以通过一些点画出一条直线去近似，以找出带宽与上升时间的关系：

$$BW = \frac{0.35}{RT} \tag{2.4}$$

其中：

BW 表示带宽，单位为 GHz

RT 表示 10%~90% 上升时间，单位为 ns

例如，若信号的上升时间为 1 ns，则其带宽约为 0.35 GHz 或 350 MHz。同理，若信号的带宽为 3 GHz，则上升时间约为 0.1 ns。在基于 Rambus（存储器－总线）的系统中，信号的上升时间可能是 0.25 ns，其带宽为 0.35/0.25 ns = 1.4 GHz。

对于其他波形，如高斯或指数边沿的波形，也可以用另外一些方法得到这样的关系式。对于方波，采用的纯粹是实验途径，没有做任何假设。用这一经验公式所表示的是一个非常有用的经验法则。

确保单位一致是非常重要的。如果上升时间的单位是微秒，那么带宽的单位就应是 MHz。例如，对于 10 ns 这样很长的上升时间，带宽就是 0.35/10 ns = 0.035 MHz，即 35 KHz。

当上升时间的单位为 ns 时，带宽的单位为 GHz。典型的 10 MHz 的时钟信号，上升时间一般为 10 ns，其带宽约为 0.35/10 ns = 0.035 GHz，即 35 MHz。

2.11 “有效的”含义

将信号的带宽定义为有效的最高正弦波频率分量。在前面曾举过一个例子，其中以方波为出发点并限制其高频分量，这里有效的意义是很清晰的。我们明确地把频域中更高的频率分量都去掉，从而最高有效分量就是频谱中的最高次谐波。

如果把带宽以内的所有频率分量都包含在内，那么就可以重新生成其上升时间有限的方波，这时上升时间与带宽的关系为：上升时间 = 0.35/BW。这一点仅是简单地说明了一下，但是如果只加入下一个分量，又会有什么影响呢？

例如，时钟频率为 1 GHz 的理想方波时钟信号，其一次谐波为 1 GHz 的正弦波频率，如果将第 21 次谐波以内的所有分量都包含其中，则带宽为 21 GHz，而且最后得到的重新生成信号的上升时间为 0.35/21 GHz = 0.0167 ns，即 16.7 ps。

如果加入第 23 次谐波，上升时间会怎样改变呢？上升时将变为 0.35/23 GHz = 0.0152 ns 或 15.2 ps。上升时间减少了 1.5 ps，差不多是上升时间的 10%，与带宽的增长幅度是一致的，因为带宽也是增加了 10%。与一次谐波的幅度 0.63 V 相比，所增加分量的幅度只有 0.028 V。虽然这个幅度很小，还不足一次谐波分量幅度的 5%，而且比原始方波峰值的 3% 还要小，但它也使上升时间降低了 10%。

理想方波的频谱中的频率分量可延伸到无穷大，要想得到零上升时间的理想方波，每个分量都是必需的，而且是有效的。

对于实际的时域波形，随着频率的升高，其谐分量的幅度总是比理想方波中相同频率的幅度下降得快。有效性问题其实就是一个频率点的问题，高于该点的谐波分量的幅度比理想方波中相应频率分量的幅度要小。

所谓“小”，通常指的是该分量的功率要小于理想方波中相应频率分量幅度功率的 50%，功率下降 50% 也就是幅度下降至 70%。这才是有效性的真正定义。若幅度高于理想方波中相同谐波幅度的 70% 以上，则称之为有效。

提示 对于上升时间有限的任何波形，有效指的是信号的谐波幅度高于相同频率的理想方波中相应谐波幅度的 70% 时的那一点。

从另一个稍微不同的角度看，可以把有效定义为实际波形的谐波分量开始比1/f下降得快时的那个频率点，该频率有时也称为拐点频率。理想方波的谐波幅度的下降速率近似于1/f，所以实际波形的谐波幅度开始明显偏离理想方波时的频率，就是拐点频率。

要估算时域波形的带宽，我们实际上是在问：刚刚超过理想方波中相应谐波幅度70%的最高频率分量是什么？当实际波形的谐波幅度已明显低于理想方波中相应谐波的幅度时，那些幅度更低的谐波对减少上升时间已没有明显作用，于是这些分量就可以忽略了。

例如，在时域中，将频率为1 GHz的两个时钟波形做比较：理想方波和理想梯形波，后者是上升时间较长的非理想方波，如图2.12所示。在这个例子中，10-90上升时间约为0.08 ns，大概为周期的8%，这个比例在许多时钟波形中都是很常见的。

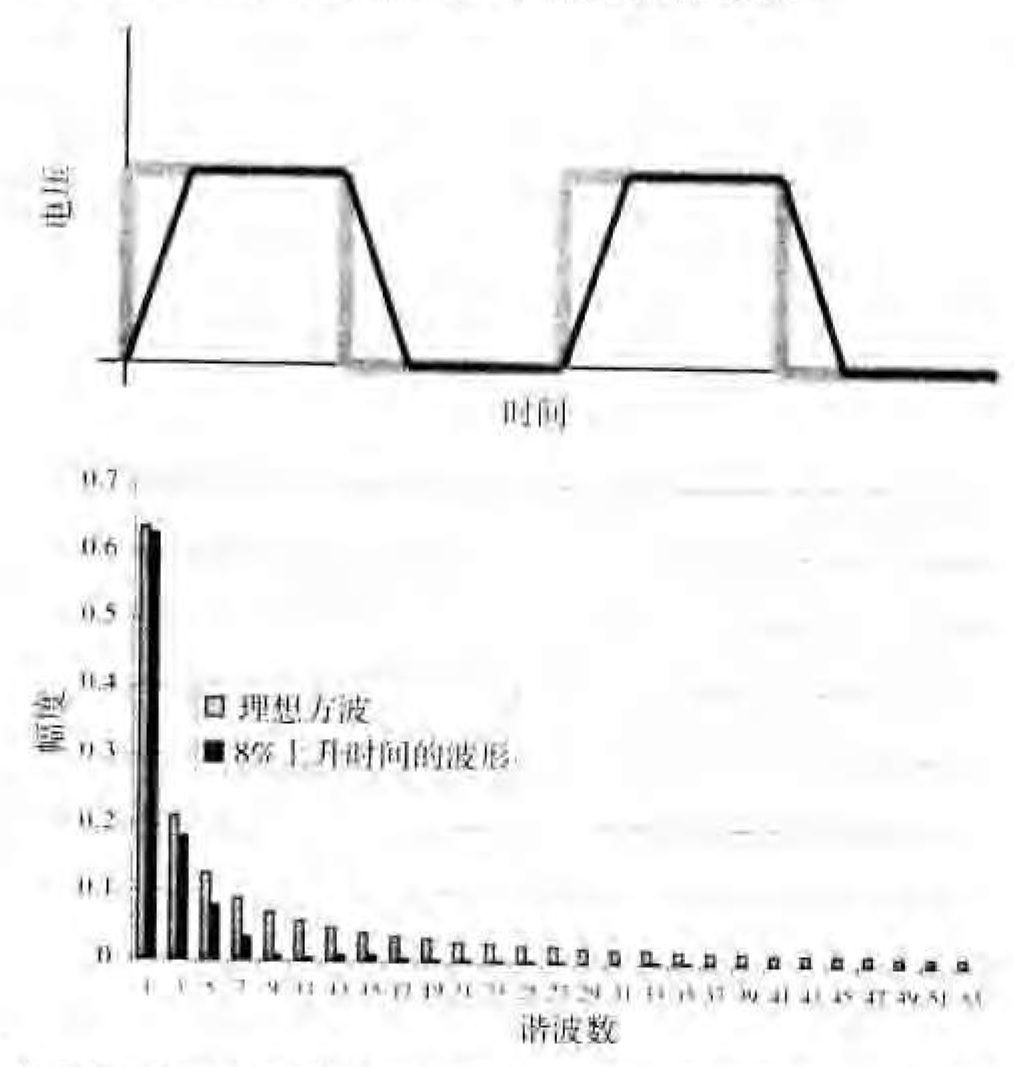


图2.12　上图：频率为1 GHz的时域波形：理想方波和上升时间为0.08 ns的理想梯形波。下图：二者的频谱图，由图中可以看出，与理想方波相比，理想梯形波的较高次谐波急速下降

若比较这两个波形的频率分量，则从哪个频率开始，理想梯形波的频谱明显不同于理想方波中相应的频谱？预计约从0.35/0.08 ns = 5 GHz，即第五次谐波起，梯形波的更高频率分量是无效的。如前面提到的，如果采用理想方波的频谱，并去掉所有高于五次谐波的分量，那么就可以得到这样一个非理想方波。

对照方波的频谱来看梯形波的实际频谱，可以看出两者的一次和三次谐波大致相同，梯形波的五次谐波约为方波的70%，依然占了很大一部分。然而梯形波的七次谐波只有理想方波的30%，如图2.12所示。

仅通过对梯形波谱的观察就可以得出结论：高于五次谐波的分量（如七次谐波或更高）的幅值只相当于理想方波中电压总量的很小的一部分。因此，它们对上升时间的影响也是微乎其微的。与理想方波对照，从频谱中可以看出梯形波中有效的最高正弦波频率分量为五次谐波，这是近似得出的。

在梯形波频谱中还有高于五次谐波的频率分量，然而，最大的幅度仅是方波中相应谐波幅度的30%，而且以后的谐波所占的百分比会更少。它们的幅度只是理想方波幅度的很小的一部分，所以它们对减少上升时间的影响也非常小，可以忽略不计。

任何波形的带宽总是频谱中的最高正弦波频率分量，其幅度与相应的理想方波的谐波相当。使用DFT计算波形的频谱并与理想方波相比较，可以得到任何波形的带宽，从而可以确定出波形中小于理想方波的70%的那个频率分量，或者使用前面导出的经验公式，即BW是由0.35/（上升时间）得出的。

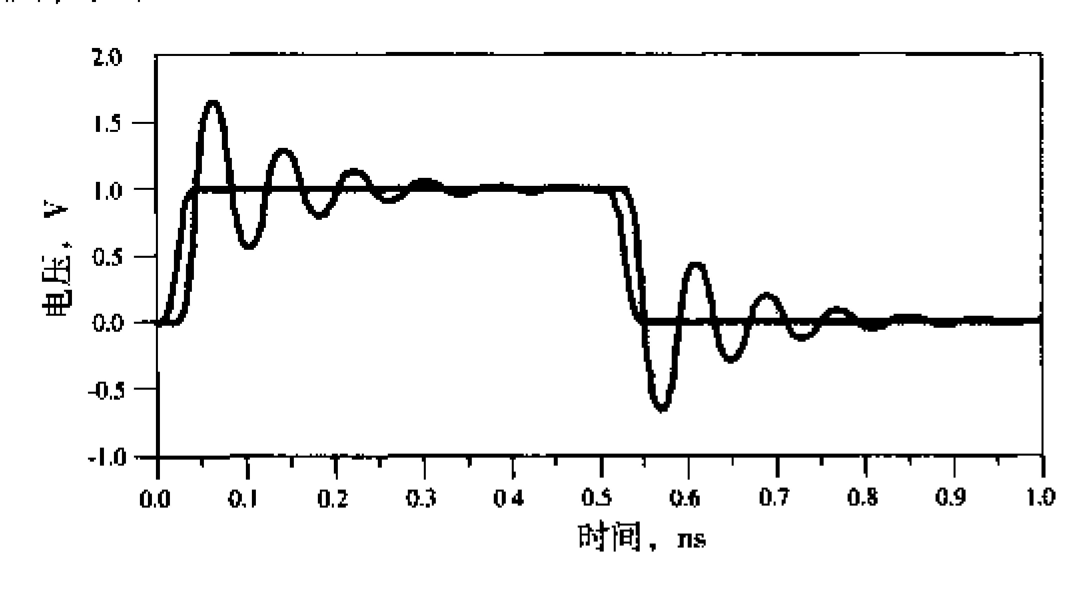
提示 要注意带宽这个概念本身就是一个近似。它实际上是个经验法则，只是粗略地确定了实际波形中频率分量的幅度从哪一点开始比理想方波下降得快。

如果在某个问题中，波形的带宽是900 MHz还是950 MHz非常重要，则就不要使用带宽这个术语，而是应该看看整个频谱图。完整的频谱图才是对时域波形的精确表示。

2.12 实际信号的带宽

除了基于上升时间来近似波形的带宽外，其他计算基本上都不能用手工完成。任意波形的傅里叶变换只能由数字仿真来完成。

几乎是理想方波的高质量信号有一个简单的行为特性，即如果传输线电路的终端匹配欠佳，则信号就会发生振铃，频谱在振铃频率处产生峰值。振传频率的幅度会比没有振铃时信号的幅度高十倍以上，如图2.13所示。



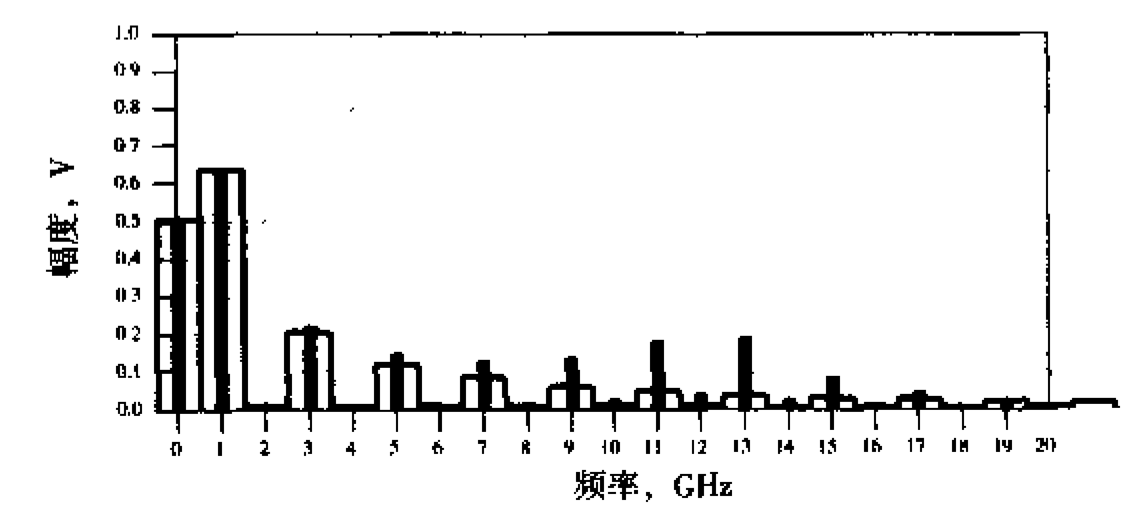


图2.13 上图：接近方波的时域波形和由于终端匹配欠佳引起的振铃现象。下图：由DFT得出两个波形的频谱图，从图中可以看出振铃对频谱的影响。用宽条表示理想波形的频谱，用窄条表示振铃波形的频谱

有振铃时的带宽明显高于没有振铃时的带宽。当波形中出现振铃时，其带宽约等于振铃频率。但是若仅用这个带宽来表征振铃信号，可能会引起误导。取而代之的是，应当考虑整个频谱。

EMI（电磁干扰）由电流中每个频率分量的辐射引起。最严重的辐射源是共模电流，其总辐射将随着频率而线性增加。这说明，如果电流有理想方波的特性，则尽管各次谐波的幅度都以1/f的速率下降，但辐射能力仍会以速率f上升，所以各次谐波对EMI的影响都是相等的。为了减少EMI，设计时应在所有信号中采用尽可能低的带宽。高于这个带宽时，谐波幅度就比1/f下降得快，对辐射的影响就会小些。将带宽保持在最低值，辐射量就会保铃在最小值。

电路中的振铃可能会使高频分量的幅度增加，并使其辐射的幅度增加10倍。这就是为什么为了减小EMI，通常要从解决信号完整性问题入手的一个原因。

2.13　带宽和时钟频率

众所周知，带宽与信号的上升时间有关。对于两个不同的波形，可以有相同的时钟频率，值上升时间和带宽却很可能不同。仅知道时钟频率并不能告诉我们带宽，图2.14展示了四种不同的波形，每个波形的时钟频率都是1 GHz。然而，它们的上升时间却不同，因此带宽也不同。

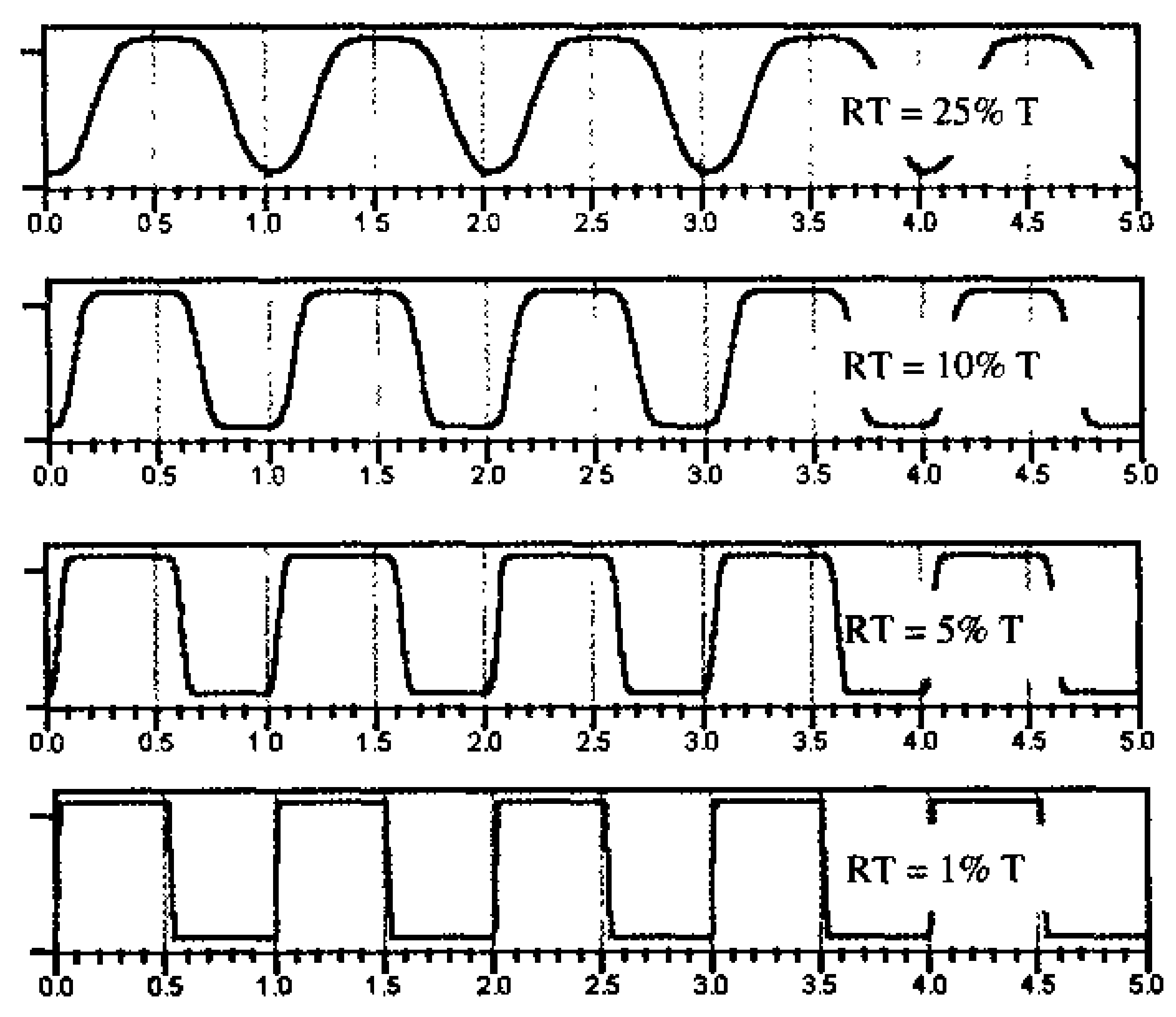


图 2.14　四个不同的波形，每个波形都有相同的时钟频率1 GHz。各个信号的上升时间不同，它们在周期中所占的比例也不同，因此带宽也会不同

我们并非总能知道信号的上升时间，但是却需要知道它的带宽。若使用一个简单的假设，则仅从信号的时钟频率就可以估算出它的带宽。仍需注意的是，不是时钟频率而是上升时间决定带宽。如果只知道波形的时钟频率，就无法准确知道其带宽，那么只能是猜测了。

下面给出一个非常有价值的经验法则。为了使用合理，必须做出一个非常重要的假设，即首先需要估计出一个时钟波形的典型上升时间。

在实际的时钟波形中，上升时间与时钟周期有什么关系呢？原则上讲，两者之间的惟一约束是：上升时间一定小于周期的50%。除此之外没有任何限制，上升时间可以是周期的任意百分比。当时钟频率达到器件工艺的极限，如1 GHz时，上升时间可能是周期的25%。在许多微处理器产品中，典型的上升时间可能是周期的10%。在高端ASIC驱动外部低时钟频率存储器总线时，上升时间还可能是周期的5%。当板级总线属于老式系统时，上升时间甚至可能只有周期的1%。

如果不知道上升时间与周期的比值，则一个合理的归纳为：上升时间是时钟周期的7%。这与许多微处理器板和ASIC驱动板级总线的情况接近。因此，可以估算时钟波形的带宽。

要记住上升时间是周期的7%这个假设是具有挑战性的。许多系统更接近于10%，所以我们对上升时间的假设要短于那些典型的情况。这样，上升时间就被低估了，带宽则被高估了，而这比带宽被低估要安全得多。

如果上升时间是周期的7%，那么周期就是1/0.07或15倍的上升时间，可以将带宽近似为0.35/（上升时间）。频率和周期互为倒数，所以可以把两者联系起来。用时钟频率代替时钟周期可以得出最终的关系式，即带宽是时钟频率的5倍：

$$BW_{clock} = 5 \times F_{clock} \tag{2.5}$$

其中：

BW_{clock} 表示时钟带宽的近似值，单位为GHz

F_{clock} 表示时钟频率，单位为GHz

如果时钟频率是100 MHz，则信号的带宽就是500 MHz。如果时钟频率是1 GHz，那么信号带宽就是5 GHz。

这是根据上升时间是时钟周期的7%这个假设得出的结论，也是个近似。如果给出这个假设，它就是一个很有用的经验法则，通过它可以很容易地估算出带宽。这就是说，时钟波形中的最高正弦波频率分量通常就是第五次谐波。

显然，希望始终能用上升时间来估算带宽。然而很遗憾，并不是总能知道某个波形的上升时间，而且，可能这时候又需要立即获得答案！

提示 现在得到合适的答案通常比以后得到更好的答案更重要。

2.14 测量的带宽

在以上的论述中，用带宽这个术语来表示信号或时钟波形。这里的带宽就是波形频谱中有效的最高正弦波频率分量。对于信号来说，所谓的有效是基于信号的幅度与同频率理想方波的幅度相比较而言的。

除此之外，也可以用带宽来度量其他的量，特别是涉及到测量的带宽、模型的带宽和互连线的带宽时。每种情况中它都指的是有效的最高正弦波频率分量，但是在每一种应用中，“有效”的定义各不相同。

测量的带宽是指有足够精度的最高正弦波频率分量。当在频域中进行测量时，使用阻抗分析器或网络分析仪就能很容易知道它的带宽，它就是测量中的最高正弦波频率。

如图2.15所示，从1 MHz到1 GHz测量去耦电容的阻抗，可以看出在10 MHz以下时，阻抗表现为电容，但在10 MHz以上时，它就表现为电感。在网络分析仪的整个测量范围内（此例中，达到1 GHz），这些数据都很好，很精确。所以在这个例子中，测量的带宽为1 GHz。测量的带宽不同于器件本身的有用带宽。

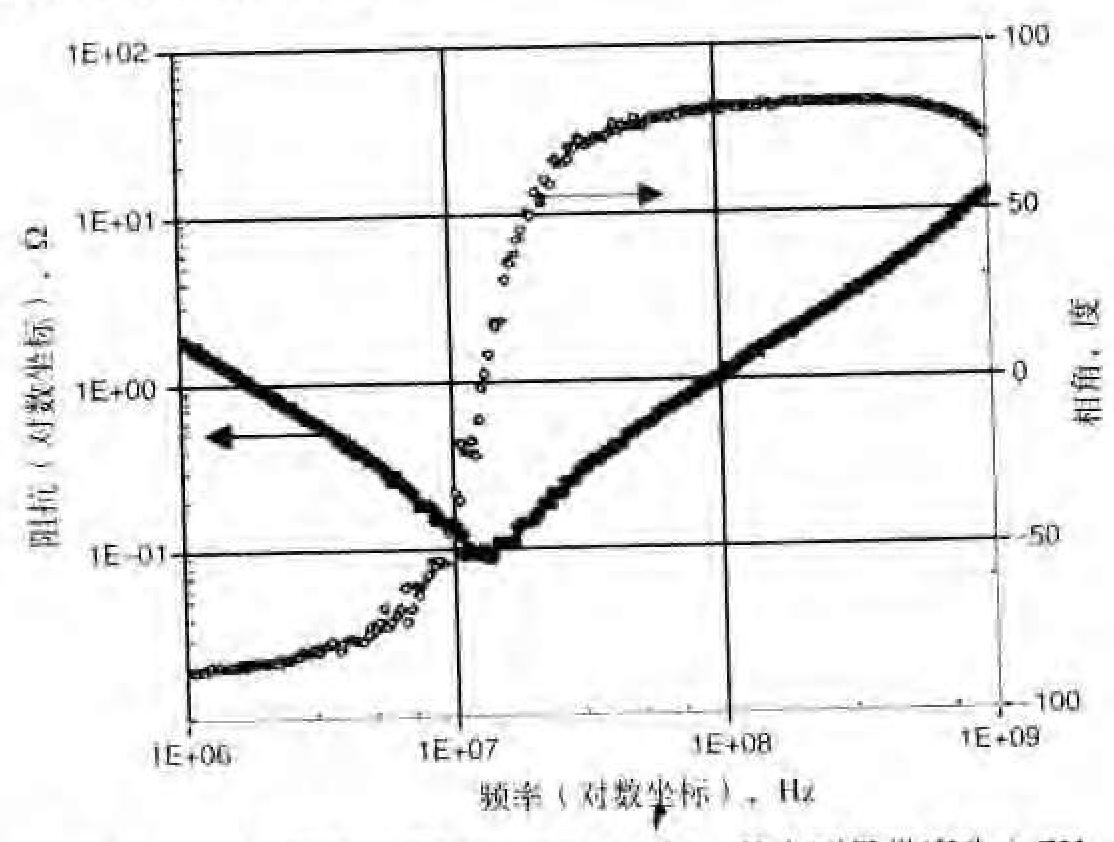


图2.15　1206陶瓷去耦电容的测量阻抗，其中测量带宽为1 GHz

对于在时域工作的测量仪器，例如时域反射计（TDR），它的测量带宽取决于它能输出到DUT信号的最快上升时间。但由于高频分量总是比较小，所以这种度量就比较粗略。

在常见的TDR中，TDR产生一个快速阶跃边沿，此边沿与DUT相互作用时发生的变化可以加以测量。进入DUT的典型上升时间可以是35 ps到70 ps，这与使用的探针和电缆有关。图2.16中，测量所得的TDR的上升时间约为52 ps。边沿的带宽为0.35/52 ps = 0.007 THz，即7 GHz，这是TDR中最高的测量带宽。

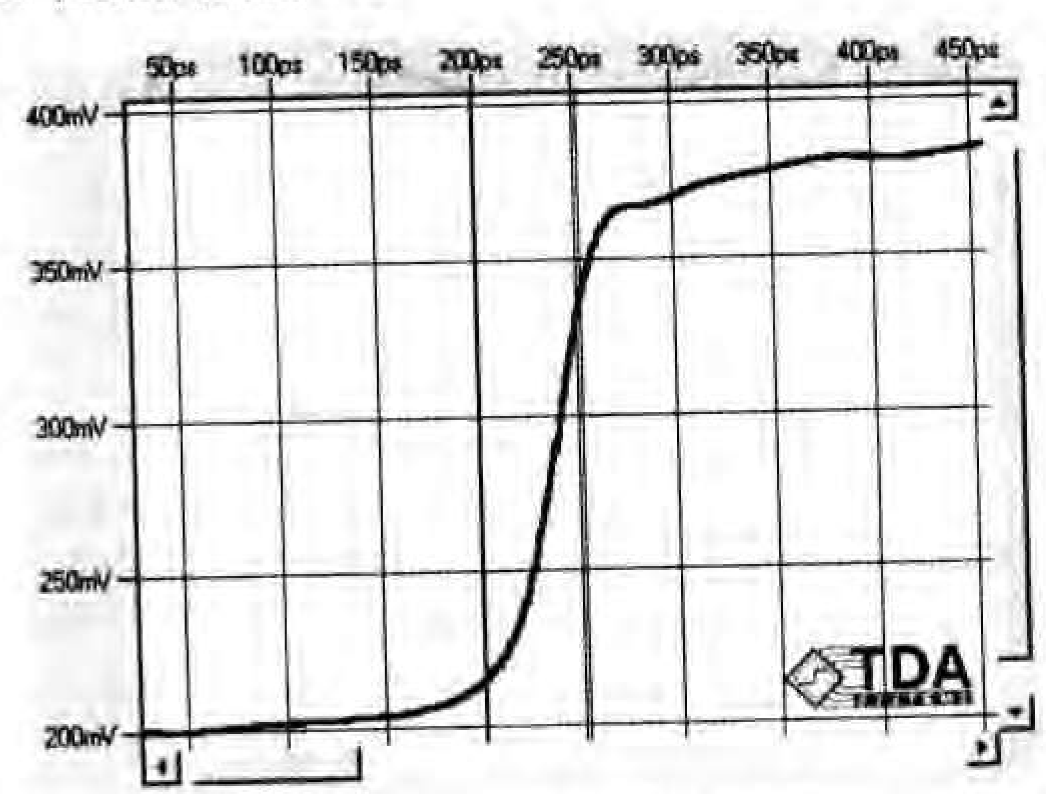


图2.16　经过1米长末端开路的电缆，用微探头在输出端测得的TDR曲线。经过电缆及探针后，TDR上升时间约为52 ps，这样测量的带宽约是0.35/52 ps = 7 GHz。此测量使用GigaTest Labs探针台，由TDA Systems IConnect软件记录得到

2.15 模型的带宽

提示 模型的带宽指的是：模型能被精确地用来预测它所表示的结构的实际性能时的最高正弦波频率分量。可以使用一些诀窍来确定模型的带宽，但一般来说，只有与实际测量值相比较时，才能确定得到的模型带宽是否准确。

例如，表示键合线的最简易的初始等价电路模型就是电感。那么当带宽达到多大时，它仍是个良好的模型？获得此答案的惟一方法就是把模型的预测结果与实际测量结果相比较。当然，对于不同的键合线，答案也不相同。

例如，假设有一根很长的键合线，如300 mil（密耳，1 mil = 0.0254 mm）长，它连接了位于返回路径上方的两个焊盘。返回路径平面在下方10 mil处，如图2.17所示。一个简单的初始电路模型就是一个电感和一个电阻串联而成的，如图2.18所示。直到2 GHz之前，采用合适的电感和电阻参数预测出的阻抗与实际测量的阻抗都非常一致，所以这个简易模型的带宽就是2 GHz，如图2.18所示。

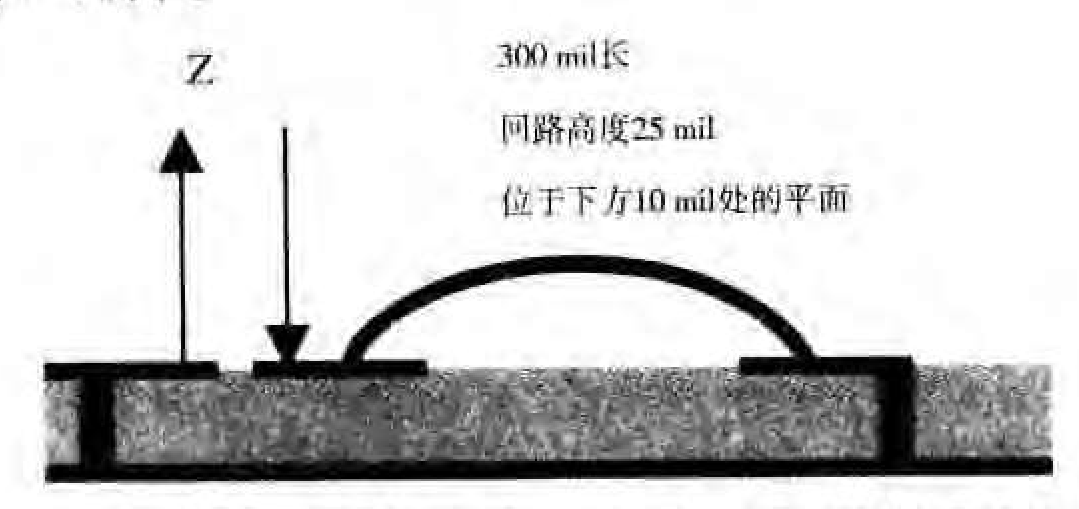


图2.17 两焊盘间键合线回路的示意图，其中返回路径在键合线下方约10 mil处

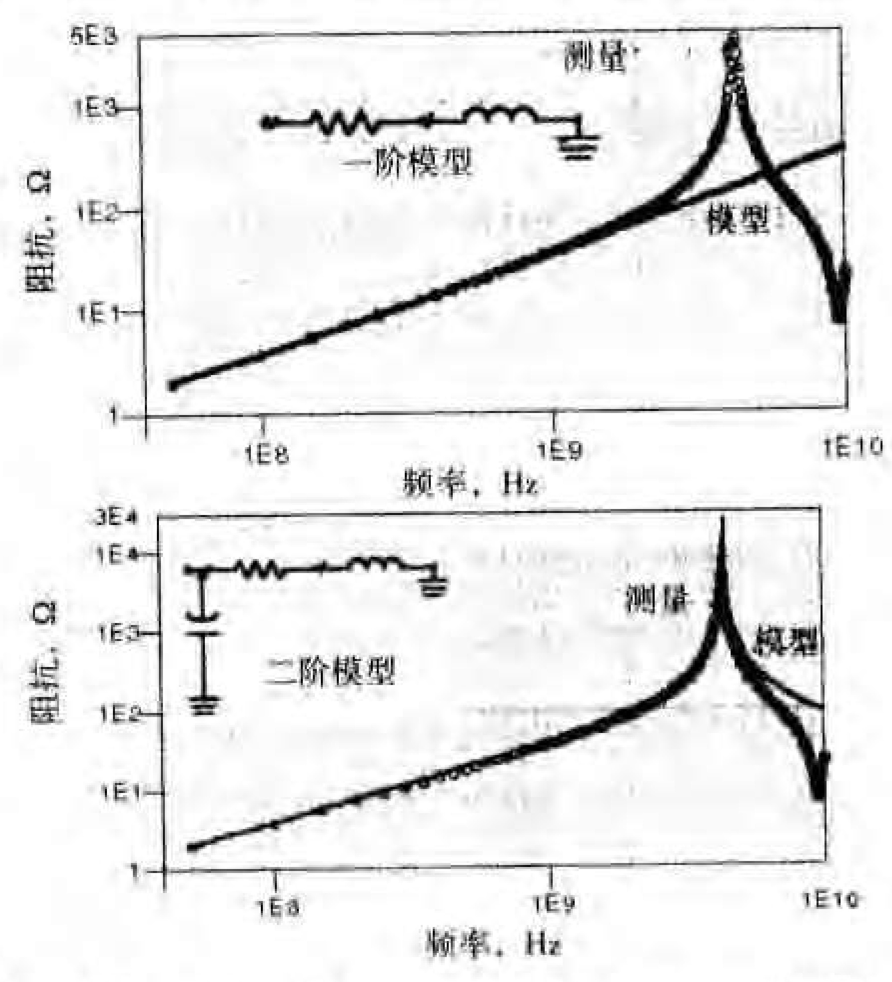


图2.18 上图：测量的阻抗与一阶模型仿真结果的对比。直到带宽2 GHz时，二者都非常吻合。下图：测量的阻抗与二阶模型仿真结果的对比。直到带宽4 GHz时，二者都非常吻合。此图由GigaTest Labs探针台测量得出，测量带宽为10 GHz

当使用这个物理结构时，若其中的信号带宽为2 GHz，就可以放心地用这个简易模型来预测此物理结构的性能。不可思议的是，对于这么长的键合线，仅用恒量的电感和电阻构成的简易模型，直到2 GHz时都能工作得这么好。2 GHz很可能已超过了键合线的有用带宽，但此模型仍是很精确的。

如果需要带宽更高的模型，它能够在更高频率下预测实际键合线的阻抗，那就要考虑焊盘电容的影响。可以建立一个新模型，即二阶模型，并找到元件R，L和C的最优使，使得直到4 GHz时，仿真的阻抗与实际阻抗都能一致，如图2.18所示。

2.16　互连线的带宽

互连线的带宽指的是能被互连线传输且损耗不是很大时的最高正弦波频率分量。何谓"很大"？在一些应用中，若传输的信号小于人射信号的95%，就认为是太小了而不起作用。而在其他的情况中，传输的信号幅度小于人射信号的10%依然认为是可用的。在远距离电视电缆系统中，接收端甚至可以使用仅有源端功率1%的信号。很明显，传输的信号为多大才算是有效这个概念，与应用和详细的指标密切相关。实际上，互连线的带宽指的是互连线能够传输的满足实际应用的性能指标的最高正弦波频率分量。

提示　一般来说，在实际中我们使用的"有效"指标指的是传输的频率分量幅度减少了3 dB，也就是说幅度减少为入射值的70%。这就是经常提到的互连线的3 dB带宽。

互连线的带宽可以在时域中测量，也可以在频域中测量。一般来说，如果源阻抗与传输线的特性阻抗不相等，则会发生复杂的多次反射，这时，就要认真地解释产生的结果了。

在频域中测量互连线的带宽是非常直截了当的。网络分析仪产生不同频率的正弦波从互连线的前端注入，然后测出远端输出正弦放的大小。它基本上测量的是互连线的传递函数，而互连线就如同一个滤波器。这有时也称为互连线的插入损耗。如果互连线的阻抗为50 Ω，就与网络分析仪的阻抗相匹配，这时解释就更简单了。

图2.19为正弦放通过FR4板上4 in长、50 Ω的传输线时所测的幅度值，这里的测量带宽为20 GHz。互连线的3 dB带宽约为8 GHz，这意味着如果输入一个8 GHz的正弦波，那么远端得到的信号幅度至多为原信号幅度的70%。进一步说，如果互连线的带宽为8 GHz，那么1 GHz正弦波几乎100%地传至互连线的远端。

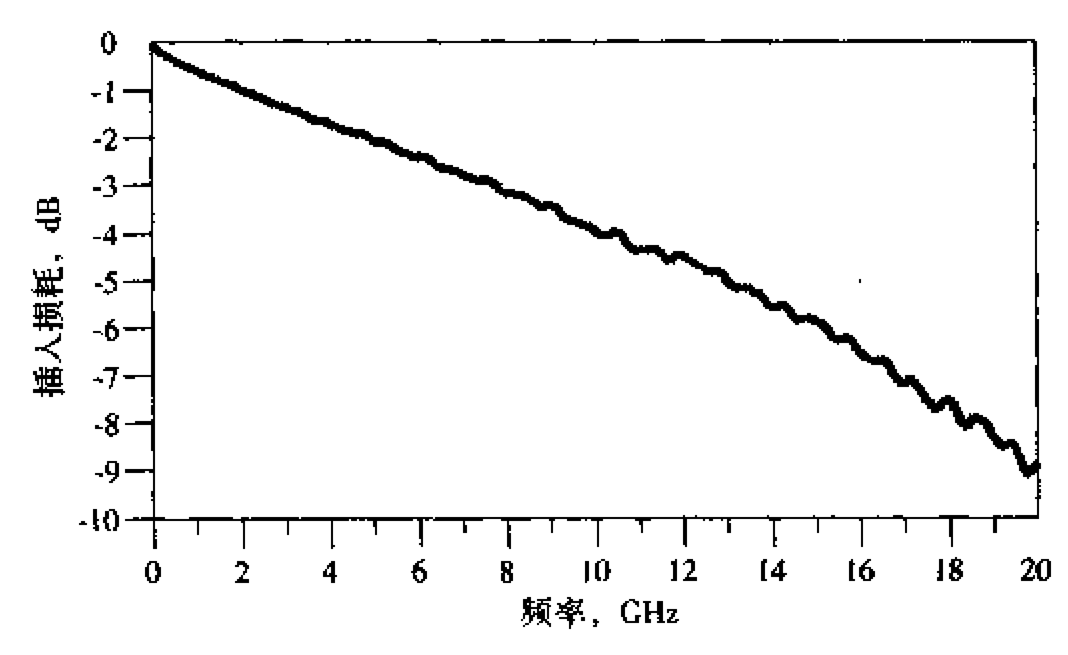


图2.19　不同频率的正弦波信号通过FR4板上4 in长的传输线时测量的幅度值。对于此例中的这种横截面和材料特性，3 dB带宽约为8 GHz。此图由GigaTest Labs探针台测量得出

对于互连线带宽可以近似用下述情况解释：如果理想方波传输通过该互连线，则低于8 GHz的各个正弦波分量都能被传输，传输前后的幅度大致相同；但高于8 GHz分量的幅度就会变得不再是有效成分。

一个上升时间为1 ps的信号，在经过互连线输出后，其上升时间可能为0.35/8 GHz = 0.043 ns，这说明互连线使上升时间退化了。

提示 互连线的带宽是对互连线所能传输的信号最短上升时间的直接度量。

如果互连线的带宽是1 GHz，那么它所能传输的最快边沿就是350 ps，这有时称为互连线的本征上升时间。如果一个边沿为350 ps的信号进入互连线，那么它输出时的上升时间是多少呢？这是个很微妙的问题。输出后的上升时间可近似为式（2.6）：

$$RT^2_{out} = RT^2_{in} + RT^2_{interconnect} \tag{2.6}$$

其中：

RT_{out} 表示输出信号的10-90上升时间

RT_{in} 表示输入信号的10-90上升时间

$RT_{interconnect}$ 表示互连线的本征10-90上升时间

这里假设入射频谱和互连线的响应频谱都对应于高斯形状的上升时间。

例如，在4 in长的互连线中，输入上升时间为50 ps的信号，那么信号经传输后的上升时间为：

$$\text{sqrt}(50\ \text{ps}^2 + 43\ \text{ps}^2) = 67\ \text{ps} \tag{2.7}$$

传输后波形的上升时间增大了约17 ps。

前面介绍的是在频域中的测量。图2.20给出了对于同一个4 in长、50 Ω的互连线，在时域中进行的测量。从图中可以看出，与输入波形相比，输出波形从起点开始就有了时移。

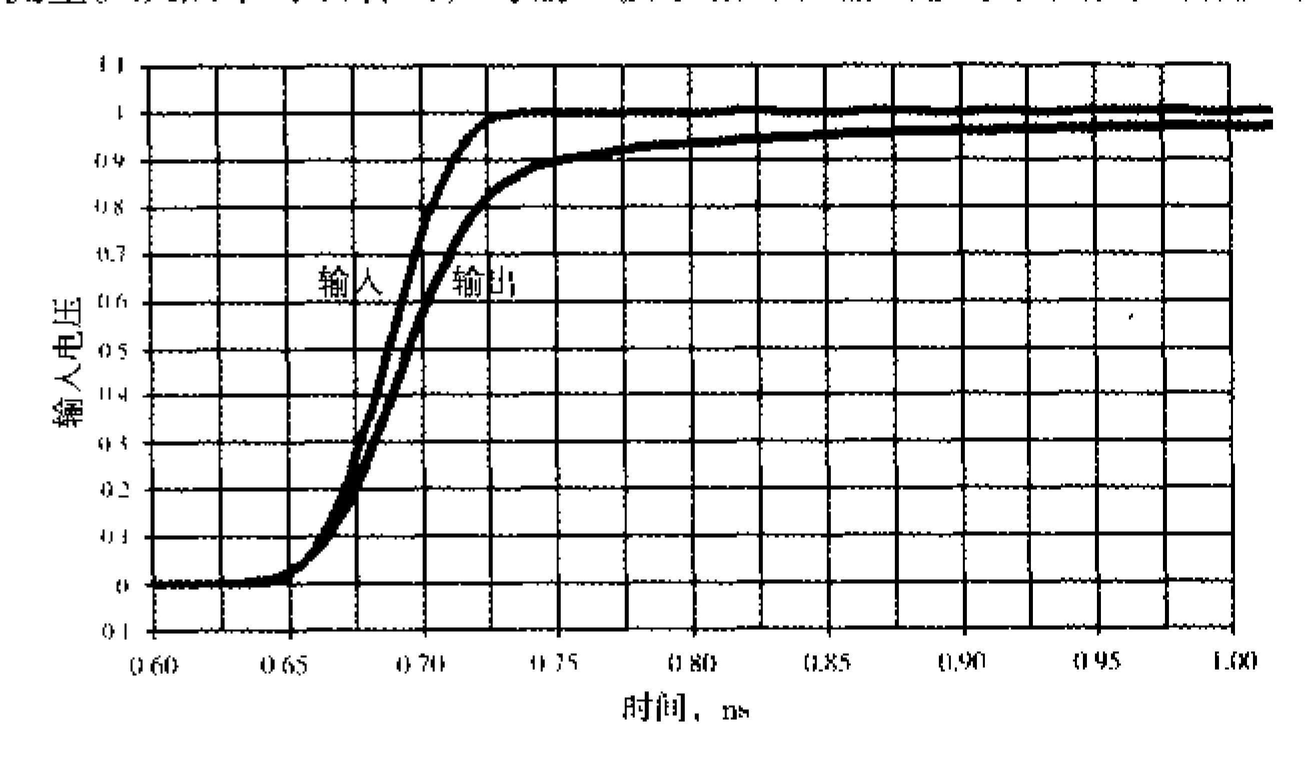


图2.20 经过FR4板上4 in长、50 Ω的传输线时，测量的输入和传输信号。可以看出，上升时间发生了退化。输入的上升时间是50 ps，由互连线带宽预测的输出上升时间是67 ps。此图由GigaTest Labs探针台测试得出

进入PCB线条时，波形的上升时间是50 ps，测量的输出波形的10-90上升时间是80 ps。波形顶部需经过一段很长的波动后才能稳定下来，这使得输出信号有些失真，而这正是有损传输线的性能特征。在幅度的70%处出现了额外的时延15 ps，这与我们前面预测的仍然非常接近。

如果上升时间为1 ns的信号进入本征上升时间为0.1 ns的互连线，那么传输后的上升时间约为（$1\ ns^2 + 0.1\ ns^2$）的平方根，即1.005 ns，这基本上还是1 ns，所以互连线对上升时间没有影响。然而，如果互连线的本征上升时间是0.5 ns，则输出的上升时间将是1.1 ns，这时互连线开始对上升时间有明显的影响。

提示 要使互连线对信号上升时间造成的增量不超过10%，互连线的本征上升时间就要小于该信号上升时间的50%，这是个简单的经验法则。

提示 从频域角度看，为了比较好地传输带宽为1 GHz的信号，互连线的带宽应至少为该信号带宽的两倍，即2 GHz。

要记住，这是个经验法则，它不能用于设计最终结果，而只能用于粗略地估计或确定一个设计目标。如果互连线的带宽在信号带宽的两倍以内，那么就需要分析互连线对整个信号频谱的影响程度。

2.17 小结

1. 时域是真实世界，高速数字性能一般都是在时域中测量的。
2. 频域是个数学构造，其中拥有许多具体的、特殊的准则。
3. 从时域转向频域去解决问题的惟一原因就是能够更快地得到答案。
4. 数字信号的上升时间通常是从终值的10%到90%的时间。
5. 正弦波是频域中惟一存在的波形。
6. 傅里叶变换是将时域波形变换成由其正弦波频率分量组成的频谱。
7. 理想方波的频谱的幅度以速率1/f下降。
8. 如果去掉方波中的较高频率分量，上升时间就会增加。
9. 与频率相同的理想方波的同次谐波相比，一般信号的带宽是指有效的最高正弦波频率分量。
10. 信号带宽是0.35/（信号的上升时间），这是个很好的经验公式。
11. 只要信号的带宽减小，上升时间就会增加。
12. 测量的带宽是指测量有良好精度时的最高正弦波频率。
13. 模型的带宽是指模型的预测值与互连线的实际性能能很好地吻合时的最高正弦波频率。
14. 互连线的带宽是指互连线的性能依然满足指标时的最高正弦波频率。
15. 互连线的3 dB带宽指的是信号衰减小于-3 dB时的正弦波频率。

第3章 阻抗和电气模型

在信号完整性起着重要作用的高速数字系统中，常把信号称为变化的电压或变化的电流。在信号完整性总目录中总结出的所有效应都是由模拟信号(那些变化的电压和电流)与互连线的电气特性之间的相互影响引起的，而与信号相互影响的关键电气特性就是互连线的阻抗。

我们把阻抗定义为电压与电流之比，通常用大写字母Z表示阻抗。Z = V/I 这个定义，始终都是正确的，且式子中的电压、电流和互连线的阻抗这三个基本参量的相互影响决定了所有的信号完整性效应。当信号沿互连线传输时，它将不断地探测互连线的阻抗并做出相应的反应。

提示 *如果知道互连线的阻抗，那么在生产产品以前，就可以精确地预测出信号失真的程度和此设计是否满足性能指标。*

同理，如果有性能说明书，并且知道信号将成为什么样子，就可以确定出互连线阻抗的指标。而如果知道几何结构和材料特性如何影响互连线的阻抗，就能够设计横截面、拓扑结构、材料和选择其他的元件以便使得它们符合阻抗指标，并使得产品在首次使用时就可以工作。

提示 *阻抗是描述互连线的所有重要电气特性的关键术语，知道了互连线的阻抗和传播时延也就知道了它几乎所有的电气特性。*

3.1 用阻抗描述信号完整性

以下四类基本的信号完整性问题都可以用阻抗来描述：

1. 任何阻抗突变都会引起电压信号的反射和失真，这使信号质量会出现问题。如果信号所感受到的阻抗保持不变，就不会发生反射，信号也不会失真。衰减效应是由串联和并联阻抗引起的。
2. 信号的串扰是由两条相邻信号线条(当然还有它们的返回路径)之间的电场和磁场的耦合引起的，信号线间的互耦合电容和互耦合电感产生的阻抗决定了耦合电流的值。
3. 电源供电轨道的塌陷实际上与电源分布系统(PDS)的阻抗有关。系统中必然流动着一定的电流量以供给所有的芯片，并且由于在电源和地之间存在着阻抗，所以当芯片电流切换时，就会形成压降。这个压降意味着电源轨道和地轨道从正常值向下塌陷。
4. 最大的EMI根源是流经外部电缆的共模电流，此电流由地平面上的电压引起。在地平面上返回路径的阻抗越大，电压降即地弹就越大，由它再激起辐射电流。减少电缆电磁干扰的最常用方法是在电缆周围使用铁氧体扼流圈，这主要是为了增加共模电流所受到的阻抗，从而减少共模电流。

提示　阻抗不仅可以用来描述与信号完整性相关的问题，而且还可以用来得到信号完整性的解决方案和设计方法。

有许多设计规则和指南约束了互连线的物理特征，例如，“相邻信号线间的间隔大于10 mil”这条设计规则可以使串扰最小化，“相邻的电源和地平面层的距离小于5 mil”是电源和地分布的设计规则。

这些规则给实际的互连线确定了一个具体的阻抗，而这个阻抗给信号提供了一个特定的环境，由此就产生了我们期望的性能。例如，使电源和地平面尽可能地靠近放置可以使得电源分布系统的阻抗很小，于是对于给定的电源和地电流，压降也会降低，这有助于减小轨道塌陷和电磁干扰。

如果知道互连线的物理设计怎样影响阻抗，就可以解释它们如何与信号相互影响以及它们可能会有怎样的性能。

提示　阻抗是连接物理设计和电气性能的桥梁，我们的策略就是将期望的系统性能转化成需要的阻抗和把物理设计转化成阻抗的特性。

阻抗是解决信号完整性问题所使用的方法的核心。为了把物理系统设计成我们希望的最佳性能，就需要把所设计的物理结构转化为与之等效的电路模型。这个过程叫做建模。

正是建立的电路模型的阻抗决定了互连线怎样影响电压和电流信号。只要建立了电路模型，就可以使用电路仿真器（如SPICE）来预测电压源受到互连线阻抗影响后的新波形。或者，使用驱动器或互连线的行为模型来描述信号与阻抗的相互影响，并以此来预测性能。这个过程称为仿真。

最后，分析预测的波形以确定它们是否满足时序、失真或噪声指标，它们是否合格，或者物理设计是否需要修改。对于一个新的设计，其流程如图 3.1 所示。

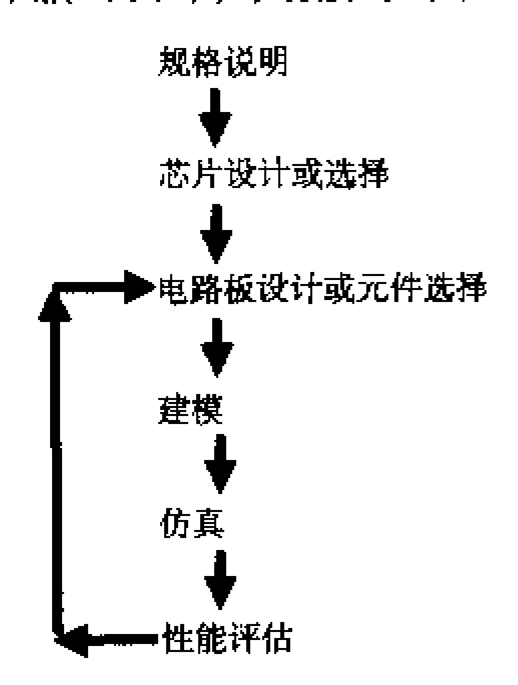


图 3.1　硬件设计流程图。在设计周期中，应当尽早、尽量多地建模、仿真和评估这些步骤

建模和仿真这两个关键步骤的基础是：把电气特性转换成阻抗描述，分析阻抗对信号的影响。

如果知道电路图中每个电路元件的阻抗，并且知道如何计算组合电路元件的阻抗，那么任何模型和任何互连线的电气特性都能仿算出来。所以阻抗在信号完整性分析的各个方面都是非常重要的。

3.2 阻抗的含义

在日常用语中经常听到阻抗这个词，并且常常混淆电气定义和普通用法的定义。如前所述，根据流经器件的电流和器件上的电压两者之间的关系，电气术语“阻抗”有非常明确的定义：Z = V/I。这个基本定义可用于任何两端器件，如贴片式电阻、去耦电容、封装中的引线和PCB上的线条及其返回路径。对于有两端以上的器件而言，如耦合导线或传输线的前端和后端，阻抗的定义也是一样的，只是要考虑另外的引出端，所以更复杂一些。

如图3.2所示，两端器件的阻抗定义如下式：

$$Z = \frac{V}{I} \tag{3.1}$$

式中：

Z表示阻抗，单位为Ω

V表示器件两端的电压，单位为V

I表示流经器件的电流，单位为A

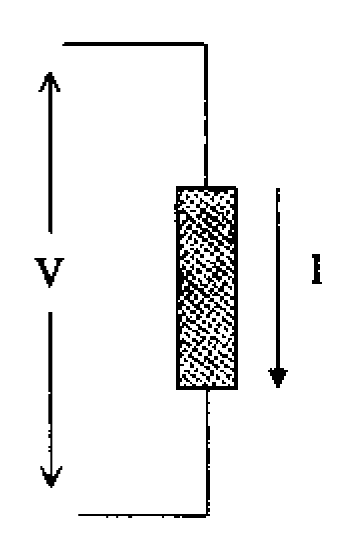


图3.2 任何两端器件的阻抗定义，其中流经元件的电流和引线间的电压已给定

例如，一个终接电阻两端的电压是5 V，流经的电流是0.1 A，那么它的阻抗就一定是5 V/0.1 A = 50 Ω。无论何种器件的阻抗，也不管是在时域还是在频域中，阻抗的单位都是欧姆。

提示 阻抗的定义适用于所有场合，不论在时域还是在频域中，也不管是测量实际器件还是计算理想器件。

如果一直从这个最基本的定义出发，就不会出错，并且可以消除许多混淆。经常混淆的一点就是认为阻抗仅是电阻。我们将看到，阻值为R的理想电阻电路元件的阻抗事实上就是Z = R。

一般对电阻阻抗的直觉认识就是：对于固定的电压，阻抗越高，流过的电流越小；同理，对于同样的电压，阻抗越低，流过的电流越大。这与定义I = V/Z是一致的，它也适用于电压和电流不是直流时的情况。

阻抗的概念除了适用于电阻外，还可以用于理想电容、理想电感、实际的键合线、PCB线条，甚至是一对接插件引脚。

阻抗有两个极端的情况。一种是开路器件，没有电流流过。如果在器件两端加任意电压，而流过的电流都是零，那么这个器件的阻抗就是Z = 1 V/0 A = 无穷大欧姆，也就是说开路器件的阻抗是非常大的。另一种是短路器件，不论流过它的电流有多大，其两端的电压都是零，所以短路器件的阻抗为Z = 0 V/1 A = 0 Ω。

3.3 实际的和理想的电路元件

有两种电子器件：实际的和理想的。实际的器件是可测的，是实际存在的事物，它们是构成现实的硬件系统的互连线或元件。实际的器件包括板上的线条，封装中的引线或装在板上的去耦电容等。

理想器件是特殊的电路元件的数学描述，有详细而精确的定义。仿真器只能仿真理想器件的性能，电路理论的概念和形式仅适用于理想器件，而且模型也是由理想器件组合而成的。

区分实际器件和理想器件是很重要的。任何实际的物理互连线或无源元件的阻抗都是可测的。然而，当计算阻抗时，仅能计算出四种理想电路元件的阻抗。不能测量理想的电路元件，同样也不可能计算任何实际电路元件的阻抗。这就是要区分实际元件和理想电路元件的原因，其区别如图3.3所示。



图3.3　一个元件在两种世界观里的表示。此例为电路板上的1206去耦电容和由理想电路元件组合而成的等效电路模型

提示　我们的最终目的就是建立由理想电路元件组成的等效电路模型，其中理想电路元件的阻抗与测量实际元件得出的阻抗值非常接近。

电路模型只能是实际结构的近似，但是可以构造理想模型，使得仿真的阻抗与测量实际器件得出的非常一致。针对图3.3中的元件和模型，图3.4为实际去耦电容的测量阻抗和基于RLC电路模型的仿真阻抗。可以看出，即使到了测量带宽为5 GHz时，两者的吻合都是相当好的。

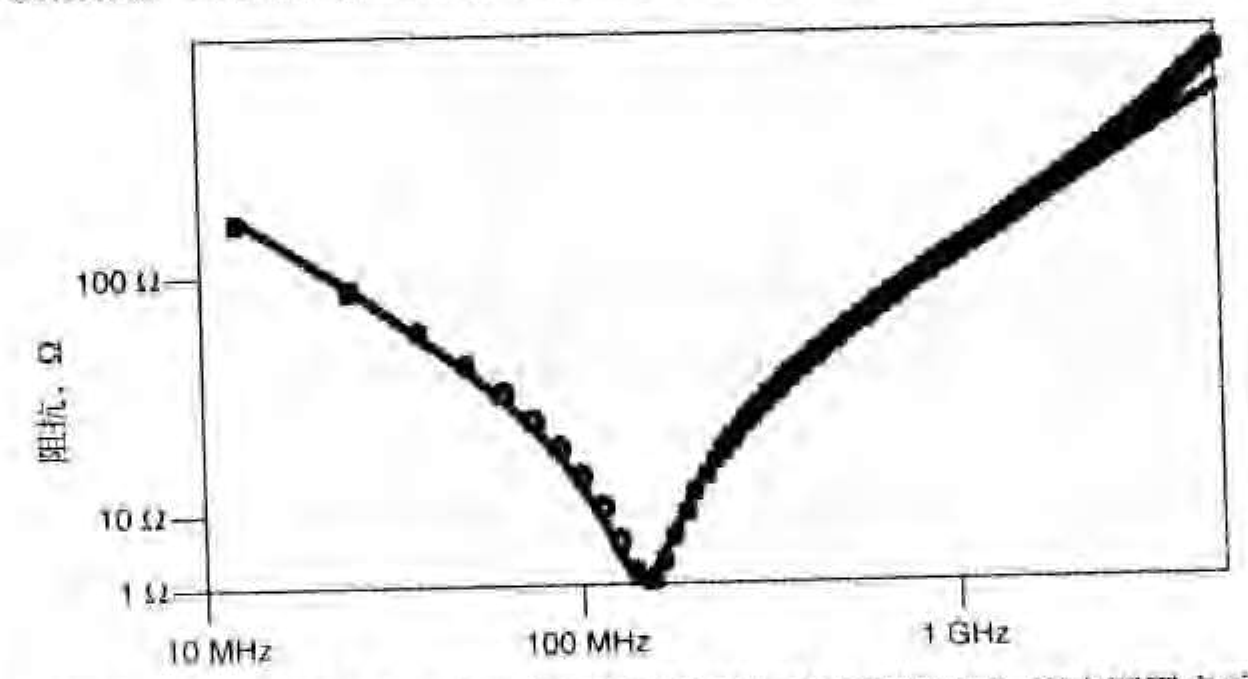


图3.4　对标称值为1 nF的去耦电容进行测量结果和仿真结果的对比，图中圆圈表示测量到的阻抗，细线表示仿真所得的阻抗。测量采用的是网络分析仪和GigaTest Labs探针台

为了描述任何实际的互连线，在建模时要用到四种理想的两端电路元件：

1. 电阻；
2. 电容；
3. 电感；
4. 传输线。

把前三种归为一类，因为它们的特性可以集中到一个点上，所以把它们称为集总电路元件。它们与理想传输线的特性不同，后者的特性沿着传输线是“分布式的”。

这些理想的电路元件都有准确的定义，且其定义描述了它们如何与电流、电压相互影响。必须记住，理想元件与实际元件，包括电阻、电容、电感，是不同的。一个是物理元件，一个是理想元件。

传输线的特性刚开始很迷惑人并且不直观，但却非常重要，所以后面将用一章来讲解传输线和传输线的阻抗。本章中主要介绍电阻、电感和电容元件的阻抗。

提示 只能测量实际器件，也只能计算和仿真理想元件。

等效的电路电气模型是对实际结构理想化的电气描述，它是由理想元件组合成的对实际结构的一种近似。对互连线的阻抗建立的模型越好，就越能准确地预测信号与互连线的相互影响。

当处理一些高频效应时，如有描线，就要创建一些新的理想电路元件来建立更好的模型。

3.4 时域中理想电阻的阻抗

以上四个基本电路元件都有一个定义，说明它与电压和电流的相互影响，这与理想电路元件的阻抗是不同的。

理想电阻两端的电压与流过的电流之间的关系如下：

$$V = I \times R \tag{3.2}$$

式中：

V 表示电阻两端的电压

I 表示流过电阻的电流

R 表示电阻值

理想电阻两端的电压随着流过电流的增加而增加。理想电阻的I-V特性这个定义在时域和频域中都适用。

在时域中，运用阻抗的定义和理想元件的定义，可以计算出一个理想电阻的阻抗：

$$Z = \frac{V}{I} = \frac{I \times R}{I} = R \tag{3.3}$$

这就是说，理想电阻的阻抗是恒定的，且与电压和电流无关。电阻的阻抗确实很简单。

3.5　时域中理想电容的阻抗

在理想电容器中，两块极板之间存储的电荷和它们之间的电压差存在着一定的关系。理想电容器的电容值定义如下：

$$C = \frac{Q}{V} \tag{3.4}$$

式中：

C 表示电容，单位为 F（法拉）

V 表示两极板之间的电压差，单位为 V（伏特）

Q 表示在极板之间存储的电荷，单位为 C（库仑）

电容器的电容值描述了它在一定电压下存储电荷的能力。在两端电压较低时，如果电容值很大，也可以存储大量电荷。

电容器的阻抗只能由两端的电压和值过的电流求得。为了得到电压和电流的关系，需要弄清楚电流是如何流过电容器的。实际的电容是由中间填充了介质的两块导体组成的。那么当两块导体之间是绝缘的介质时，电流是怎样从一块导体流到另一块导体的呢？这是一个基本的问题，它在信号完整性应用中会经常出现，而且是意想不到的。

实际上，电流并不是真正地流过电容器，只是在电容器两端的电压改变时，看起来好像是有电流一样。设想增加电容器两端的电压，也就是说，上极板的上面增加了一些正电荷，同时下极板的上面增加了一些负电荷。下极板上增加负电荷等同于推出正电荷，这就好像是把正电荷加到上极板，然后再把正电荷从下极板推出，如图 3.5 所示。当电容器两端之间的电压改变时，电容器的行为就好像是有电流流过。

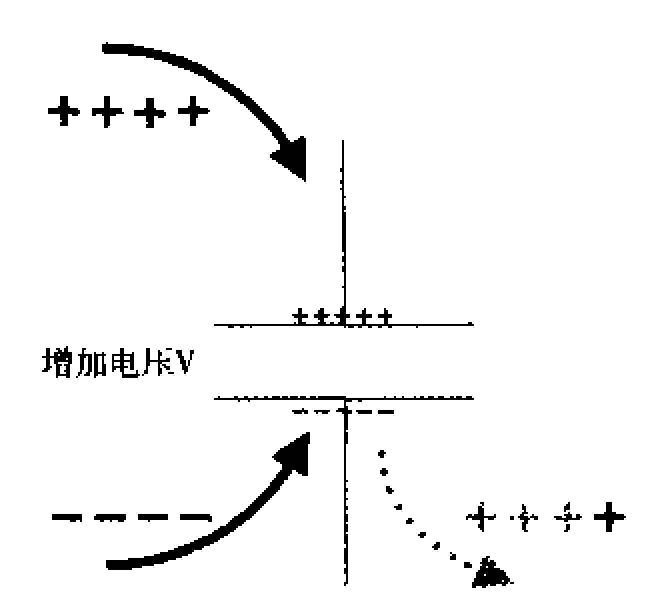


图 3.5　加大电容器两端的电压使得一个极板上的正电荷增加，而另一个极板上的负电荷增加。将负电荷增加到一个极板上，相当于从其上取出正电荷。这看起来像是正电荷从一端进入，而从另一端出来

对式（3.4）的两边求导，可以导出电容器的 I-V 特性的新定义：

$$I = \frac{dQ}{dt} = C\frac{dV}{dt} \tag{3.5}$$

式中：

I 表示流过电容器的电值

Q 表示电容器一个极板上的电荷量

C 表示电容器的电容值

V 表示电容器两端的电压

从上面的关系式可以看出，只有当电容器两端的电压改变时，才有电流流过。如果电压固定不变，就没有电值流过电容器。我们也知道，当电阻两端的电压增大为原来的两倍时，流过它的电值也增加为原来的两倍。然而，对于电容器而言，只有当电压的变化率增加为原来的两倍时，流过它的电值才会增大到原来的两倍。

这个定义和我们的直觉是一致的。如果电容器两端的电压变化很快，则流过的电流就会很大。如果电压几乎不变的话，流过的电流也就接近于零。利用这个关系，可以在时域中计算出理想电容器的阻抗：

$$Z = \frac{V}{I} = \frac{V}{C\frac{dV}{dt}} \tag{3.6}$$

式中：

V 表示电容器两端的电压

C 表示电容器的电容值

I 表示流过电容器的电流

这是一个较复杂的表达式，它表明电容器的阻抗与它两端的电压波形的确切形状有关。如果电压波形的斜率很大（也就是说电压变化很快），则流过的电流就很大，而且电容器的阻抗会很小。同样也表明在电压信号的变化率相同时，电容器的电容值越大，它的阻抗就越小。

然而，电容器阻抗的精确值更复杂，除了知道它与电压波形的形状有关外，很难总结出它是什么样的。所以在时域中使用电容器的阻抗是很不容易的。

3.6 时域中理想电感的阻抗

对理想电感的行为定义如下：

$$V = L\frac{dI}{dt} \tag{3.7}$$

式中：

V 表示电感两端的电压

L 表示电感器的电感值

I 表示值过电感器的电流

上式表明电感器两端的电压与流过电流的变化快慢有关。如果电流是个常数，那么电感器两端的电压就是零。同理，如果流过的电流迅速地变化，那么电感器两端的压降就很大。电感值是一个比例常数，它反应了电流变化时，所产生电压的敏感程度。所以大电感意味着变化小的电流也可以产生一个大电压。

电感器两端产生的电压的方向很容易被弄错。如果电值变化的方向反转，则感应电压的极性也反转。记住电压极性的一个简易方法就是将其基于电阻的压降来记忆。

当直流电流流经电阻时，电流流入的一端是正极，另一端是负极。同样，对于电感而言，流进的电流持续增加的那一端就是感应电压的正极，另一端就是负极，如图 3.6 所示。

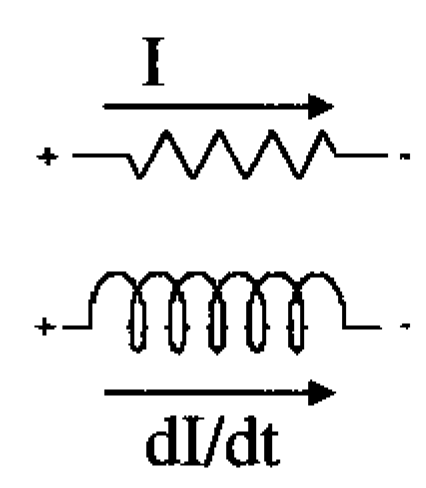


图 3.6　对变化的电流，电感器两端的压降方向和直流电流流过电阻时，电阻两端的压降方向是相同的

利用这个基本定义，可以计算出电感器的阻抗，即电感器两端的电压与流经电感器的电流之比：

$$Z = \frac{V}{I} = L\frac{\frac{dI}{dt}}{I} \tag{3.8}$$

式中：

V 表示电感器两端的电压

L 表示电感器的电感

I 表示流过电感器的电流

在时域中，电感的阻抗虽然很好定义，但却是难以使用的。电感阻抗的一般特点很容易看出：如果流过电感器的电流迅速地增加，那么阻抗就很大，也就是当电流突然变化时，阻抗是非常大的；如果流过的电流只有很微弱的变化，则电感器的阻抗就非常小。对于直流电流来说，电感器的阻抗近似为零。然而，除了这些简单的一般性外，电感器的实际阻抗与电流的确切波形还有极其密切的关系。

提示　在时域中，电感和电容的阻抗都不是简单的函数，而且在时域中用阻抗来描述这些基本理想电路元件是一种非常复杂的方法。但它并不是错误的，仅是复杂而已。

在这种重要场合下，转换到频域中去分析问题会简单得多。

3.7　频域中的阻抗

频域的重要特征就是正弦波是其中惟一存在的波形。在频域中，只能通过研究理想电路元件怎样和正弦波（即包括正弦电压和正弦电流）相互作用，来描述这些理想电路元件的行为。正弦波有且只有三个特征：每个波形相应的频率、幅度和相位。

相位一般用弧度（rad）描述，而不用圆周和角度。一个圆周是 2π rad，所以 1 rad 大约是 57 度。以每秒弧度为单位的频率称为角频率，用希腊字母 ω 来表示。角频率 ω 和频率 f 的关系是：

$$\omega = 2\pi \times f \tag{3.9}$$

式中：

ω 表示角频率，rad/s

f 表示频率，Hz

可以在电路元件两端加上正弦电压，然后观察流经这个电路元件的电流。这时，仍用阻抗的基本定义（即电压和电流之比），所不同的是我们采用两个正弦波之比：电压正弦波和电流正弦波之比。

必须清楚所有基本电路元件和互连线都是线性器件。例如，若把 1 MHz 频率的正弦电压加到这 4 种任意理想电路元件的两端，则电流波形中存在的惟一正弦频率分量也是 1 MHz 正弦波。电流正弦波的幅度是几个安培，而且相对于电压波形可能会有一些相移，但它和电压有完全相同的频率，如图 3.7 所示。

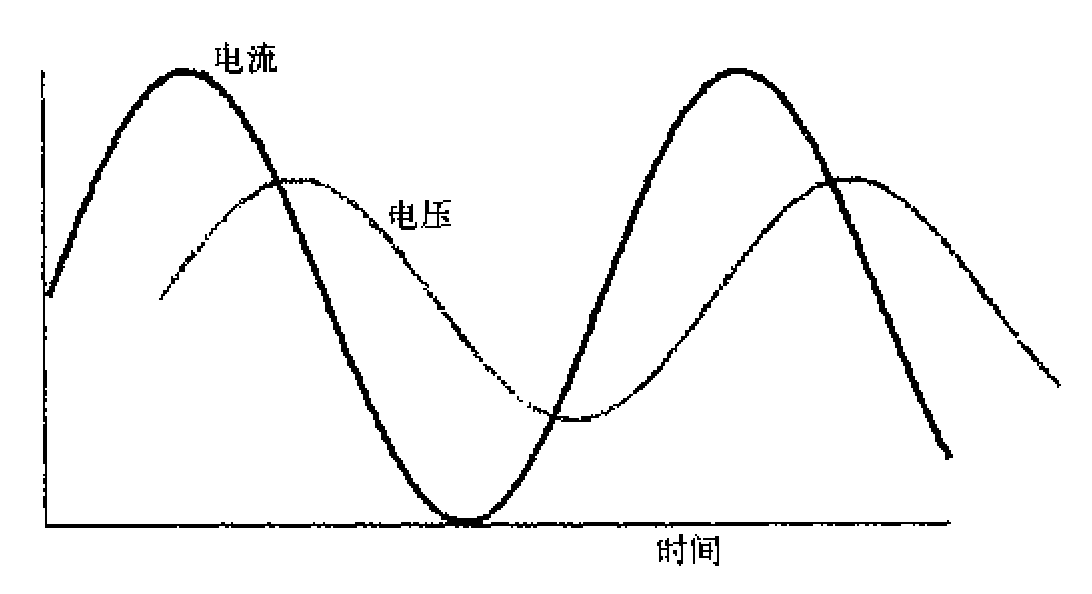


图 3.7 理想电路元件两端的电压和流经的电流之间有着完全相同的频率，但是幅度不同且有些相移

提示 计算两个正弦波的比值时，需要计算两波形的幅度之比和二者之间的相移。

采用正弦电压和正弦电流之比说明了什么呢？两个正弦波的比值不是正弦波，而是一些包含了每个频率点上的幅度比值和相移信息的数据。这个比值的幅值只是两正弦波幅度之比：

$$|Z| = \frac{|V|}{|I|} \tag{3.10}$$

电压幅度和电流幅度之比称为阻抗的幅值，其单位是欧姆。阻抗的相位就是两波形之间的相移，单位是度或是弧度。在频域中，电路元件或者组合电路元件的阻抗，可以表示成：20 MHz 频率时，阻抗的幅值是 15 Ω，相位是 25 度。也就是说，阻抗是 15 Ω，电压比电流超前 25 度。

任何电路元件的阻抗由两个数组成：在每个频率点上的幅值和相位。阻抗的幅值和相位都与频率有关，它们都可能随着频率的变化而变化。所以在描述阻抗时，需要指出它是在哪个频率下的阻抗。

在频域中，阻抗也可以用复数来表示。例如，电路的阻抗可以表示成实部和虚部的形式，这使得可以使用功能强大的复数形式，从而大大简化了较大电路中的阻抗计算。与前面的形式相比，这种形式中包含的阻抗幅值和相位信息是完全相同的。它们描述阻抗的方式不同，但却是等价的。

在频域中仅需处理正弦电压和正弦电流，运用这个新观点，可以从另一种角度来分析阻抗。

如果施加正弦电流使之流过电阻，则在电阻两端就会得到一个正弦电压，它是R和正弦电流的乘积：

$$V = I_0 \sin(\omega t) \times R \tag{3.11}$$

正弦电流可以用正弦、余弦的形式来表示，也可以用复指数的形式表示。

若采用电压与电流的比值表示电阻的阻抗，会发现阻抗就是电阻值：

$$Z = \frac{V}{I} = \frac{I_0 \sin(\omega t) \times R}{I_0 \sin(\omega t)} = R \tag{3.12}$$

这个阻抗与频率无关，且相移为零。在任何频率上，理想电阻的阻抗都是相等的。这和我们在时域中看到的结果完全一致。

在频域中分析理想电容器时，在电容器两端加上一个正弦电压，流经电容器的电流就是电压的导数，即为余弦波：

$$I = C \times \frac{d}{dt} V_0 \sin(\omega t) = C \times \omega V_0 \cos(\omega t) \tag{3.13}$$

从上式可以看出，即使电压幅度不变，电流的幅度也会随着频率的升高而增加。频率越高，流经电容器的电流幅度就越大，这表明电容器的阻抗会随着频率的增大而减小。电容器的阻抗可由下式计算得到：

$$Z = \frac{V}{I} = \frac{V_0 \sin(\omega t)}{C \times \omega V_0 \cos(\omega t)} = \frac{1}{\omega C} \times \frac{\sin(\omega t)}{\cos(\omega t)} \tag{3.14}$$

这个地方令人迷惑。这个比值用复数很容易描述，但从正弦波、余弦波中也可以得到许多领悟。电容器阻抗的幅值就是$1/\omega C$，它包含了所有重要的信息。当角频率增加时，电容的阻抗减小。这就是说虽然电容器的电容是个不随频率变化的常数，但阻抗随着频率的增大会减小。这是合理的，因为随着频率的升高，流经电容器的电流会增大，故而阻抗就减小了。

阻抗的相位就是正弦波和余弦波之间的相移，即–90度。用复数形式描述，–90度相移就表示为复数$-i$，则电容器阻抗的复数形式就是$-i/\omega C$。对于下面的大部分讨论来说，相位的意义不大，反而增加了很多麻烦，通常将其忽略掉。

10 nF的实际去耦电容，在1 GHz频率时的阻抗是多少呢？首先，假定这个电容器是理想的电容。10 nF的理想电容的阻抗是$1/(2\pi \times 1\,\text{GHz} \times 10\,\text{nF}) = 1/(6 \times 10^9 \times 10 \times 10^{-9}) = 1/60 \approx 0.016\,\Omega$，这是一个很小的阻抗。如果这个实际的去耦电容的行为与理想电容相同，那么它在1 GHz频率时的阻抗约是10 mΩ。当然，频率越低，阻抗就越大。如在1 Hz时，它的阻抗大约是16 MΩ。

下面我们对电感做相同的频域分析。加正弦电流流经电感，则产生的电压是：

$$V = L \times \frac{d}{dt} I_0 \sin(\omega t) = L \times \omega I_0 \cos(\omega t) \tag{3.15}$$

上式表明，当电流的幅度固定不变时，频率越高，电感两端的电压就越大。也就是说，频率升高时，需要更高的电压，才能使相同幅度的电流流经电感。可见，电感器的阻抗随着频率的升高而增大。

运用阻抗的基本定义，可以推导出电感的阻抗在频域中的表示：

$$Z = \frac{V}{I} = \frac{L \times \omega I_0 \cos(\omega t)}{I_0 \sin(\omega t)} = \omega L \times \frac{\cos(\omega t)}{\sin(\omega t)} \quad (3.16)$$

尽管电感值是个不随频率变化的常数，阻抗的幅值却随着频率的升高而增大。所以频率越高，交流电流要流经电感器就越困难，这是电感特性所产生的结果。

电感器的阻抗的相位就是电压和电流之间的相移，即+90度。+90度的相移可以用复数i来表示，所以电感阻抗的复数形式就是 $Z = i\omega L$。

在实际的去耦电容中，存在一个与电容自身形状和封装相关的电感，这个本征电感粗略估计为2 nH。很难使这个值再低了。将实际电容器中的串联电感模型化为2 nH的理想电感，那么在1 GHz频率下，此电感的阻抗是多少呢？

其阻抗为 $Z = 2\pi \times 1\ \text{GHz} \times 2\ \text{nH} = 12\ \Omega$。当它与电源和地分布相串联时，我们希望阻抗尽可能的小，如低于0.1 Ω，所以12 Ω实在是太大了。将这个阻抗和实际去耦电容的理想电容元件的阻抗相比又会怎样呢？在上一个问题中，理想电容元件在1 GHz频率的阻抗是0.01 Ω。可见，理想电感元件的阻抗比理想电容元件高1000多倍，所以，电感将对实际电容器的高频行为起主导作用。

在频域中，电容和电感的阻抗形式都很简单，并且很容易描述。这是频域的优点之一，也是经常要转换到频域来寻求帮助，从而解决问题的原因。

理想电阻的电阻值、理想电容器的电容和理想电感器的电感都是不随频率变化的常数。对于理想电阻，阻抗也是不随频率变化的常数。然而，对于电容而言，阻抗随着频率的升高而减小，而电感的阻抗随着频率的升高而增大。

提示 必须清楚地知道，对于理想电容和理想电感，即使它们的电容值和电感值是绝对不随频率变化的常数，它们的阻抗也会随着频率的变化而变化。

3.8 等效电气电路模型

实际互连线的阻抗行为可以通过组合这些理想元件得到非常好的近似。把理想电路元件的组合称为等效的电气电路模型，或者简称为模型，电路模型图通常称为原理图。

等效的电路模型有两个特征：一是指出电路元件是怎样连接在一起的（称为拓扑结构）；二是确定了每个电路元件的值（称为参数值或寄生值）。

芯片设计者喜欢认为他们所设计的驱动器有着无瑕的、纯净的波形，他们还把互连线看成是寄生效应，因为互连线只会弄糟他们那极好的波形。对他们来说，确定互连线参数值的过程实际上就是寄生提取（这个词已得到广泛使用）。

提示 要记住所画的电路元件都是理想的电路元件，只能用理想电路元件的组合来近似真实互连线的实际性能。

使用理想的等效电路模型来预测实际互连线的阻抗行为，总是存在限制的。只能通过测量互连线的实际阻抗，然后把它与基于理想电路模型仿真的预测值相比较，才能发现这个限制。

对于每个模型，经常要问到两个重要的问题：它的精度和它的带宽是多少？带宽是指测量阻抗和预测阻抗非常吻合时的最高正弦波频率。电路模型的预测值和实际测量的性能越接近，模型就会越复杂，这是个一般法则。

提示　通常从建立尽可能简单的模型开始，再逐渐增加它的复杂度，这是个很好的习惯。

例如前面图3.3所示的例子，从实际去耦电容的一个焊盘开始，经过一个过孔和电容下面的返回平面，然后再回到电容的起始端，这样就测出了它的阻抗。我们可能期望这个实际器件可以用一个理想电容来模拟，那么究竟在多高频率时，它的行为仍与理想电容相像呢？图3.8为从10 MHz到5 GHz测量这个实际器件得出的阻抗，与之相比较的是理想电容的预测阻抗。

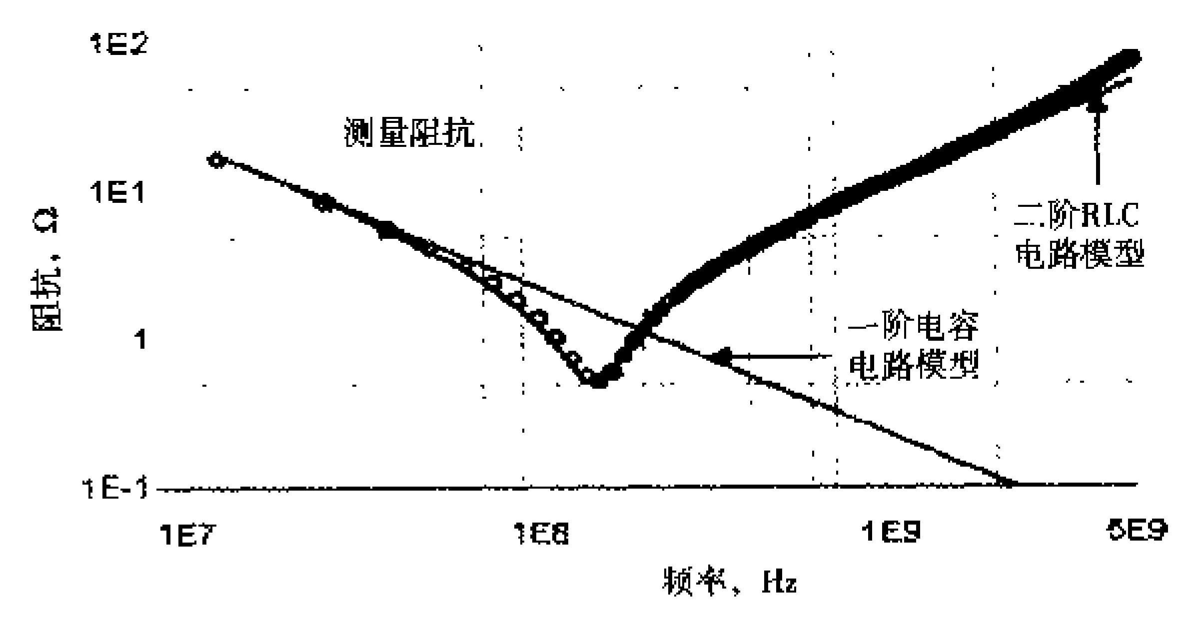


图3.8　实际去耦电容的测量阻抗与一阶模型、二阶模型的预测阻抗相比较，其中一阶模型为单个电容元件，二阶模型使用RLC电路模型。此图由GigaTest Labs探针台测量得到

从图中可以很明显地看出，低频时，这个简单模型的效果非常好，即这个0.67 nF的理想电容是个相当好的模型。然而，它只在70 MHz以下时才能很好地吻合，所以它的带宽是70 MHz。

如果再多一些投入，还可以建立带宽更高、更精确的电路模型。对实际电容来说，更精确的模型就是理想电容、电感和电阻的串联。正如在图3.8中看到的，如果选择最优的参数值，则测量带宽一直到5 GHz，这个模型的预测阻抗和实际器件的测量阻抗都会极其吻合。

通常把建立的最简单模型称为一阶模型，它作为起始的第一步。复杂度增加的模型与实际器件更加吻合，我们把后来相继建立的模型叫做二阶模型、三阶模型等。

在应用带宽至多为5 GHz的系统中，使用实际电容器的二阶模型就可以很精确地预测这个电容器所有的重要电气特性。

提示　很明显，实际元件的复杂性能可以用理想电路元件的组合来非常精确地近似，且近似可以达到很高的带宽。

3.9　电路理论和SPICE

可以使用一套定义好的且相对直接的方法来描述理想电路元件的组合阻抗，通常称之为电路理论。电路理论中比较重要的法则就是两个或多个元件串联时的组合阻抗等于各个元件的阻抗之和。在频域时，相加的阻抗是复数，所以就必须服从复代数学，这使得组合阻抗的计算变得复杂了点。

如前所述，可以手工计算单个电路元件的阻抗，然而，对于这些电路元件的组合来说，计算就变得更加复杂了。例如，近似于实际电容的RLC电路模型的阻抗为：

$$Z(\omega) = R + i\left(\omega L - \frac{1}{\omega C}\right) \tag{3.17}$$

利用上述解析表达式，对于任意选定的R，L和C值，可以画出RLC电路的“阻抗-频率”曲线。当各个元件的值变化时，此表达式在棋盘式对照表中使用起来很方便。若电路模型中包含了五个或十个元件，虽然最终的阻抗也可以通过手工计算得到，但这将是非常复杂且乏味的工作。

然而，有一种普遍使用的工具，它在计算和绘制任意电路的阻抗方面是近乎万能的。此工具非常常见，且操作又很简单，几乎每个电路工程师都有，它就是SPICE。

SPICE是Simulation Program with Integrated Circuit Emphasis（侧重于集成电路的仿真程序）的缩写，是在20世纪70年代早期由加州大学的伯克利分校开发的。它基于制造尺寸来预测晶体管的行为，实际上就是一个电路仿真器。对于各种电压和电流波形，我们用R，L，C和T（传输线）元件画出的电路都可以用SPICE仿真。在过去的30年中，SPICE不停地进行改进并且趋于多样化，到现在已有30多个版本，每个版本都增加了一些它独有的特点和功能。有一些免费版本或者低于100美元的学生版本可以从网上下载。其中一些免费版本的功能是有限的，但对于学习电路，仍然是一种很好的工具。

在SPICE中，只能使用理想的电路元件，而且每个电路元件都有定义好的、精确的行为。其中有两种基本元件：有源的和无源的。有源元件包括信号源、电流和电压波形、实际晶体管模型或门模型。无源元件就是前面描述的所有理想电路元件。各种SPICE间的差异之一就是它们所提供的理想电路元件不同，但是SPICE的所有版本都至少会提供R，L，C和T元件。

无论是在时域还是在频域中仿真，SPICE仿真器都能预测出电路中任意一点处的电压和电流，其中时域仿真称为瞬态仿真，频域仿真称为AC仿真。总之，SPICE是个非常强大的工具。

例如，与相距很近的两个接收器相连的驱动器，可以用简单的电压源和RLC电路来模拟。其中R是驱动器的阻抗，典型值约为10 Ω；C是互连线线条的电容和网个接收器的输入电容，典型值合计为5 pF；L是封装引线和互连线线条的总回路电感，典型值约是7 nH。图3.9为在SPICE中建立的这个电路以及生成的时域波形，从图中可以看出，实际电路中可能会发生振铃现象。

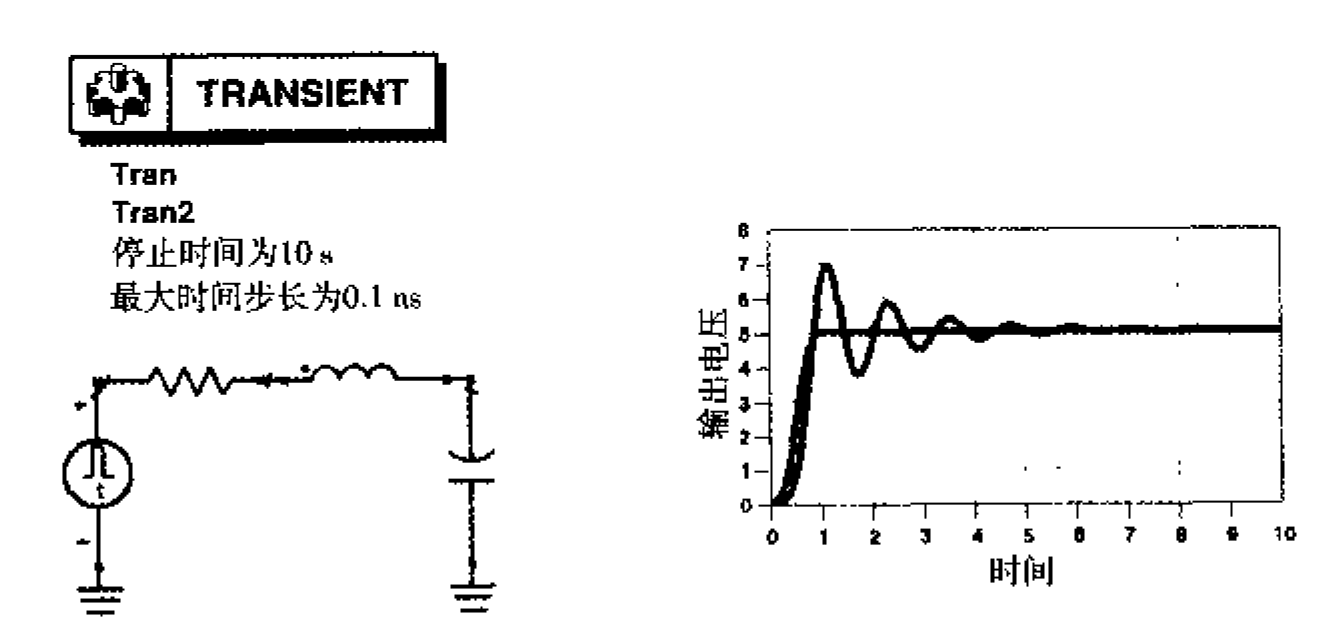


图3.9 采用ADS（Agilent's Advanced Design System，SPICE的一个版本），图中给出了所建立的简单等效电路模型，描述了一个驱动器、两个接收器扇出以及封装互连。图中还给出了接收器输入端电压和内部电压波形的仿真结果。上升时间是0.5 ns，芯片引线、互连线的电感以及输入门电容是振铃现象的主要原因

提示 如果可以画出电路原理图，则SPICE就可以仿真电压和电路波形。对于一般的电气工程分析来说，这是SPICE真正的用武之处。

在频域中，可以用SPICE来计算并绘制出任何电路的阻抗。通常SPICE仅描绘出任意连接点处的电压和电流波形，但是可以用一种技巧把它转换成阻抗。

在SPICE的工具箱中，用于AC仿真的电路元件之一是恒流正弦波电流源。这个电流源可以输出幅度恒定的正弦电流，其频率是预先设置的。当进行交流分析时，SPICE内部引擎产生正弦波电流源，在起始频率值到终止频率值之间设置许多步进的中间频率点。

通过输出一个正弦电压幅度的正弦波，可以产生恒定电流的幅度。这样电压波幅度自动调整，以便生成指定的幅度恒定的电流。

为了在SPICE中建立阻抗分析仪，设置电流源的幅度恒等于1 A。无论何种电路元件连接到这个电流源上，SPICE都会自动调整电压幅度以产生幅度为1 A的电流流过电路。如果恒流源所连接的电路阻抗为$Z(\omega)$，那么为了保持电流幅度是恒定的，所施加的电压就必须进行调整。恒流源的电流幅度为1 A，所以加到电路上的电压就是$V(\omega) = Z(\omega) \times 1\ A$。电流源两端的电压（以V为单位），在数值上等于所连接的电路阻抗（以Ω为单位）。

例如，如果在末端连接上一个1 Ω的电阻，为了保持1 A的恒定电流，那么产生的电压一定是$V = 1\ \Omega \times 1\ A = 1\ V$。如果连接上一个电容值为C的电容器，则任意频率的电压幅度为$V = 1/\omega C$。这个电路有效地模拟了阻抗分析仪的功能。绘制的电压-频率曲线就是对任何电路的阻抗幅值随频率变化的度量，电压的相位也是对阻抗相位的度量。

用SPICE画阻抗图时，需要构造一个幅度为1 A的交流恒流源，并把被测电路连接到电源两端，所以测量电流源两端的电压就是对这个电路的阻抗的直接测量。图3.10给出了一个简单电路的例子，我们在阻抗分析仪上连接几个不同的电路元件并画出它们的阻抗图。

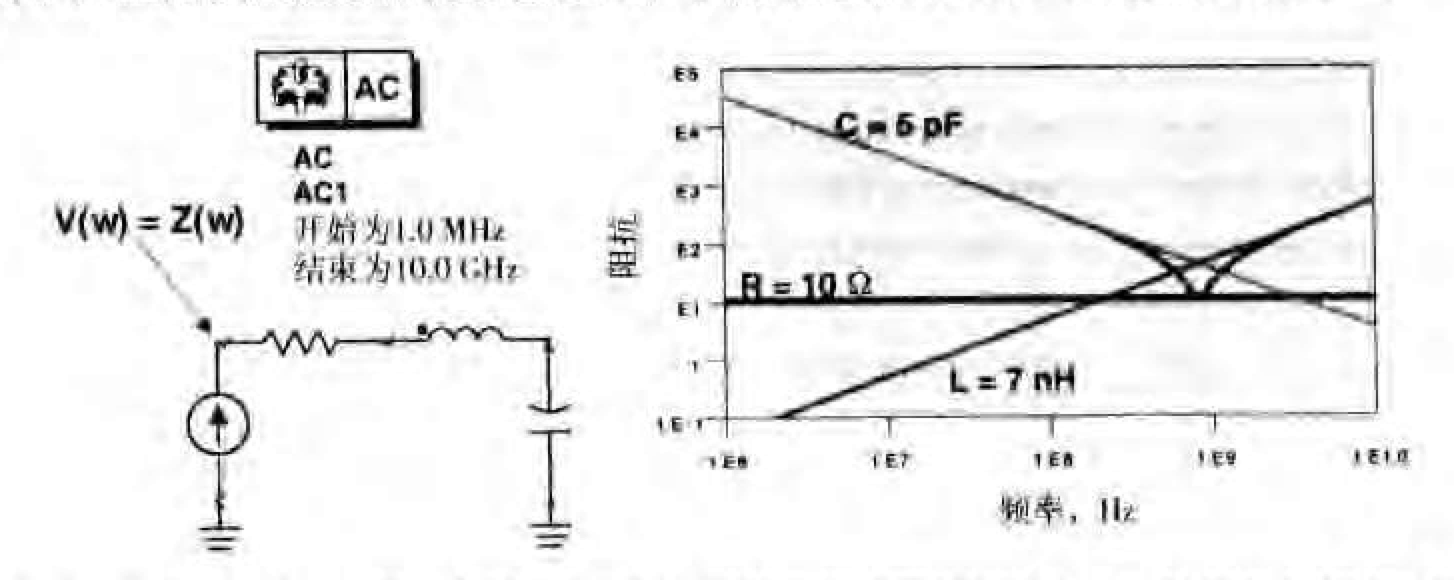


图3.10 左图：SPICE中的一个阻抗分析仪。测量恒流源两端的电压就是对连接到电流源上的电路阻抗的直接测量。右图：由SPICE中的阻抗分析仪计算出的各种电路元件的阻抗幅值

可以用这个阻抗分析仪来画出任何电路模型的阻抗。阻抗是复数，它包含幅值信息和相位信息，所以可以用SPICE分别画出。用SPICE中的交流仿真器也可以得到相位信息。图3.11中，用阻抗分析仪仿真RLC电路模型（对实际电容器的近似）的阻抗，并画出了较宽频率范围内的阻抗幅值和相位。

正像所预料的那样，在低频时，阻抗的相位是-90度，呈现容性；在高频时，阻抗的相位是+90度，呈现感性。

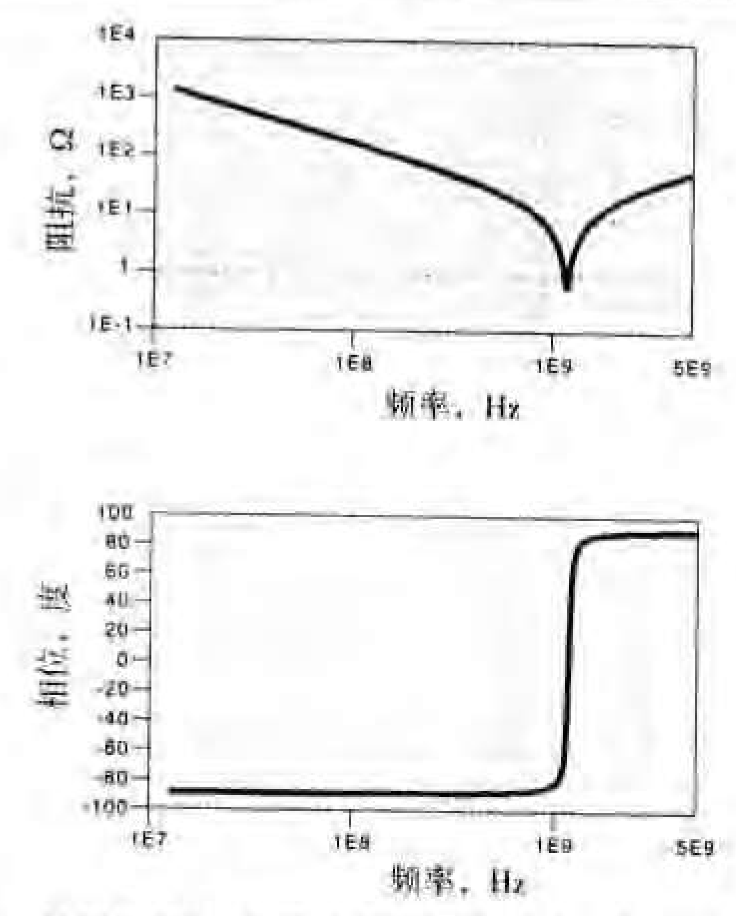


图 3.11 对理想 RLC 电路进行仿真得到的幅值和相位。其中相位说明了 RLC 电路在低频时显容性，在高频时显感性

3.10 建模简介

如第1章所述，互连线和无源元件的等效电路模型可以根据测量或计算来建立。在任何一种情况中，最初的电路模型总是某个假定的拓扑结构。那么怎样选取正确的拓扑结构呢？怎样知道从哪里开始的电路图是最好的呢？

建立互连线或其他结构模型时的策略需要遵循爱因斯坦提出的原则："尽可能把一切事物变得最简单，而不是简单一点"。一切先从最简单的模型开始，然后再慢慢增加复杂度。

建模实际上就是在所要求的模型精确度和带宽与花费的时间和投入之间不断取得平衡。一般来说，要求的精度越高，时间、投入和资金上的花费也就越多，如图 3.12 所示。

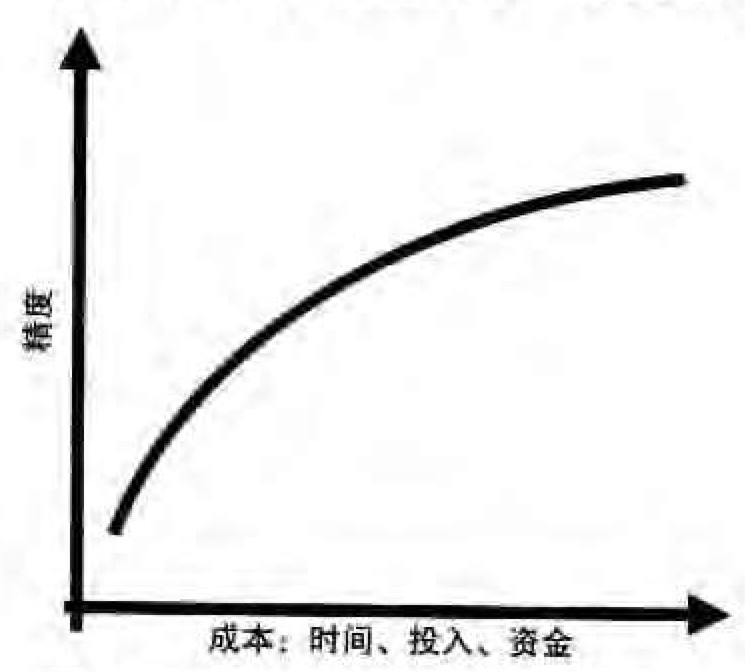


图 3.12 模型的精确度和实现此模型所需要的投入之间的折中。一般来说，这层基本关系对大多数问题都是适用的

提示 在构造互连线模型时，要记住：现在得到很好的答案通常比以后得到更好的答案会更好。这就是为什么要采纳爱因斯坦的意见——先从最简单的模型开始，然后再逐渐增加复杂度——的原因。

如果互连线的电气结构很短，那么最初的简单电路模型就可以由集总电路元件组成；如果互连线是均匀的，并且电气结构很长，那么起初的最好的电路模型就是理想传输线模型。其中电气长度的特性在下一章中介绍。

最简单的集总电路模型就是单个的R，L或C电路元件，其次就是它们中的两两组合，然后是三者的组合，等等。决定是否要增加模型复杂度的关键因素是所要求模型的带宽。一般的趋势是：带宽越高，模型越复杂。然而，任何一个带宽很高的模型在低频时的等效效果也很好，否则，对信号中低频分量的瞬态仿真就不准确了。对于分离的无源器件，例如贴片式电阻、去耦电容和滤波电感，图3.13给出了低带宽和高带宽理想电路模型的拓扑结构。在以前给出的去耦电容例子中，单个元件的电路模型在低频时的等效效果很好，而高带宽的模型在频率高达5 GHz时也与实际元件测量值很吻合。实际元件的电路模型的带宽是很难估算的，一般只能经过测量得到。

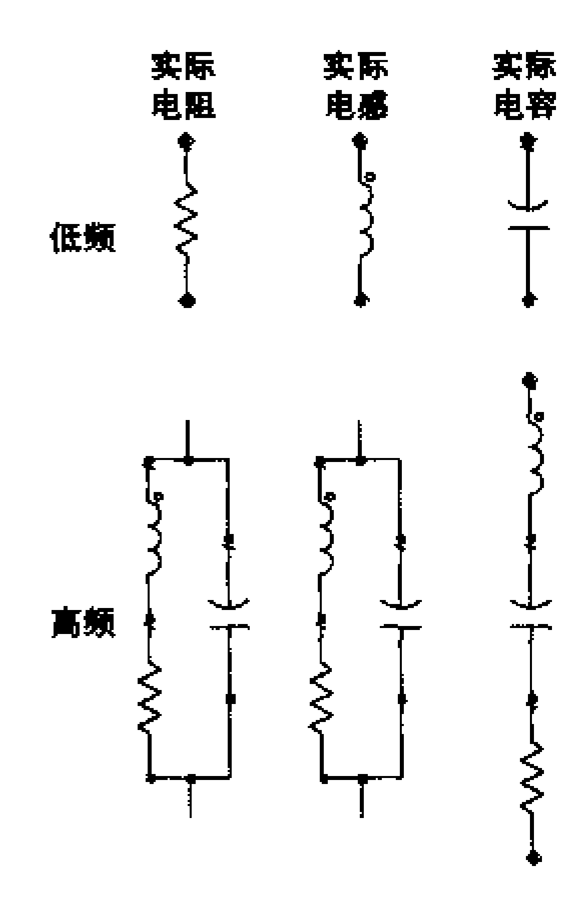


图3.13 实际元件或互连线元件最简单的初始低频及高带宽模型

许多电气长度很短的互连线可以使用简单的电路模型。对于用来连接驱动器的PCB线条（线条下面有返回平面），最简单的初始模型就是单个电容。图3.14中描绘了1 in长的互连线的测量阻抗，以及由单个电容构成的一阶模型的仿真阻抗。在这个例子中，直到1 GHz，两者的吻合都非常好。如果应用带宽小于1 GHz，则用一个简单的理想电容就可以精确地模拟这段1 in长的互连线。

也可以使用带宽更高的模型，即由电感和电容串联组成的二阶模型，其带宽大约是2 GHz。

在下一章中将介绍电气长度很长的均匀互连线的最好模型就是理想传输线模型。这个传输线T元件在低频和高频时都可以使用。图3.15说明在整个测量带宽内，测量阻抗和理想T元件的仿真阻抗都非常一致。

理想的电阻元件可以在很高的带宽内模拟实际电阻器件的真实行为。电阻元件可以用做终端电阻，电阻元件一般有三种工艺：轴向引脚、贴片式（SMT）和集成无源器件（IPD）。图3.16描绘了代表每种工艺的元件测量阻抗。

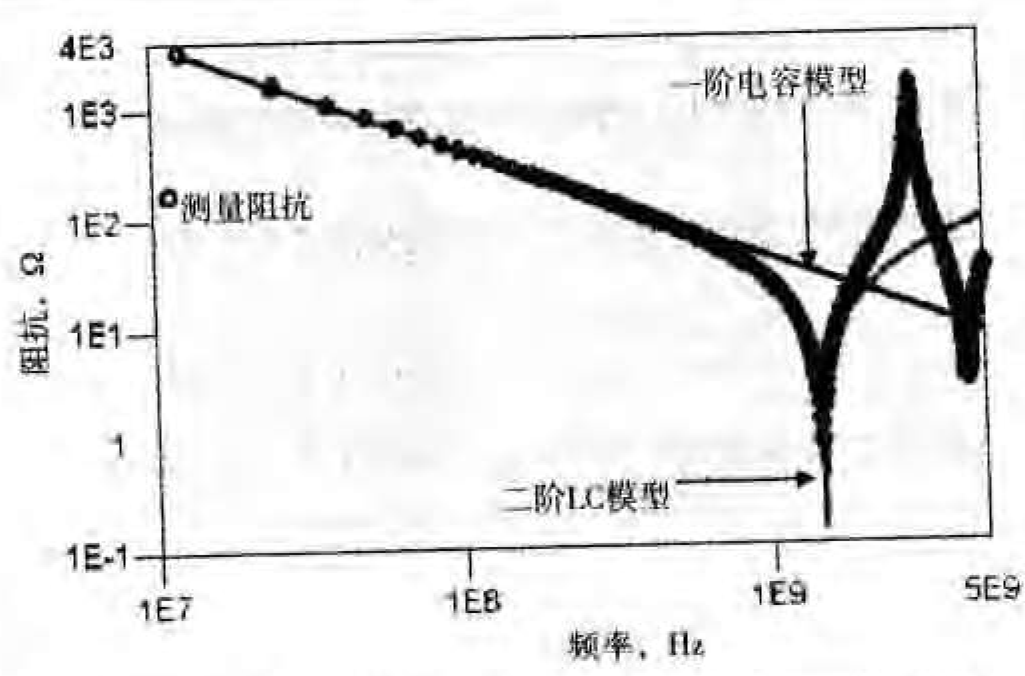


图 3.14 1 in 长微带线的测量阻抗和一阶、二阶模型的仿真阻抗。其中，一阶模型是单个电容，带宽大约是 1 GHz；二阶模型为串联的 LC 电路，带宽大约是 2 GHz

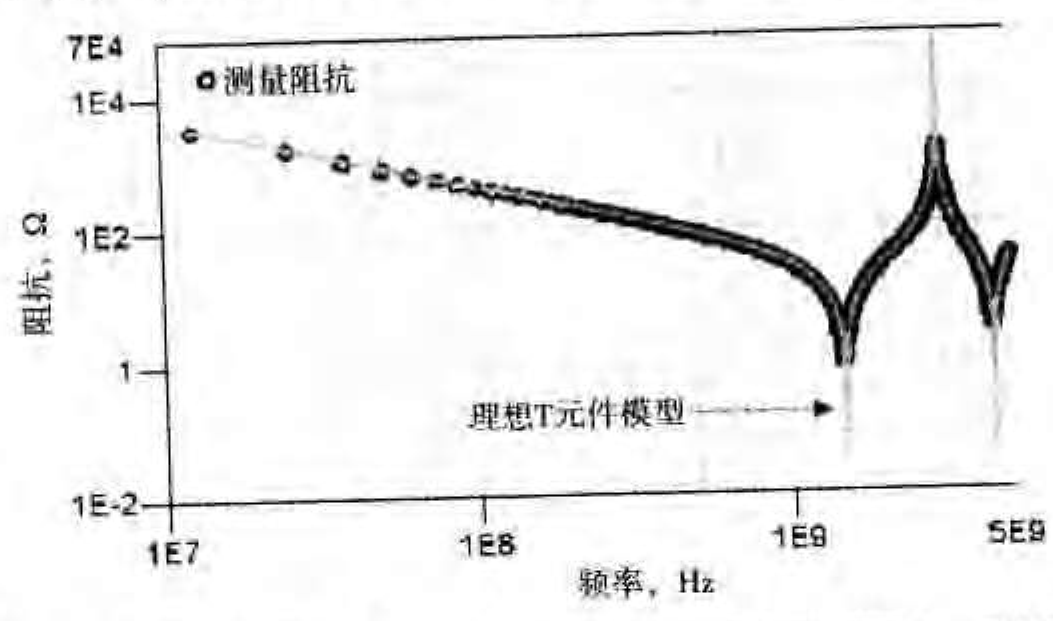


图 3.15 1 in 长微带线的测量阻抗和理想 T 元件模型的仿真阻抗。可以看出，在整个测量带宽范围内，二者非常吻合，而且在低频时，它们也非常一致

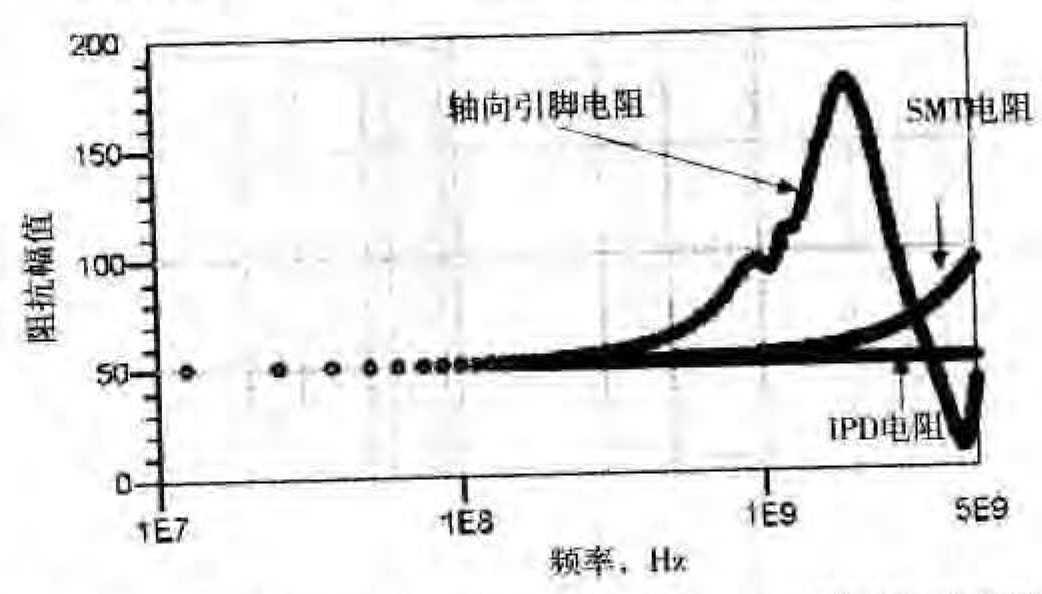


图 3.16 三种不同电阻元件的测量阻抗：轴向引脚、贴片式和集成无源器件。理想电阻元件的阻抗是不随频率变化的常数；从图中可以看出，低频时，这个简单的模型与每个实际电阻都是一致的，但是由于电阻工艺的缘故，模型带宽是有限制的

理想电阻的阻抗是个不随频率变化的常数，如图 3.16 所示，在 5 GHz 的整个测量带宽范围内，IPD 电阻与理想的电阻元件都是一致的。直到 2 GHz 时，SMT 电阻都可以用理想电阻来很好地近似，这又与安装的几何形状以及电路板的叠层有关。而轴向引脚电阻只能约在

500 MHz的带宽内用理想电阻来近似。一般来说，频率升高时发生的主要效应就是由于实际电阻中电感特性的存在而引起的，所以那些有更高带宽的模型就必须包含电感元件，当然还可能包括电容元件。

画出电路模型的拓扑结构，仅仅解决了问题的一半，另一半就是通过测量或计算来选取合适的参数值。从电路的拓扑结构出发，根据每个电路元件的几何结构和材料特性，可以使用经验法则、解析近似和数值仿真工具来计算参数值。这些将在下一章中详细介绍。

3.11 小结

1. 阻抗是一个描述所有信号完整性问题及解决方法的很有效的概念。
2. 阻抗描述了互连线或元件中电压和电流的关系。从根本上说，它是器件两端的电压与流经器件的电流之比。
3. 不要把构成实际硬件的真实器件与理想电路元件相混淆，理想电路元件是对真实世界的近似数学描述。
4. 我们的目标就是创建能非常精确地近似实际物理互连线或元件的理想电路模型。然而总是存在一定的带宽，在带宽之外时，模型就不再能精确地描述了，但是简单的模型却可能在非常高的带宽下工作。
5. 理想电阻的阻值、理想电容器的电容值和理想电感器的电感值是不随频率变化的常量。
6. 虽然阻抗的定义在时域和频域中是相同的，但是在频域中总结电容和电感的描述方法，则会更简单、更容易。
7. 理想电阻的阻抗是不随频率变化的常数，而理想电容的阻抗则随 $1/\omega C$ 而变化，理想电感的阻抗则随 ωL 而变化。
8. SPICE是个非常有力的工具，它可以对时域和频域中任何电路的阻抗或电压和电流波形进行仿真。对阻抗进行处理的工程师都应有 SPICE 软件。
9. 当建立实际互连线的等效电路模型时，总是从尽可能简单的模型开始，然后再建立复杂的模型。最简单的初始模型就是单个电阻、电感、电容和传输线元件。带宽很高的模型值用的是这些理想电路元件的组合。
10. 实际元件有非常简单的等效电路模型，且模型带宽到达了 GHz 范围。知道模型带宽的惟一方法就是把实际器件的测量值与采用理想电路模型得到的仿真阻抗相比较。

第4章　电阻的物理基础

所有互连线和无源元件的电气描述都是基于三种理想的集总电路元件（电阻、电容和电感）和一个分布元件（传输线）。互连线的电气特性都是由导体和介质的精确布局，以及它们如何与信号的电场和磁场相互作用来决定的。

理解几何结构与电气特性的关系使我们能够洞察出互连线的物理设计是如何影响信号的。

提示　为了得到好的信号完整性，优化系统物理设计的关键是：能够根据物理设计而精确地预测系统的电气性能，并且根据要求的电气性能又能去高效地优化物理设计。

所有互连线的电气特性都完全可以应用麦克斯韦方程来描述，这四个方程描述了电场和磁场是如何与边界条件（即一些几何结构中的导体和介质）相互作用的。若使用最佳的软件和足够强大的计算平台，应该能够输入电路板的精确布局和所有器件输出的初始电压，然后按下确认按钮，就可以看到所有电场和磁场的变化了。原则上应当如此，毕竟这里的信号传播中并没有包含新的物理知识或是未知因素的影响，它全部是由麦克斯韦方程描述的。

一些运行在个人电脑上的软件工具，通过麦克斯韦方程也可以完全仿真一些小问题。然而至今还没有一种方法可以用麦克斯韦方程来直接仿真整块电路板。即使有的话，也只能进行系统的最终验证，以确定该电路板是否满足性能指标。努力求解所有时变的电场和磁场方程，并不能使我们掌握在下次设计中应当改进哪些部分和如何改进。

提示　设计过程是充满直觉的过程，新思想来自于想像力和创造力。这些思想不是通过数值上求解一些方程组得到的，而是通过在直觉层次上理解这些方程的意义和它们给出的某些启示激发出来的。

4.1　将物理设计转化为电气性能

如前一章所述，考虑互连线电气性能最简单的出发点就是它的等效电路模型。所有的模型都由两部分组成：电路拓扑结构和各个电路元件的参数值。任何互连线建模最简单的出发点就是使用三种理想集总电路元件（电阻、电容、电感）或分布元件（理想传输线电路元件）的一些组合。

建模就是将物理设计中线的长、宽、厚和材料特性转化为 R、L 和 C 的电气描述形式。图 4.1 为普通 RLC 模型在特殊情况下，其物理形式和电路形式的关系。

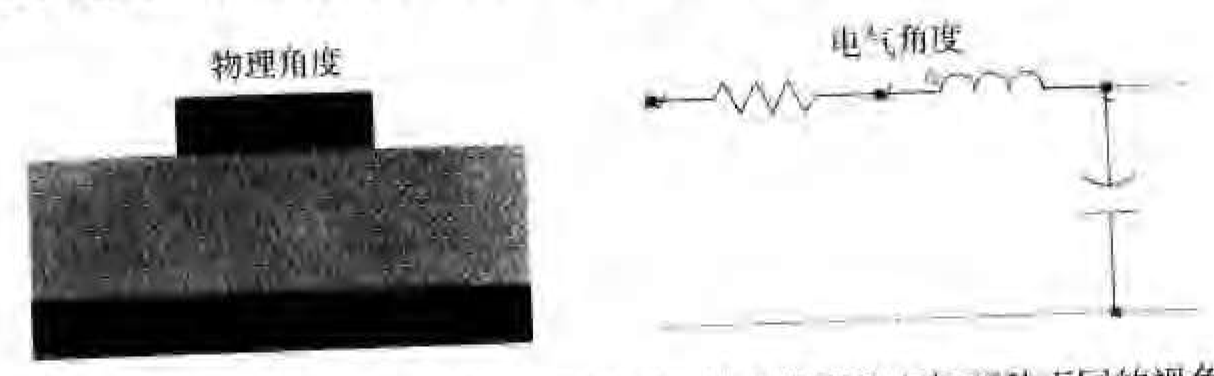


图 4.1　以微带线互连这一特殊情况为例，给出物理和电气两种不同的视角

建立了互连线电路模型的拓扑结构后，下一步就是提取参数值，这个过程有时称为寄生提取，即接下来的工作就是考虑如何把几何结构和材料特性转化成理想元件 R，L，C 和 T 的等效参数值。将使用经验法则、解析近似和数值仿真工具来完成这一步。

在本章中，我们着眼于如何根据几何尺寸和材料特性来确定电阻。在接下来的三章中，将讨论电容、电感和传输线的物理基础。

4.2　互连线电阻的最佳近似

在任何导线（如电路板上的铜线）的两端施加一个电压就会有电流流过导线。将电压加倍，则电流也加倍。实际铜线两端间的阻抗看起来非常像理想电阻，它在时域和频域都是恒定的。

提示　*在提取互连线的电阻时，实际上在无形中已经假定要以理想电阻作为互连线的模型。*

一旦把电路的拓扑结构建模为理想的电阻元件，就可以针对互连线的特定几何结构，运用三种分析技术中的一种来提取参数值。模型的初始精度与我们把实际几何结构转化成有良好近似的标准模式的好坏有关，或者与我们是否很好地使用了数使仿真工具有关。如果只是需要粗略的近似数值，就可以运用经验法则。

对于互连线电阻，只能给出一个良好的解析近似，且这种近似仅适用于均匀横截面的导线。例如，键合线、引脚线和电路板上的线条，整条线上的直径或线宽都是相同的。图 4.2 示例了这种近似的几何特征。

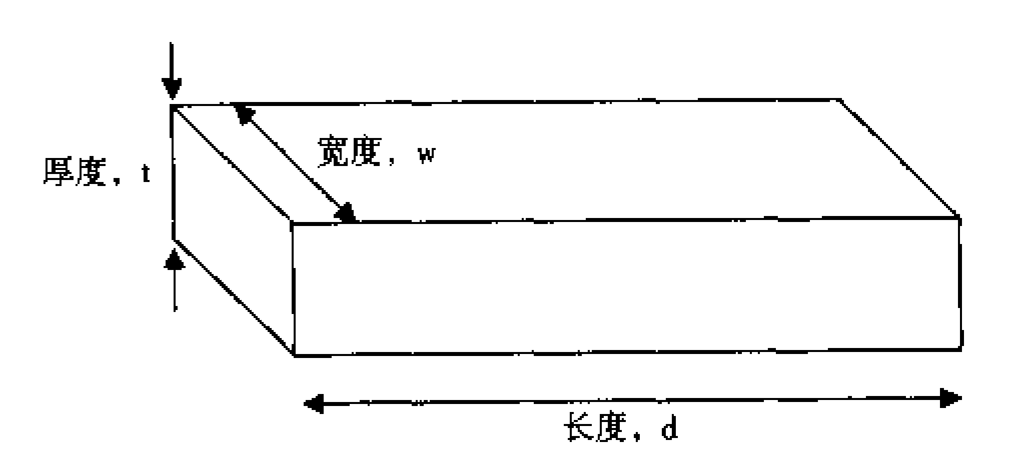


图 4.2　可用理想电阻元件作为其模型的互连线的几何特征描述，其中电阻指的是相隔距离为 d 的两个端面之间的电阻

对于导线横截面恒定的这种特殊情况，电阻值可以由下式近似得出：

$$R = \rho\frac{d}{A} \tag{4.1}$$

其中：

R 表示电阻值，单位为 Ω

ρ 表示导线的体电阻率，单位为 Ω · cm

d 表示互连线两端的距离，单位为 cm

A 表示横截面积，单位为 cm^2

例如，如果键合线长 0.2 cm（即 80 mil），直径是 0.002 5 cm（即 1 mil），并且是由电阻率为 2.5 μΩ · cm 的金构成，那么其电阻是：

$$R = \rho\frac{d}{A} = 2.5\times10^{-6}\times\frac{0.2}{(\pi/4)0.0025^2} = 0.1\Omega \tag{4.2}$$

提示 要记住这个经验法则：直径为 1 mil、长为 80 mil 的键合线的电阻值大概是 0.1 Ω。

这种近似说明阻值将随着导线长度的增加而线性增加，若将互连线的长度加倍，则阻值也加倍；同时它又与导线的横截面积成反比，即如果横截面增大，阻值就减小。这与我们所知道的水在管道中流动的现象相同，管道越宽，水流的阻力就越小；管道越长，则阻力就越大。

等效的理想电阻器的参数值与结构的几何尺寸和材料特性（也就是体电阻率）有关。如果改变导线的形状，等效的阻值也会改变。如果导线的横截面是变化的，例如塑封扁平封装（PQFP）中的引线架，那么就必须找出一种方法来把实际横截面近似为形状恒定的横截面，否则就不能使用这种近似。

设想间距为 25 mil、有 208 个管脚的塑封扁平封装（PQFP）中的其中一条引线，其总长度是0.5 in，但是它的形状不定，并且没有恒定的横截面。它的厚度通常是3 mil，但是它的宽度从引出时的10 mil变化到外部边沿的20 mil。该如何估算两端的阻值呢？这里的关键词是估算，如果需要最精确的结果，就要获得导线形状的精确外形并用3D建模工具，此工具在计算电阻时，可以考虑到宽度的变化。

而可以使用上面这个近似的惟一条件就是导线结构的横截面是恒定的，所以必须把实际的宽度是变化的PQFP引线近似成恒定横截面的结构。一种方法就是假定导线的宽度是均匀变化的，即如果它的一端宽 10 mil，而另一端宽 20 mil，则它的平均宽度就是 15 mil。所以首先假设恒定横截面为 3 mil 厚、15 mil 宽，然后利用铜的电阻率，则引线的阻值就是：

$$R = \rho\frac{d}{A} = 1.8\times10^{-6}\,\Omega\cdot\text{cm}\times\frac{0.5\text{ in}}{0.003\text{ in}\times0.015\text{ in}}\times\frac{1\text{ in}}{2.54\text{ cm}} = 8\text{ m}\Omega \tag{4.3}$$

要注意单位的一致性，阻值总是以 Ω 为单位的。

4.3 体电阻率

体电阻率是所有导线都具有的一个基本材料将性，其单位是欧姆·长度单位，例如欧姆·英寸或欧姆·厘米。这是让人非常迷惑的，或许以为体电阻率的单位就是Ω/cm。实际上我们经常能看到体电阻率的单位被错误地使用。然而，不要把材料的这种内在特性与一段互连线具有的电阻值相混淆。

因为互连线电阻的单位必须是欧姆，而电阻率 × 长度 /（长度 × 长度）才等于欧姆，所以体电阻率的单位必须是欧姆·长度。

提示 体电阻率是一种材料的特性，它不是由材料构成的物体特性或结构特性。

体电阻率是材料的固有特性，是对材料阻止电流流动的内在阻抗的度量。它与我们所看到的材料大小是无关的，边长为 1 mil 的铜与边长为 1 in 的铜有相同的电阻率。

导线越差，电阻率越高。通常，用希腊字母ρ来表示材料的体电阻率。另外一个术语——电导率，通常用希腊字母σ表示，用它来描述材料的导电能力。很显然材料的导电能力越强，电导率就越低。从数值上来说，电阻率和电导率为反比关系：

$$\rho = \frac{1}{\sigma} \tag{4.4}$$

电阻率的单位是Ω·m，而电导率的单位是 1/（Ω·m）。定义 1/Ω 的单位为 S（西门子），所以电导率的单位是 S/m。图 4.3 列出了许多互连中常用导线的电阻率。要注意由于工艺条件

的不同，大多数互连线材料的体电阻率的变化范围高达 10%。例如铜的体电阻率据说为 1.5 ~ 1.8 μΩ·cm，这依赖于它是否经过电镀、非电方式淀积、喷涂、包金、挤压或者退火等。材料越疏松，它的电阻率就越高。如果需要确定导线的体电阻率的精度是否好于 10%，就应该测量该导线的样品。

材料	电阻率（μΩ·cm）
银	1.47
铜	1.58
金	2.01
铝	2.61
钼	5.3
钨	5.3
镍	6.2
银填充玻璃	≈10
锡	10.1
易溶铅/锡焊料	15
铅	19.3
科瓦铁镍钴合金	49
合金-42	57
银填充环氧树脂	≈300

图 4.3　常用互连线材料的体电阻率的典型值

有时，我们把这个固有材料特性称为 bulk resistivity 或 volume resistivity（均译为体电阻率），要将它与另外两个和电阻相关的术语区分开，即单位长度电阻（resistance per length）和方块电阻（sheet resistance）。

4.4　单位长度电阻

若导线的横截面是均匀的，例如引线或电路板上的线条，则互连线电阻与长度成正比。使用上面的近似，对于均匀横截面的导线，其单位长度的电阻是恒定的：

$$R_L = \frac{R}{d} = \frac{\rho}{A} \tag{4.5}$$

其中：

R_L 表示单位长度电阻

d 表示互连线长度

ρ 表示体电阻率

A 表示电流流过的横截面积

例如直径是 1 mil 的均匀横截面的键合线，横截面积 $A = \pi/4 \times 1\ \text{mil}^2 = 0.8 \times 10^{-6}\ \text{in}^2$。金的体电阻率约等于 1 μΩ·in，则单位长度的电阻就可以计算出为 $R_L = 1\ \mu\Omega \cdot \text{in} / 0.8 \times 10^{-6}\ \text{in}^2 \approx 0.8\ \Omega/\text{in} \approx 1\ \Omega/\text{in}$。

我们要记住一个重要的经验法则：键合线的单位长度电阻大约是1 Ω/in。常见的键合线长度是0.1 in，所以典型的阻值大约是1 Ω/in × 0.1 in = 0.1 Ω。0.05 in长的键合线，其阻值就是1 Ω/in × 0.05 in = 0.05 Ω或者50 mΩ。

导线的直径是采用美国线规（AWG）所规定的标准参考数字来度量的。图4.4列出了一些规格值和相对应的直径。对于铜线，可以由直径估算出单位长度的电阻。例如，规格值为22的导线，在许多个人电脑的机箱中是很常见的，它的直径是25 mil，单位长度的电阻 R_L = 1.58 μΩ · cm/（2.54 cm/in）/（π/4 ×（25 mil）²）= 1.2 × 10^{-3} Ω/in，即大约是15 × 10^{-3} Ω/ft或15 Ω/1000 ft（英尺，1 ft = 0.304 8 m）。

AWG线规格值	直径（in）	每1000 ft的电阻值（Ω）（假设ρ = 1.74 μΩ · cm）
24	0.020 1	25.67
22	0.025 4	16.14
20	0.032 0	10.15
18	0.040 3	6.385
16	0.050 8	4.016
14	0.064 0	2.525
12	0.080 8	1.588
10	0.101 9	0.999

图4.4 线规格值及其相对应的直径和单位长度电阻

4.5 方块电阻

许多互连线衬底，例如印刷电路板、防火陶瓷基片和薄胶膜基片，都制备有几个均匀的导体平面层，格据版图模板再布成不同的线条。每一层上所有的导线都有相同的厚度。如图4.5所示，对于这种线条宽度相同的特殊情况，线条的电阻如下：

$$R = \rho\frac{d}{t \times w} = \left(\frac{\rho}{t}\right) \times \left(\frac{d}{w}\right) \tag{4.6}$$

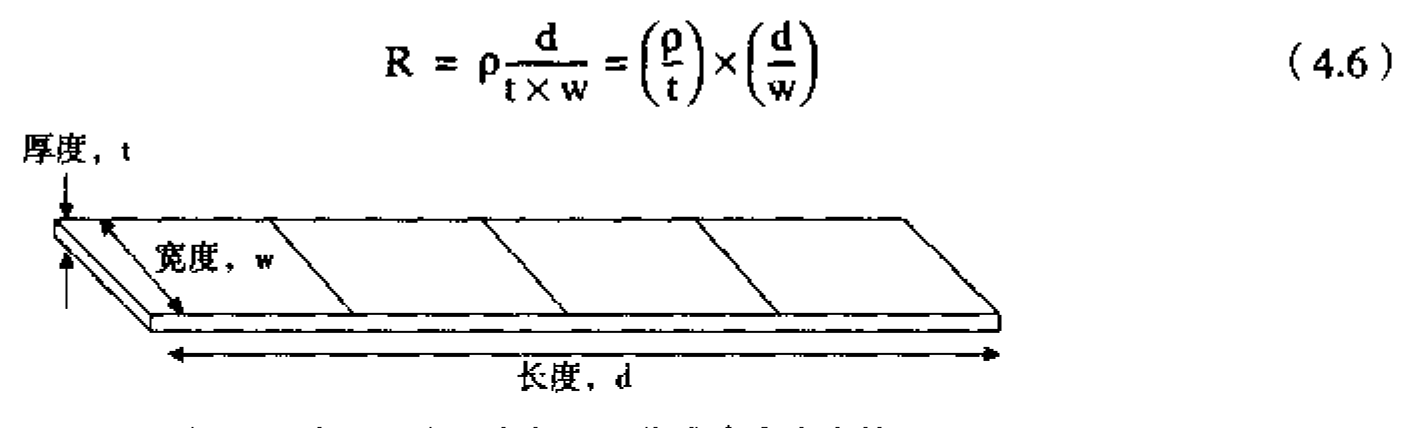


图4.5 从导体层上截取的均匀线条可以分成许多个方块，n = d/w

第一项，（ρ/t），对于该层上厚度为t的所有线条来说，是个常数。在同一层上的所有线条都有相同的体电阻率和相同的厚度，所以这一项称为“层方块电阻值”，并用 R_{sq} 表示。

第二项，（d/w），是长与宽的比值。这是线条上能够划分的方块数目，用n来表示，且是个无量纲的数。所以矩形线条的电阻可以写为：

$$R = R_{sq} \times n \tag{4.7}$$

其中：

R_{sp}表示方块电阻

n 表示方块的数目

有趣的是，方块电阻的单位刚好是Ω，即与电阻的单位相同，但是方块电阻到底指的是什么呢？理解方块电阻的最简单方法就是认为它是正方形导体片断（也就是长等于宽）两端间的电阻。在这种情况下，n = 1，正方形线条两端间的电阻就是方块电阻。

不管正方形的边长是 10 mil 还是 10 in，其相对两端间的电阻是恒定不变的。如果长度加倍，可以以为阻值会加倍，然而宽度也加倍了，所以又使阻值减半。这两种作用相互抵消，因此当正方形的尺寸改变时，净电阻会保持不变。

提示　对于从相同的导体层中截取的正方形，其相对两端间的阻值是相同的，我们称这个电阻为方块电阻，它用欧姆来度量，通常也称为每个正方形的欧姆数。

方块电阻与导体的体电阻率和导体层的厚度有关。常见的有多层铜导体的 PCB 板中，铜的厚度用每平方英尺的铜重量来描述。这是沿用以前的一种表示法，当时是通过取出一个 1 平方英尺的面板再称其重量来测量电镀的厚度。所以 1 盎司（1 盎司 ≈ 28.35 g）铜表示的就是电路板上每平方英尺的铜的重量为 1 盎司。1 盎司铜的厚度约为 1.4 mil 或者 35 μm，所以 0.5 盎司铜的厚度就是 0.7 mil 或 17.5 μm。基于铜的厚度和体电阻率，1 盎司铜的方块电阻 $R_{sq} = 1.6 \times 10^{-6}\ \Omega \cdot \text{cm}/35 \times 10^{-4}\ \text{cm} = 0.5\ \text{m}\Omega/\text{sq}$。

提示　0.5 盎司铜的方块电阻是 1 mΩ/sq，这是个简单的经验法则。5 mil 宽、5 in 长的线条可以截取成 1000 个串联的方块并且阻值是 1 Ω。

方块电阻是敷金属层的一个重要特征。如果测出了厚度和方块电阻，就可以得到所镀金属的体电阻率。方块电阻的测量是通过使用特别设计的四脚探针实现的。这四个触点通常安装到刚性支架上，这样就可以使它们处在同一条直线上并且有相同的间距。将这四个探针与被测的导体层接触放置，并连接到四点电阻分析仪或欧姆表。这样，当在最外边的两个触点施加恒定的电流时，内侧的两个触点间的电压就可以测量出来了，测量得到的电阻 $R_{meas} = V/I$。图 4.6 示例了探针点的排列和它们的关系。

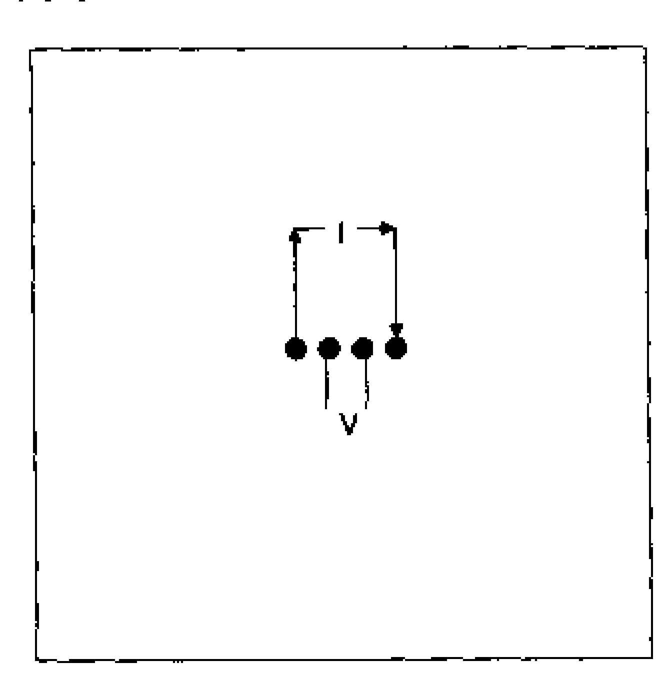


图 4.6　使用四脚探针（在一条线上）可以测量出方块电阻

只要这些探针远离边缘（即到任何一边至少为4倍探针间距），测量的电阻与实际的探针间距就完全无关。方块电阻 R_{sq} 可以由测量的电阻计算：

$$R_{sq} = 4.53 \times R_{meas} \tag{4.8}$$

如果知道导体层的方块电阻，就可以计算出单位长度电阻和该导体层中所有导线的电阻。线条通常用宽度 w 和长度 d 来定义，所以线条的单位长度电阻用下式计算：

$$R_L = \frac{R}{d} = R_{sq} \times \frac{1}{w} \tag{4.9}$$

其中：

R_L 表示单位长度电阻

R 表示线条电阻

R_{sq} 表示方块电阻

w 表示线条宽度

d 表示线条长度

图4.7示例了不同线宽时，1盎司和0.5盎司的铜导线的单位长度电阻。正如期望的那样，线越宽，单位长度电阻就越低。对于许多底板设计中常见的5 mil宽的线条，0.5盎司铜导线的单位长度电阻是0.2 Ω/in，这样10 in长的线条的阻值就是0.2 Ω/in × 10 in = 2 Ω。

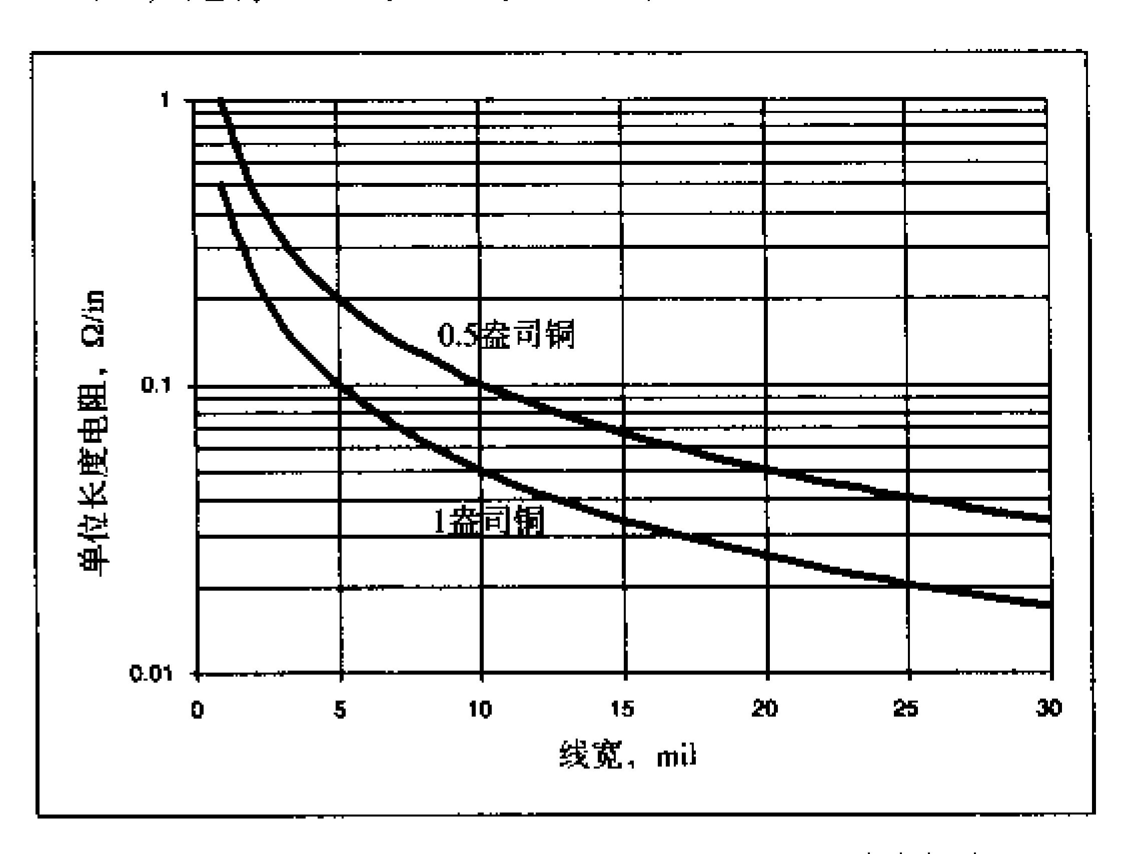


图4.7 不同宽度时，1盎司和0.5盎司铜导线的单位长度电阻

到目前为止，计算的这些阻值都是在直流时或者至少是在低频情况时的电阻，记住这一点很重要。正如在下一章中要讲到的，由于趋肤效应的影响，线条的阻值将随着频率的升高而加大。虽然铜的体电阻率不变，但导线上的电流分布却发生了变化。高频信号分量在贴近表面的很薄的层上传播，这使得有效横截面积减小了。对于1盎司的铜导线，电阻值在20 MHz的频率处开始增加，并且大致随着频率的平方根增加。所有的这些都涉及到电感。

4.6 小结

1. 把物理特性转变为电气模型是优化系统电气性能的关键一步。

2. 计算互连线阻值的第一步就是值定等效的电路模型是个简单的理想电阻器。
3. 对互连线首尾两端电阻的最有用近似就是：R ≈ 体电阻率 × 长度 / 横截面积。
4. 体电阻率是材料的固有特性，与材料量的多少无关。
5. 如果横截面是不均匀的，则要把此结构近似为均匀的，或者使用场求解器来计算这个结构的阻值。
6. 均匀线条的单位长度电阻是恒定的。宽 10 mil 的 0.5 盎司铜导线的单位长度电阻是 0.1 Ω/in。
7. 在同一导体层上截取的正方形导体，其两边之间的阻值相同。
8. 方块电阻是对导体层中截取的正方形导体两边之间的阻值的度量。
9. 对于 0.5 盎司的铜导线，它的方块电阻是 1 mΩ/sq。
10. 由于趋肤效应的影响，导线的电阻在高频时会增加。对于 1 盎司的铜导线，电阻在 20 MHz 处开始增加。

第5章　电容的物理基础

电容器实际上是由两个导体构成的，任意的两个导体之间都有一定量的电容。

提示　任意两个导体间的电容量本质上是对两个导体在一定电压下存储电荷能力的度量。

如图5.1所示，如果给两个导体分别加上正电荷和负电荷，则两个导体间就会存在电压。这一对导体的电容量就是单个导体上所存储的电荷量与导体间电压的比值：

$$C = \frac{Q}{V} \tag{5.1}$$

其中：

C表示电容，法拉（F）

Q表示总电荷数，库仑（C）

V表示导体间电压，伏特（V）

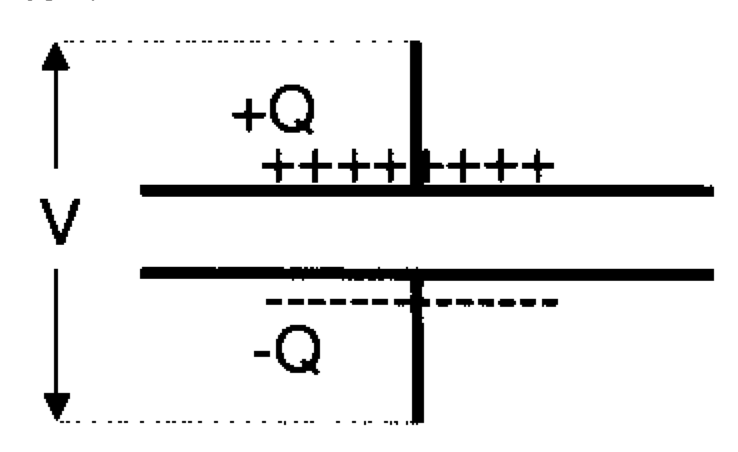


图5.1　当两个导体间的电压给定时，电容就是对导体存储电荷能力的度量

存储电荷是以产生电压为代价的。在一定的电压下，两个导体存储的电荷越多，则这对导体的电容量就越大。

实际上，两导体间的电容量取决于导体的几何结构和周围介质的材料属性，而与施加的电压完全无关。当电压增大一倍时，存储的总电荷量也增加一倍，而二者的比值保持不变。然而，两个导体间的距离越小，或它们重叠的面积越大，它们的电容量就会越大。

电容对描述信号如何与互连线相互影响起着重要的作用，而且它也是用于互连线建模的四个基本理想电路元件之一。

提示　电容的微妙之处就是即使两个导体之间没有直接的连接线（可能是两根不同的信号线），导体之间也总是有电容存在。在某些情况下，电流可以流经电容，这就引起了串扰和其他信号完整性问题。

理解了电容的物理性质，就可以想像电流流动的潜在通路了。

5.1　电容中的电流流动

理想电容器中，被分质材料隔离开的两个导体间没有直流通路。因为导体间是绝缘的介质，所以通常认为实际电容器中没有任何电流流过。那么，怎样才能使电流流过绝缘介质呢？如前所述，只有当两个导体间的电压变化时，才可能有电流流经电容器。

流经电容器的电流可表示为：

$$I = \frac{\Delta Q}{\Delta t} = C\frac{dV}{dt} \tag{5.2}$$

其中：

I 表示流过电容器的电流

ΔQ 表示电容器上电荷的变化量

Δt 表示电荷变化经历的时间

C 表示电容量

dV 表示导体间的电压变化

dt 表示电压变化经历的时间

提示　当导体间的电压变化时，电容也是对导体间的电流大小的度量。

当 dV/dt 保持不变时，电容量越大，流过电容的电流就越大。在时域里，电容量越大，电容器的阻抗就越小。

在两导体间的真空中怎么会有电流流过呢？真空中的两导体间没有真正的电流流过，然而却有明显的电流流动。例如，若增加两导体间的电压，就必须在一个导体上增加正电荷，并从另一个导体上取出正电荷。这看起来就像是把正电荷加到一个导体上，而这些正电荷又从另一个导体上出来。所以，当电压变化时，有等效电流流经电容器。

通常把这种真空间的等效电流称为“位移”电流，电磁学之父麦克斯韦（James Clerk Maxwell）最早引入了这一术语。他认为电容上电压的改变，加剧了“以太”中电荷的分离，形成了流经电容器真空间的电流。按照他在 19 世纪 70 年代的观点，真空并不是空的，而是充满了传播光的称为以太的纤细分质。当导体间的电压变化时，以太中的电荷就稍微被分开些，即产生电荷位移。麦克斯韦把这种电荷位移引起的运动想像成电流，并称之为位移电流。

5.2　球面电容

两导体间的实际电容量与连接两导体的电力线的多少有关。两个导体离得越近，重叠的面积越大，两个导体间的电力线就越多，存储电荷的能力也就越强。

若导体的具体几何结构不同，则尺寸与电容量的关系式就不同。除了个别例外，计算电容量与几何结构关系的大多数公式都是近似的。一般来说，可以使用场求解器来精确计算一对任意组合的导体之间的电容量，如在接插件中的多个引脚之间的电容。还可以精确估算出几种特殊几何结构的电容，其中一种就是计算两个同心球面间（一个在里，一个在外）的电容量。

两个球面间的电容为：

$$C = 4\pi\varepsilon_0\frac{rr_b}{r_b - r} \tag{5.3}$$

其中：

C 表示电容量

ε_0 表示自由空间的介电常数，为 0.089 pF/cm 或 0.225 pF/in

r 表示内球面半径，单位为 in 或 cm

r_b 表示外球面半径，单位为 in 或 cm

当外球面半径大于内球面半径的10倍时，球面电容可近似表示为：

$$C \approx 4\pi \times \varepsilon_0 \times r \tag{5.4}$$

其中：

C表示电容量，单位为pF

ε_0表示自由空间的介电常数，为0.089 pF/cm或0.225 pF/in

r表示内球面半径，单位为in或cm

例如，球面半径为0.5 in，即直径为1 in，其电容量为C = 4π × 0.225 pF/in × 0.5 in = 1.8 pF。所以直径为1 in的球面的电容量约为2 pF，这是个经验法则。

提示 这个关系式说明相对于某表面（包括地球表面），空间中的任何孤立导体都有一些电容。这个电容量并不一定很小，而是有个与直径相关的最小值。导体距附近某个表面越近，它的电容量就越大。

例如，吊在机箱外的一小段线扎，即使只有几英寸长，至少也有2 pF的杂散电容。当频率为1 GHz时，相对于地球或底盘来说，这段线扎的阻抗大约为100 Ω。由此可以看出（特别是在高频情况下）电容的错综复杂之处和它如何形成有效的潜在电流通路。

5.3 平行板近似

平行板近似是很常见的一种近似。如图5.2所示的两块平板，间距为h，总面积为A，它们之间为空气，电容量可表示为：

$$C = \varepsilon_0 \frac{A}{h} \tag{5.5}$$

其中：

C表示电容量，单位为pF

ε_0表示自由空间的介电常数，为0.089 pF/cm或0.225 pF/in

A表示平板的面积

h表示平板间距

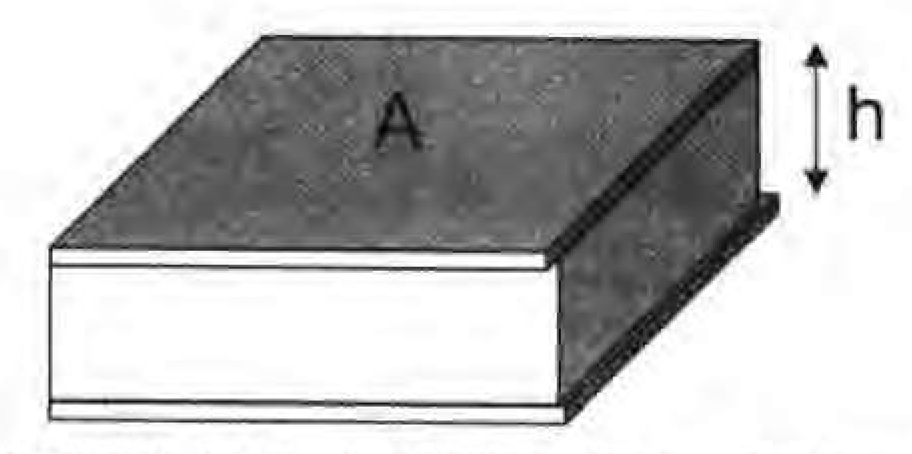


图5.2 最常见的电容的近似，其几何结构是面积为A、间距为h的一对平行板

例如1分硬币大小的一对平行板，面积大约为1 cm²，间距为1 mm，电介质为空气，则它的电容量C = 0.089 pF/cm × 1 cm²/0.1 cm = 0.9 pF，即1 pF电容大约与1分硬币大小的平行板的电容量相当。

提示 这个关系式说明了电容器的一个重要的几何结构特征：导体间距越大，电容量就越小；导体重叠面积越大，电容就越大。

除了几个例外，信号完整性中给出的关系式基本都是定义式或者近似式。平行板近似就是一个近似，它假定平行板周围的边缘场是忽略不计的。平行板间距越小或板面积越大，近似就越好。对于边长为 w 的正方形平行板，w/h 越大，近似就越准确。

一般来说，平行板近似有点低估了电容量，由于板周围边缘场的作用，实际电容量要大于近似值。平行板间距等于其侧向尺寸时，它看起来就像是个立方体，这时两板间的实际电容量约等于平行板近似预测的电容量的两倍，这是个经验法则。也就是说当平行板间距与板宽相当时，板周围的边缘场产生的电容量与平行板近似预测的电容量相等。

5.4　介电常数

导体间的绝缘材料会增加它们之间的电容量，这一引起电容增大的材料特性称为相对介电常数，通常用希腊字母 ε 加下标 r（即 ε_r）来表示。它是相对于空气（其介电常数为 1）的介电常数。所以作为一个比值，它没有单位。通常都省略掉“相对”这个词，简称为介电常数。

介电常数是绝缘材料的固有特性，一小块环氧树脂和一大块环氧树脂的介电常数是相同的。绝缘材料介电常数的度量方法是：比较一对导体被空气包围时的电容量 C_0 和被绝缘材料包围时的电容量 C，定义如下：

$$\varepsilon_r = \frac{C}{C_0} \tag{5.6}$$

其中：

ε_r 表示材料的相对介电常数

C 表示导体被绝缘材料包围时的电容

C_0 表示导体被空气包围时的电容

介电常数越大，导体间的电容量的增加就越大。如果在导体周围的空间中均匀填充绝缘材料，则介电常数会使得导体间的电容量增大，这与导体的形状（不管是平行板、两根圆杆，还是邻近宽平面的导体）完全无关。

图 5.3 列出了互连线中常用绝缘材料的介电常数。大部分聚合体的介电常数约是 3.5~4.5，这说明加入聚合类材料使电容量增加了约 4 倍。大多数聚合体的介电常数由于加工条件、凝固度和填充物的不同而有所不同，同时还会随着频率的变化而有所不同。如果需要确定介电常数的精度是否好于 10%，就应该测量样品的介电常数。

材料的介电常数大数与偶极子数和偶极子的大小有关。材料分子的偶极子数越多，则介电常数就越大，例如水，其介电常数大于 80。若材料的偶极子数很少，则介电常数就很小，如空气的介电常数为 1。同质固体材料中最低的介电常数约为 2，如特氟纶（Teflon）。材料中添加空气可以降低其介电常数，如泡沫的介电常数接近 1。相反，一些陶瓷，如钛酸钡，其介电常数达到了 5000。

介电常数有时随频率而变化，例如，从 1 kHz 到 10 MHz，FR4 的介电常数就从 4.8 变化到 4.4，然而从 1 GHz 到 10 GHz，FR4 的介电常数就非常稳定。FR4 的介电常数准确的具体值也与环氧树脂和玻璃的相对含量有关。为了消除不确定因素，有必要指明测量介电常数时的频率。

材料	介电常数
空气	1
特氟纶	2.1
聚乙烯	2.3
BCB材料	2.6
聚四氟乙烯	2.8
聚酰亚胺	3.4
GETEK材料	3.6~4.2
双马来酰亚胺三嗪玻璃	3.7~3.9
石英	3.8
杜邦卡普顿	4
FR4玻璃纤维板	4~4.5
玻璃陶瓷	5
钻石	5.7
氧化铝	9~10
钛酸钡	5000

图5.3 互连线中常用的绝缘材料的介电常数

5.5 电源、地平面和去耦电容

平行板近似最重要的一个应用就是分析IC或多层印制电路板中电源和地平面间的电容量。

以后会讲到，为了减小电源分布系统中的电压轨道塌陷，就要在电源和地之间加上多个去耦电容。在一定时间δt内，电容C可以阻止电源电压的下降。如果芯片的功率损耗为P，则由于去耦电容的作用，电压的下降量达到电源电压5%时的时间近似为：

$$\delta t = C \times 0.05 \times \frac{V^2}{P} \tag{5.7}$$

其中：

δt表示电压下降量达到电源电压的5%时的时间，单位为s

C表示去耦电容量，单位为F

0.05表示允许的5%的电压下降量

P表示芯片的平均功率损耗，单位为W

V表示电源电压，单位为V

例如，若芯片的功耗是1 W，去耦电容是1 nF，电源电压是3.3 V，则电容提供的去耦时间 $\delta t = 1\ \text{nF} \times 0.05 \times 3.3^2/1 = 0.5\ \text{ns}$，这同要求的时间相比是不够的。

通常需要足够大的去耦电容来提供至少5 μs的时间，直到电源调节器能提供足够的电流。对于这个例子，实际需要的去耦电容是1 nF的10 000倍，即10 μF才能满足要求。

我们经常错误地认为电路板中的电源和地平面间的电容可以提供有效的去耦。通过平行板近似，可以估算出它们提供的去耦电容的大小和对芯片的去耦时间的长短。

在多层电路板中，电源平面和地平面是相邻的，于是就可以估计出这两个平面间每平方英寸面积的电容，如下所示：

$$C = \varepsilon_0 \varepsilon_r \frac{A}{h} \tag{5.8}$$

其中：

C表示电容量，单位为pF

ε_0表示自由空间的介电常数，为0.089 pF/cm或0.225 pF/in

ε_r表示FR4的相对介电常数，典型值为4

A表示平面的面积

h表示平面间的距离

例如FR4，其介电常数为4，1平方英寸的电容C = 0.225 pF/in × 4 × 1 in²/h ≈ 1000 pF/h，其中h的单位为密耳。若电源与地平面间的电介质厚度为10 mil（很常见的厚度），则它们之间的电容仅为100 pF/in²。

若电路板上ASIC占用的面积为4平方英寸，则电源与地平面间的去耦电容仅为0.4 nF，这比所需的10 μF电容量，至少要差4个数量级。

这样大的电容能够提供多久的去耦？通过上面的公式可知0.4 nF的电容提供0.2 ns的去耦时间，这个时间的意义不是很大，并且芯片必须通过封装引线才能接触到这个电容，面封装引线的阻抗使得这个0.4 nF的电容几乎不起一点作用。另外，集成在芯片内的电容通常是这个平板电容的100多倍。

提示　一般来说，虽然多层电路板中存在平面电容，但它太小了，在电源管理中起不到很明显的作用。电源与地平面的实际作用就是为芯片和去耦电容间提供低电感路径，而不是提供去耦电容，这将在以后说明。

如何大幅度地提高电源和地平面间的电容呢？平行板近似表明仅有两个因素影响电容量：电介质厚度和介电常数。商业产品中，最薄的FR4介质层为2 mil，这使得单位面积的电容量大约为1000 pF/in²/2 = 500 pF/in²。此例中，若为芯片去耦用的小平面边长为2 in，则总电容为500 pF/in² × 4 in²，即2 nF。这时，防止电压塌陷的时间约为1 ns，其作用仍不是很明显。

然而，若电介质足够薄且介电常数足够大，则电源和地平面间的电容就可以设计得非常大。图5.4是介电常数分别为1，4，10和20时，随着介质厚度的变化，每平方英寸的电容量。显然，如果目标是增加单位面积的电容，那么达到这个目标的方法就是使用薄介质层和高介电常数。

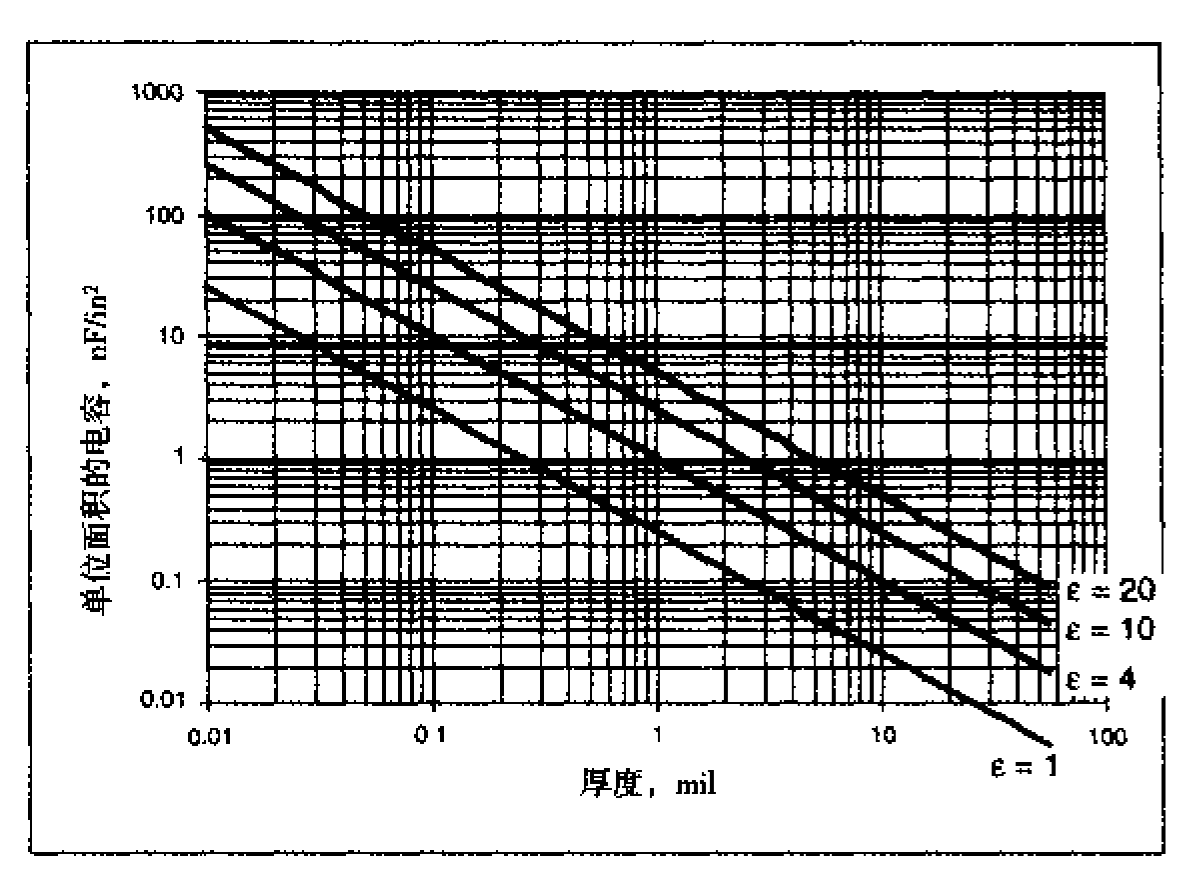


图5.4　对于4种介电常数材料，当介质厚度不同时，电源和地平面间的单位面积的电容

3M 公司正在开发商标为 C-Ply 的高介电常数且足够薄的材料，在聚合基体中加入钛酸钡粉末。这种材料的介电常数为 20，厚度为 8 μm 或 0.33 mil。在每一面上叠敷有 1/2 盎司的铜，则每一层的单位面积电容为 C/A = 0.225 pF/in × 20/0.33 mil ≈ 14 nF/in²，这比我们能得到的最好电容量要大 30 倍。

使用 C-Ply 层的电路板，其 4 in² 的去耦电容为 56 nF，对于功率损耗为 1 W 的芯片，此电容提供了 28 ns 的时间，这是一个比较有效的时间。

5.6 单位长度电容

大多数互连线都有横截面固定的信号路径和返回路径，这样，信号路径和返回路径间的电容与互连线的长度成比例。如果互连线长度加倍，则线条间的总电容也加倍，所以用单位长度电容能方便地描述线条间的电容。只要横截面是均匀的，单位长度电容就保持不变。

在均匀横截面的互连线中，信号路径与返回路径间的电容为：

$$C = C_L \times Len \tag{5.9}$$

其中：

C 表示互连线的总电容

C_L 表示单位长度电容

Len 表示互连线的长度

对于基于横截面的单位长度电容，对 3 种横截面有精确的近似，如图 5.5 所示。

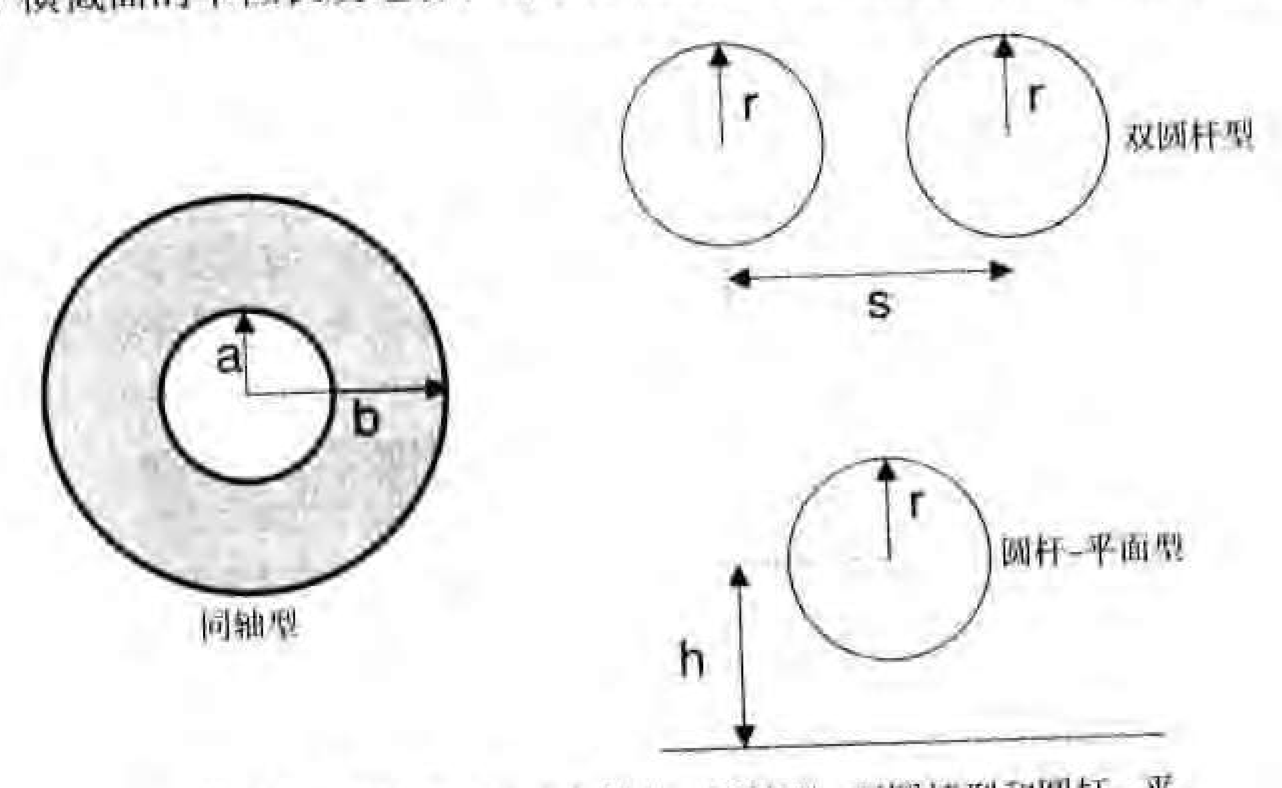


图 5.5 3 种横截面的几何结构：同轴型、双圆杆型和圆杆-平面型。它们的单位长度电容有精确的近似计算公式

另外，其他几何结构也有许多近似，但没有上面的三种精确。

提示 一般来说，若横截面是均匀的，可以使用 2 维场求解器来精确地计算任意形状的单位长度电容。

同轴电缆是由两根同心圆柱导体组成，中间填充介质材料的互连线，通常把中心的内导体称为信号路径，而把外导体称为返回路径。内导体和外导体间的单位长度电容的精确表示式为：

$$C_L = \frac{2\pi\varepsilon_0\varepsilon_r}{\ln\left(\frac{b}{a}\right)} \tag{5.10}$$

其中：

C_L 表示单位长度电容

ε_0 表示自由空间的介电常数，为 0.089 pF/cm 或 0.225 pF/in

ε_r 表示绝缘材料的相对介电常数

a 表示内部信号导体的半径

b 表示外部返回导体的半径

以同轴电缆 RG58 [最常见的同轴电缆，其线两端通常有 Berkeley Nuclear Corp (BNC) 生产的电缆接头] 为例，它的内外层导体的直径比为 3 (1.62 mm/0.54 mm)，中间材料是介电常数为 2.3 的聚乙烯，则单位长度电容为：

$$C_L = \frac{2\pi \times 0.225 \times 2.3}{\ln(3)} = 2.9\frac{\text{pF}}{\text{in}} \tag{5.11}$$

第二个精确关系式是两个平行圆杆之间的电容，如下所示：

$$C_L = \frac{\pi\varepsilon_0\varepsilon_r}{\ln\left\{\frac{s}{2r}\left[1+\sqrt{1-\left(\frac{2r}{s}\right)^2}\right]\right\}} \tag{5.12}$$

其中：

C_L 表示单位长度电容

ε_0 表示自由空间的介电常数，为 0.089 pF/cm 或 0.225 pF/in

ε_r 表示绝缘材料的相对介电常数

s 表示两根棒的中心距

r 表示圆杆的半径

如果杆间距离远大于它的半径 (即 s>>r)，则这个相对复杂的关系式可近似为：

$$C_L = \frac{\pi\varepsilon_0\varepsilon_r}{\ln\left\{\frac{s}{r}\right\}} \tag{5.13}$$

这两种情况都假设两根圆杆周围的介质材料是处处均匀的。但遗憾的是，情况并不总是这样。这种近似不是很有用，只有空气中的键合线这类特殊情况才是可以的。此时，两个平行的键合线，半径都为 0.5 mil，中心距为 5 mil，单位长度电容约为：

$$C_L = \frac{\pi\varepsilon_0\varepsilon_r}{\ln\left\{\frac{s}{r}\right\}} = \frac{3.14 \times 0.225 \times 1}{\ln\left\{\frac{5}{0.5}\right\}} = 0.3\frac{\text{pF}}{\text{in}} \tag{5.14}$$

如果键合线长为 40 mil，则总电容为 0.3 × 0.04 = 0.012 pF。

第三种是平面与平面上圆杆之间的电容的近似，当圆杆远离平面时 (即 h >> r)，电容近似为：

$$C_L = \frac{\pi \varepsilon_0 \varepsilon_r}{\ln\left\{\frac{2h}{r}\right\}} \tag{5.15}$$

其中：

C_L 表示单位长度电容

ε_0 表示自由空间的介电常数，为 0.089 pF/cm 或 0.225 pF/in

ε_r 表示绝缘材料的相对介电常数

h 表示平面表面与棒中心之间的距离

r 表示圆杆的半径

还有其他两种对电路板互连线中常见横截面的近似，即针对微带线和带状线的近似，如图 5.6 所示。在微带线中，信号线在介质层上面，介质层下面是平面，这是多层电路板中表面线条的常见几何结构。在带状线中，有两个平面提供返回路径。对于高频信号来说，不管两个平面之间是否直流相通，它们实际上都是短接在一起的，所以可以认为是相连的。相对于信号线，这两个平面是对称的，介质材料即电路板叠层完全包裹住了信号线。对于这两种互连线，信号路径和返回路径间的单位长度电容都可以计算出来。

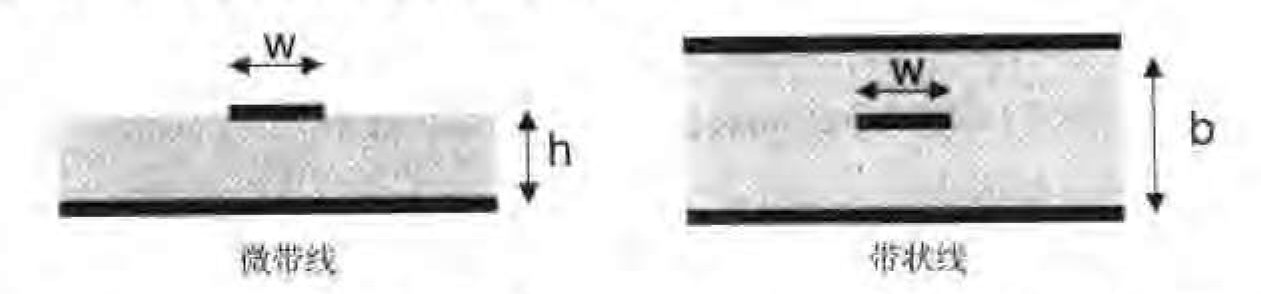


图 5.6 微带线和带状线的横截面几何结构，图中给出了主要的几何特征

虽然文献中有许多近似方法，但这里提出的两种近似是由印制电路板工业协会（IPC）推荐的。微带线的单位长度电容为：

$$C_L = \frac{0.67(1.41+\varepsilon_r)}{\ln\left\{\frac{5.98 \times h}{0.8 \times w + t}\right\}} \approx \frac{0.67(1.41+\varepsilon_r)}{\ln\left\{7.5\left(\frac{h}{w}\right)\right\}} \tag{5.16}$$

其中：

C_L 表示单位长度电容，单位为 pF/in

ε_r 表示绝缘材料的相对介电常数

h 表示介质厚度，单位为 mil

w 表示线宽，单位为 mil

t 表示导体的厚度，单位为 mil

注意，虽然在关系式中包含了线条厚度这个参数，但如果线条厚度在很大程度上影响着问题的精度，那么就不应再使用这个近似，而是应该使用二维场求解器。在各种情况下，如果假设线条厚度为零，则二维场求解器的精度就不会受到影响。

如果线宽是介质厚度的两倍（即 w = 2 × h），介电常数为 4，则单位长度电容 C_L = 2.7 pF/in。这是微带线近似于 50 Ω 传输线时的几何结构。

如图 5.6 所示，带状线的单位长度电容近似为：

$$C_L = \frac{1.4\varepsilon_r}{\ln\left\{\frac{1.9\times b}{0.8\times w+t}\right\}} \approx \frac{1.4\varepsilon_r}{\ln\left\{2.4\left(\frac{b}{w}\right)\right\}} \quad (5.17)$$

其中：

C_L表示单位长度电容，单位为pF/in

ε_r 表示绝缘材料的相对介电常数

b 表示介质总厚度，单位为 mil

w 表示线宽，单位为 mil

t 表示导体的厚度，单位为 mil

例如，如果介质总厚度 b 为线宽的 2 倍，即 b = 2w，则它就相当于 50 Ω 传输线，这时单位长度电容 C_L = 3.8 pF/in。

从这两个几何结构可以看出，50 Ω 传输线的单位长度电容大约为 3.5 pF/in。要记住这是个很好的经验法则。

提示 FR4 板上 50 Ω 传输线的单位长度电容约为 3.5 pF/in，这是一个经验法则。

例如，在多层球形栅网阵列（BGA）封装中，信号线设计成约为 50 Ω 的微带线结构，其中介质材料为双马来酰亚胺三嗪（Bismaleimide triazine，BT），介电常数为3.9，信号线单位长度电容大约为 3.5 pF/in。那么 0.5 in 长的线条的电容约为 3.5 pF/in × 0.5 in = 1.7 pF，所以接收器的容性负载约为 2 pF 的输入门电容加上 1.7 pF 的引线电容，即 3.7 pF。

提示 记住这些近似仅是近似，如果要求精度很可靠，就应该使用二维场求解器来计算单位长度电容。

5.7 二维场求解器

如果精度很重要，则计算任何两导体间单位长度电容的最好数值工具就是二维场求解器。这个工具认为导体的横截面在整条线上都是恒定的，在这种情况下，单位长度电容也是恒定的。

二维场求解器是把导体的几何结构作为边界条件，对拉普拉斯方程和其中一个麦克斯韦方程进行求解。在求解过程中把导体上的电压设为 1 V，并对空间中各处的电场求解，然后从电场中计算出导体上的电荷。导体间的单位长度电容就直接计算成施加1 V电压时导体上的电荷量。大多数工具使用的就是这个过程，而实际的用户并不需要知道这些。

评估二维场求解器精度的方法就是使用二维场求解器来计算有确切表达式的几何结构，如同轴型和双圆杆型结构。如图 5.7 所示，对于双圆杆型结构的单位长度电容，将二维场求解器的计算结果与前面的精确公式得到的结果做对比，可以看出它们非常吻合。为了给出定量的剩余误差值，图 5.7 还画出了二维场求解器计算结果和公式解析结果间的相对差别。可以看出，二维场求解器最大的误差不超过 1%。

提示 对于任意几何结构，用二维场求解器计算单位长度电容的绝对误差不大于 1%。

使用精度已被验证的场求解器，可以评估常用近似式的精度，如做带线和带状线结构的单位长度电容。

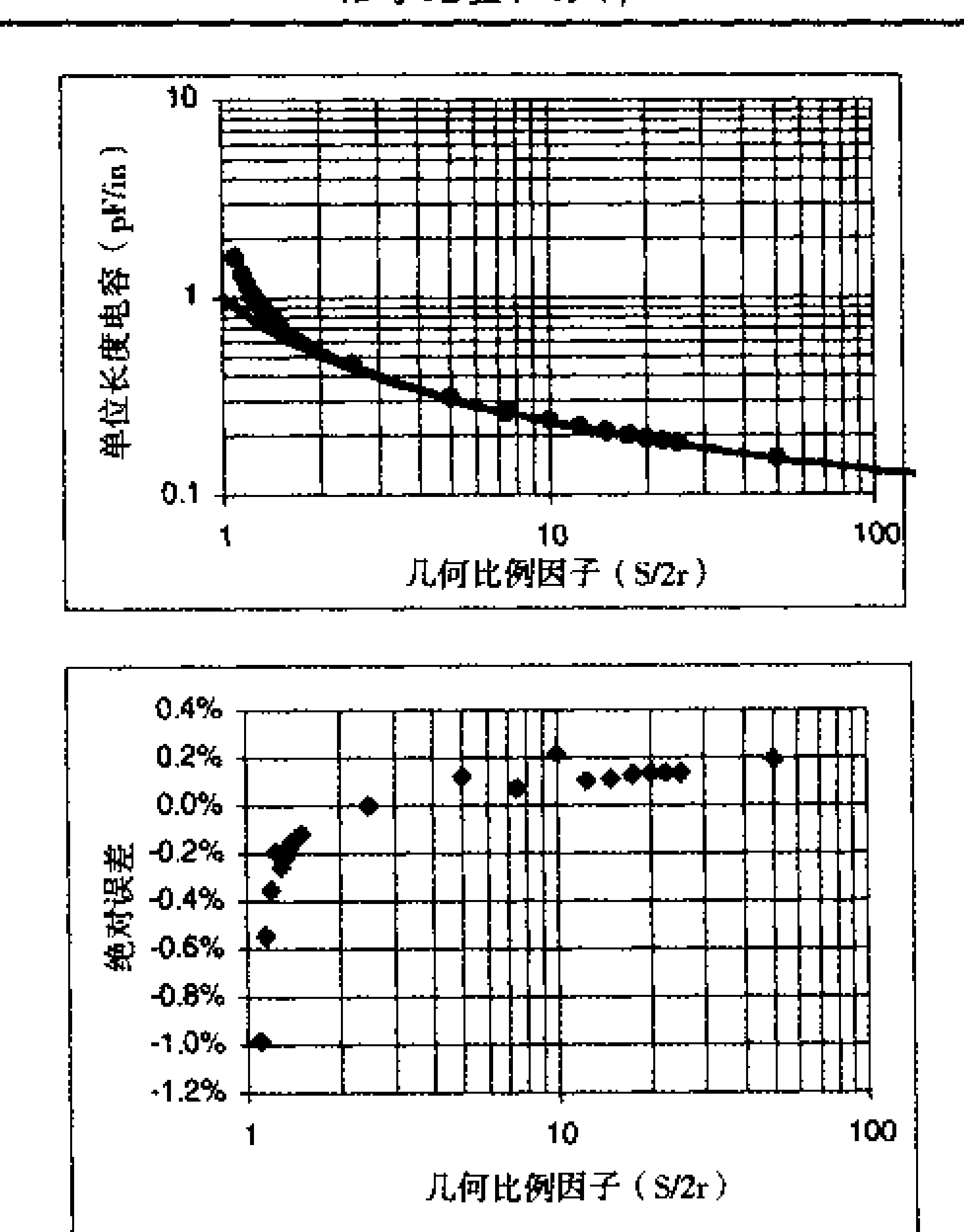


图5.7 求解双圆杆型结构的单位长度电容，把Ansoft 2维场求解器、精确公式和近似三者所得值相比较。上图：点表示二维场求解器计算结果，通过点的线是由精确表达式所得，另一条线是近似结果。当s＞4r时，近似就很精确。下图：Ansoft 2维场求解器的绝对误差，其值小于1%

图5.8把前面介绍的微带线近似与二维场求解器所得结果相比较。在一些情况下，近似精度可达到5%，但在其他一些情况下，两者之间的差别则大于20%。除非经过事先验证，否则就不要相信近似的误差小于10%～20%。

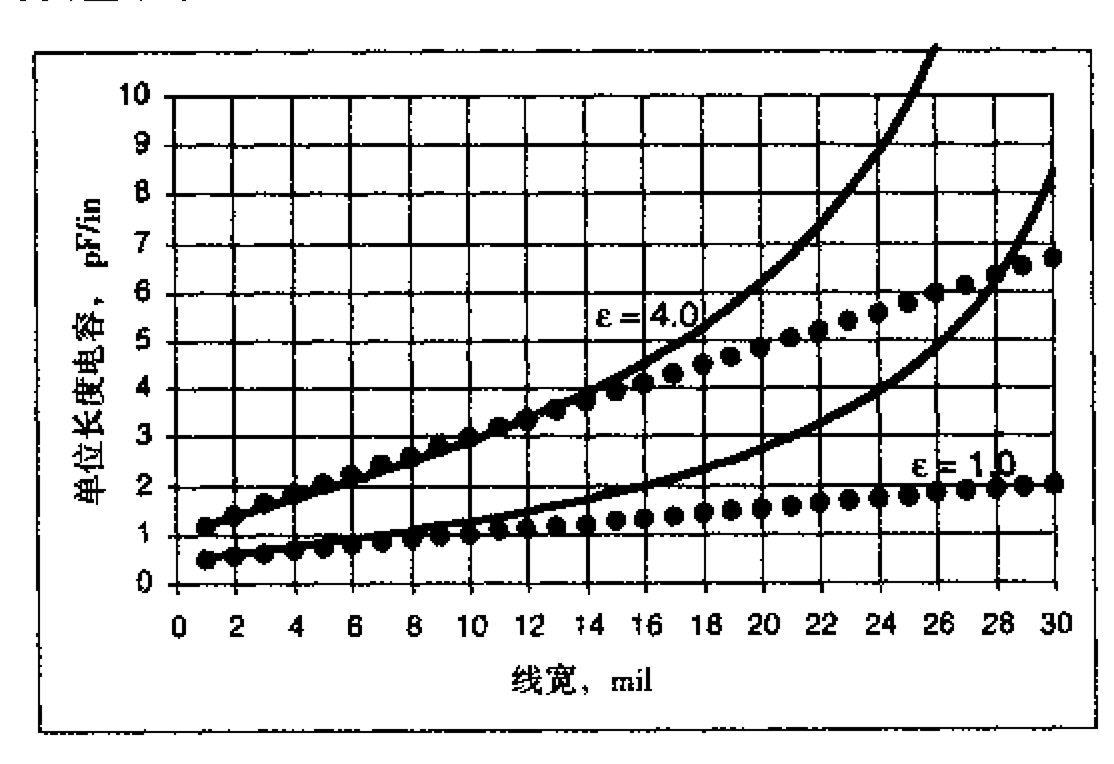


图5.8 随着线宽的增加，对于微带线的单位长度电容，比较Ansoft二维场求解器所得值和前面讲到的IPC近似值。其中圆点表示二维场求解器结果，线为IPC近似结果。微带线的介质厚度为5 mil、介电常数分别为4和1

场求解器的另一个优点就是它能够考虑到二阶效应的影响，其中一个重要的效应就是线条厚度的增加对微带线单位长度电容的影响。我们可能以为随着金属厚度的增加，即从很薄到很厚，信号线与返回平面间的边缘场也会增强。事实上，如图 5.9 所示，随着线条厚度的增加，电容确实增大了，但增加幅度并不大。线条从很薄的厚度增加到 3 mil 或 2 盎司时，单位长度电容仅增加了 3%。没有一种近似方法可以精确地预测这种效应。为了做一对比，图中也显示了电容的IPC近似与更精确的场求解器结果的匹配程度。这种很差的吻合度使得不能用近似式来估计二阶效应，例如线条厚度的影响。

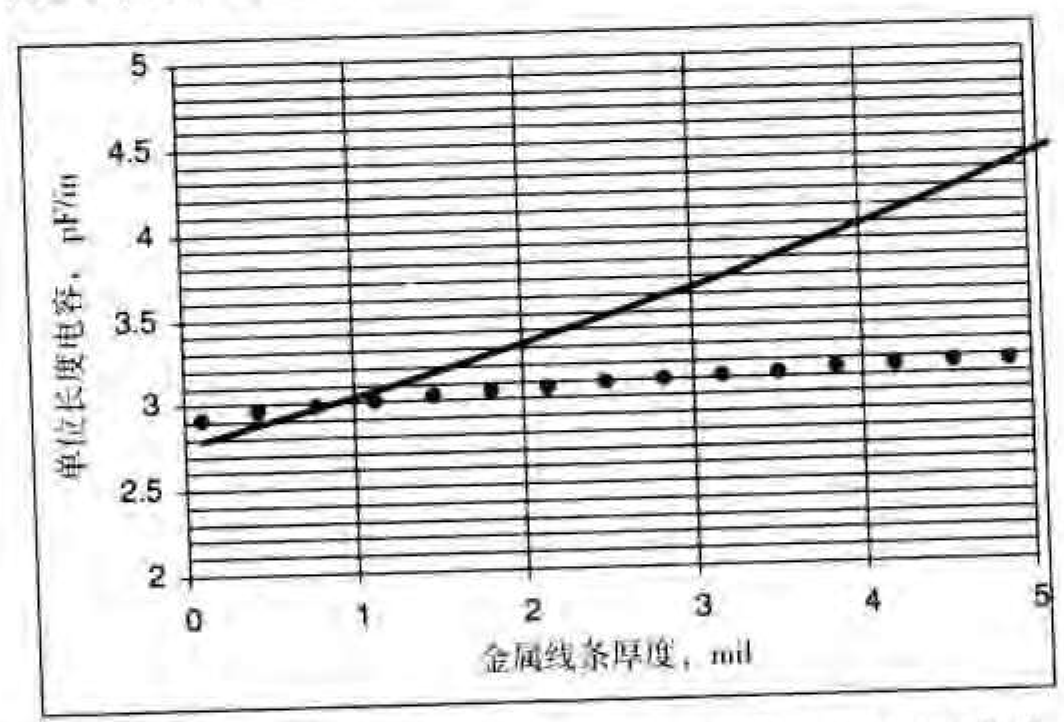


图 5.9　线条厚度从 0.1 mil 增加到 5 mil 时，微带线单位长度电容的变化情况。其中介质厚度为 5 mil，线宽为 10 mil。圆点表示二维场求解器的结果，直线为 IPC 近似的结果

二维场求解器是计算均匀横截面互连线电气特性的很重要的工具。尤其是当导体周围的介质材料分布不均匀时，它就显得更加重要了。

5.8　有效介电常数

如果导体的横截面被介质完全包裹，位于导体间的电力线就会感受到相同的介电常数，例如带状线。然而，如微带线、双绞线或共面线，导体周围的介质不是均匀分布的，所以一些电力线会穿过空气，而另一些则穿过介质。图 5.10 示例了微带线的电力线。

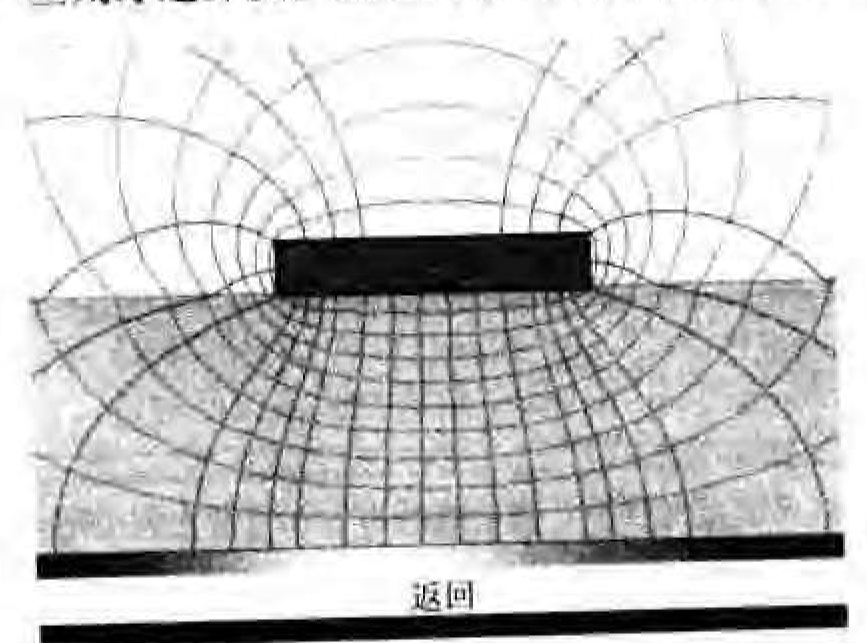


图 5.10　微带线的电力线分布，一部分电力线穿过空气，一部分穿过填充材料。其有效介电常数是空气的介电常数与填充介质介电常数的组合。此图使用Mentor Graphics Hyperlynx 来计算电力线

与导体间没有介质材料时的电容量相比，绝缘材料的存在使得导体间的电容量增大了。若导体之间及导体周围的绝缘材料是均匀分布的，如带状线，则材料使电容量增大的系数等于材料的介电常数。但是，在微带线中，一些电力线穿过空气，一些穿过叠层介质，于是由于信号路径和返回路径间材料的缘故，电容量将增大，但是，电容量会增大多少呢？

空气和部分填充介质的组合就产生了“有效介电常数”。正如介电常数是填充材料后的电容量与以空气为介质时的电容的比值那样，有故介电常数也是导体间填充材料（不管材料如何分布）后的电容与导体之间及其周围仅有空气时电容的比值。

要计算有效介电常数ε_{eff}，首先要计算导体周围为空气时的单位长度电容C_0，然后在导体周围按实际分布情况填充电介质，并计算此时导体间的单位长度电容C_{filled}，则有故介电常数为：

$$\varepsilon_{eff} = \frac{C_{filled}}{C_0} \tag{5.18}$$

其中：

C_0表示导体周围为空气时的电容

C_{filled}表示有实际介质分布时的电容

ε_{eff}表示有故介电常数

使用二维场求解器可精确地计算出这两种情况下的电容，使用这一工具也是精确计算传输线有效介电常数的惟一方法。在后面会讲到，有效介电常数是非常重要的性能参数，因为它直接决定了传输线中的信号速度。

图5.11中显示了随着线条宽度的增加，微带线的有效介电常数的变化情况。这时填充介质的介电常数为4。当线条很宽时，大部分电力线都在介质材料中，这时有效介电常数接近于4。当线条很窄时，大部分电力线在空气中，此时有数介电常数小于3，这反映了低介电常数的空气的影响。

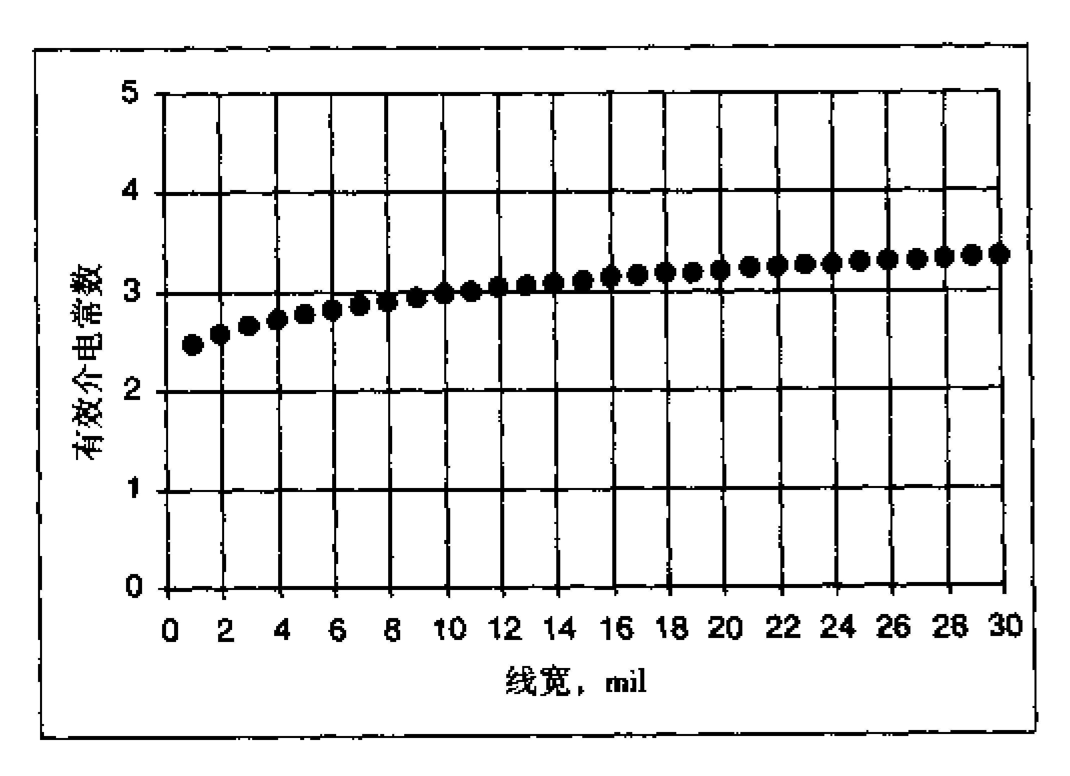


图5.11 随着线条宽度的增加，微带线的有效介电常数的变化情况，其中填充介质厚5 mil，介电常数为4。此图由Ansoft二维场求解器计算得出

提示 叠层材料的固有介电常数是不会变化的，只是当导体间的场穿过不相同的空气和介质时，介电常数对电容的影响发生了变化。

如果在微带线的顶部加上介电材料，则空气中的边缘电力线穿过的介电常数会增大，微带线的电容也会增加。当微带线上面有介质时，称之为嵌入微带线。如果仅有一部分电力线穿过介质材料，则称为部分嵌入微带线，如阻焊涂层。若所有的电力线都在介质中，则称为全嵌入微带线。这三种不同嵌入程度的微带线的电力线分布如图5.12所示。

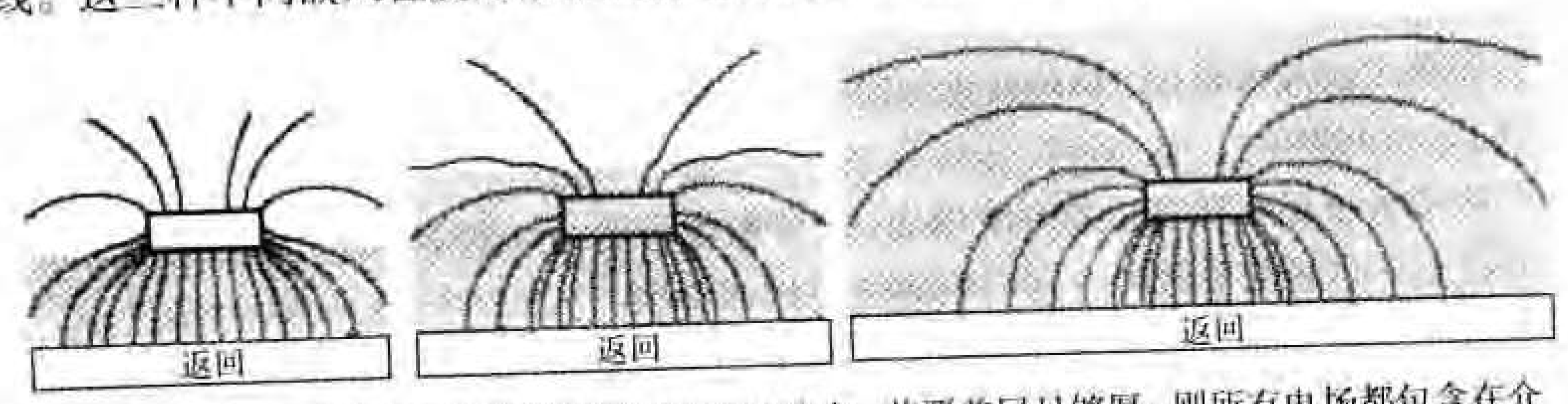


图5.12 不同覆盖厚度时微带线周围的电场分布。若覆盖层足够厚，则所有电场都包含在介质材料中，这时电容与厚度无关。此图由Mentor Graphics Hyperlynx仿真得出

那么要覆盖住全部电力线且使介电常数与有效介电常数一致，需要在微带线上加厚多少的材料呢？用二维场求解器能很容易地解决这个问题。图5.13给出了在微带线顶层增加相同介电常数（为4）叠层材料时的单位长度电容，其中介质厚度为5 mil，线宽10 mil。

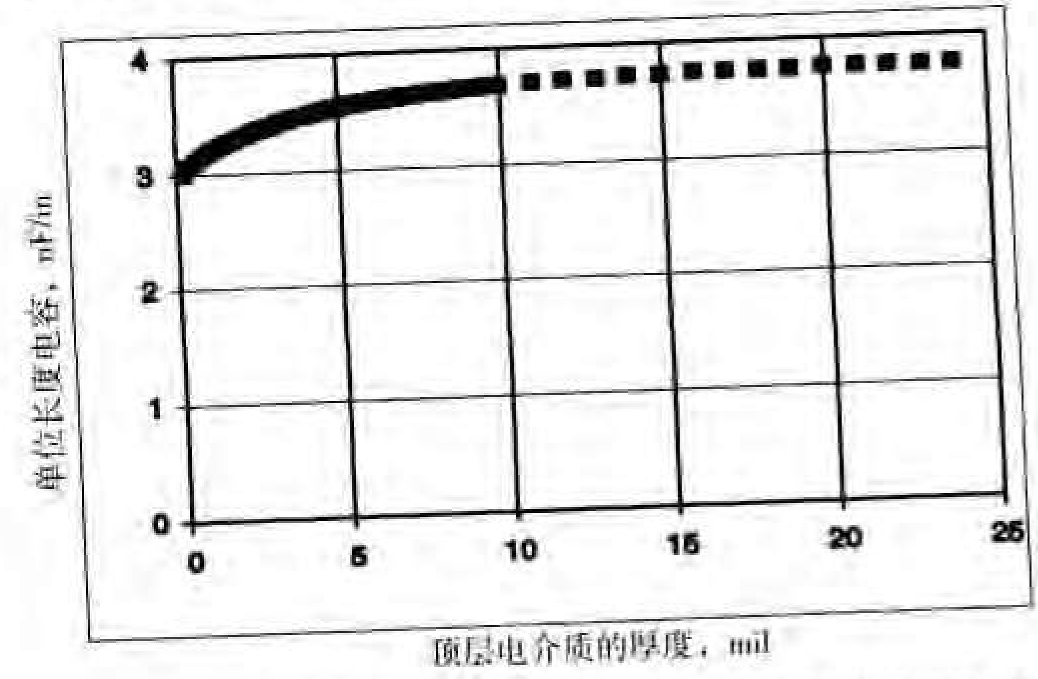


图5.13 顶部介质厚度增加时，微带线的单位长度电容的变化情况。此图由Ansoft二维场求解器计算得出

在这个例子中，完全覆盖住边缘场时，线条顶部的介质厚度约等于线宽。

5.9 小结

1. 电容是对两导体间存储电荷能力的度量。
2. 导体间的电压变化时，有电流流经电容器。电容量是对流动电流大小的度量。
3. 除了个别例外，与两导体间电容有关的所有公式都是近似。若要求精度优于10%~20%，就不应再使用近似。
4. 只有同轴型、双圆杆型和圆杆－平面型这3个结构的表达式是精确的。
5. 一般来说，导体间距越大，电容量越小；导体间重叠的面积越大，电容量也越大。
6. 介电常数是材料的一个固有特性，它反映了材料使电容量增加的程度。

7. 电路板上的电源平面和地平面间是有电容的，但是这个电容量非常小，可以忽略不计。两平面的作用是提供低电感回路，而不是提供去耦电容。
8. 若要求精度优于10%，就不应使用微带线和带状线的IPC近似计算式。
9. 一旦二维场求解器经过验证，就可以用来计算均匀传输线结构的单位长度电容，其精度优于1%。
10. 若微带线的厚度增加，单位长度电容也将增加，但增加幅度非常小。导体从非常薄变化到2盎司铜厚时，电容量仅增加了3%。
11. 若微带线顶层介质涂层的厚度增加，电容量也将增加。当涂层厚度与线宽相同时，涂层可以完全包裹住边缘场，这时电容量可增大20%。
12. 有效介电常数是个复合介电常数，它是材料不均匀分布和部分电力线通过不同材料时（如微带线中）的介电常数。用二维场求解器可以很容易地计算出有效介电常数。

第6章　电感的物理基础

电感对四类基本的信号完整性问题都有影响，所以它是一个非常重要的电气参数。在两条信号线间的耦合、电源分布系统以及EMI中，电感在信号沿均匀传输线传播的过程中产生突变，从而造成信号完整性问题。

很多场合都要设法减小电感，例如减小信号路径间的互感以减小开关噪声，减小电源分布系统的回路电感和减小返回平面的有效电感以减小EMI。而有些场合则要优化电感，如获取所需的特征阻抗时。

通过了解电感的基本类型和物理设计对电感值的影响，将领会如何优化物理设计以得到合格的信号完整性。

6.1　电感的含义

许多涉足信号完整性和互连线设计的人很少担心电感，而且工程师中能够正确使用术语的也很少。这主要是由在高中、大学物理以及电气工程中学习电感的方式引起的。

我们学过电感及它与线圈中磁力线的关系。它通常是指由导线绕成的线圈或螺线管的电感，其中有磁力线通过。或者说，电感是对表面磁场强度的数值积分。例如，一种常用的电感定义如下：

$$L = \frac{1}{I}\int_{\text{area}} \vec{B} \bullet \hat{n}da \tag{6.1}$$

尽管这些解释可能都是正确的，但在实际应用中对我们没有帮助。信号路径中的线圈在哪儿？对磁场强度的积分又是什么意思？我们很难把电感的概念运用到所面临的互连线中信号间的相互影响这类应用（例如封装、接插件或电路板）中去。

因此，需要以更基本的方式去认识电感，这种认识会激发我们的直觉并给出解决实际互连线问题的工具。认识电感的有效途径仅仅基于以下三个基本定律。

6.2　电感定律之一：电流周围将形成闭合磁力线圈

磁力线圈是一个新的基本实体，它环绕在所有电流的周围。对于一段直导线，如图6.1所示，若有1安培电流从中流过，那么在导线周围将产生同心的环形磁力线圈。自上而下，导线的周围都存在磁力线圈。想像沿着导线行走，并计算完全围绕住导线的磁力线圈的具体数目。距离电流表面越远，所遇到的磁力线圈数就越少。如果距离电流表面足够远，则磁力线圈数将非常少。

这些磁力线圈都有特定的方向，就好值是环绕在导线的周围。为了确定它们的方向，应使用所熟悉的右手法则来判定：右手拇指指向正电流的方向，弯曲的手指指向磁力线圈环绕的方向，如图6.2所示。

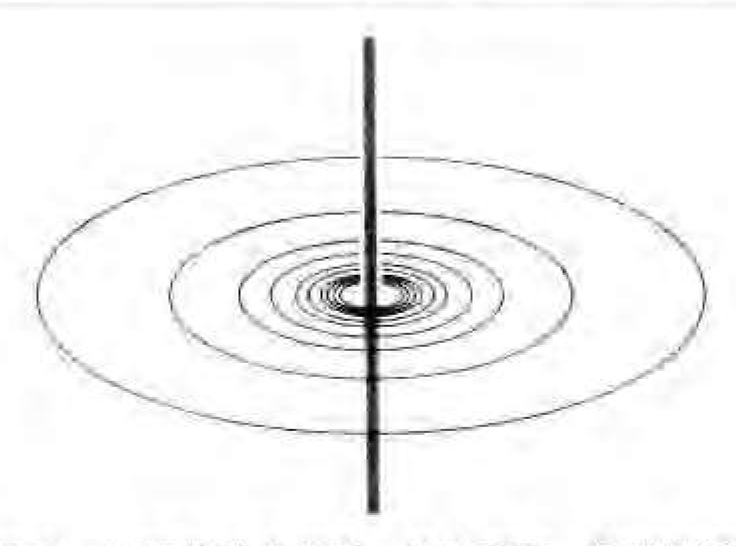


图 6.1 电流周围的一些环形磁力线圈。从上到下，导线周围都存在磁力线圈

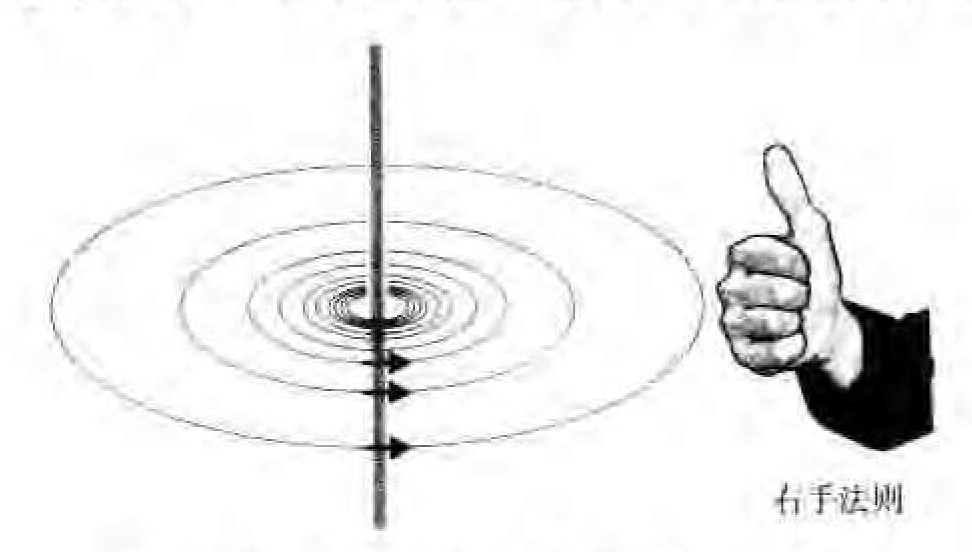


图 6.2 磁力线圈的环绕方向遵循右手法则

提示 磁力线圈总是完整的环形，而且总是包围着某一电流。电流周围一定存在磁力线圈。

我们以韦伯为单位来计算电流周围的磁力线匝数。电流周围的磁力线匝数受什么影响呢？有许多因素，首先是导体中电流的大小。如果把导体中的电流增大一倍，则电流周围磁力线圈的韦伯数也会增大一倍。

第二，导线的长度也会影响磁力线的匝数。导线越长，磁力线匝数就越多。

第三，导线的横截面。这是个二阶效应，并且更是难以捉摸。后面会知道，如果增大横截面，如将导线做得粗一点，则磁力线匝数就会略有减少。

第四，附近的其他电流的存在也会对第一个电流周围的磁力线匝数产生影响。以返回电流为例，返回电流靠得越近，它的一些磁力线圈就越会环绕在第一个电流的周围，从而改变磁力线圈的总匝数。另一方面，电介质不会对电流周围的磁力线匝数产生影响。

提示 磁场根本不会与介质材料相互影响。即使电流被特氟纶（Teflon）或钛酸钡所包围，其周围的磁力线匝数也是不变的。

第五，只有当导体中含有铁、镍或钴时，构成导线的金属才会影响磁力线的总匝数。这3种金属称为铁磁金属，这些金属和含有这些金属的合金的导磁率都大于1。如果有磁力线圈完全包含在这些金属中，则这些金属能使磁力线的匝数显著增加，但只是环绕在导体内部的磁力线圈受到影响。合金-42和科瓦合金（Kovar）均含铁、镍和钴，因此二者都是铁磁体。

由其他金属构成的导线，如铜、银、钛、铝、金、铅，甚至石墨，都绝对不会对磁力线匝数产生影响。

6.3　电感定律之二：电感是导体上流过单位安培电流时，导体周围磁力线圈的韦伯值

电感主要与流过单位安培电流时导体周围的磁力线匝数有关。

提示　电感是关于电流周围磁力线匝数的度量，而不是某一点磁场的绝对值。我们所关心的不是磁场强度，而是磁力线的匝数。

用来度量电感的单位是1 A电流周围的磁力线圈的韦伯值。1 Wb/A（韦伯/安培）称做H（亨利）。由于大多数互连线结构的电感都远小于1 H，所以通常以纳亨为单位，记为nH，它是对导体通过单位安培电流时其周围的磁力线圈韦伯数大小的度量。

$$L = \frac{N}{I} \tag{6.2}$$

其中：

L表示电感，单位为H

N表示导体周围的磁力线匝数，单位为Wb

I表示导体中的电流，单位为A

若通过导体的电流加倍，磁力线的匝数也会加倍，但二者比率不变，且该比率与通过导体的电流完全无关。所以，无论导体中的电流是0 A还是100 A，其电感都是一样的。同样，磁力线的匝数改变时，表示这一比率的电感依然不变。

提示　这说明电感实际上和导体的几何结构有关。影响电感的惟一因素就是导体的分布和在铁磁金属情况时导体的导磁率。

上述这个简单的定义适用于涉及电感的所有情况。造成复杂和困惑的就是，必须清楚正在计算其周围磁力线圈的电流回路是哪儿个和还存在哪些产生磁力线圈的电流。这就引出了许多关于电感的限定词。

为了分清形成磁力线圈的源头，引入了自感和互感这两个术语。为了知道磁力线圈所围绕的电流回路大小，引入了回路电感和局部电感这两个术语。如果讨论环绕在一段互连线周围的磁力线圈，而电流是在整个回路中流动，就使用总电感、净电感或有效电感这些术语。

仅仅采用电感这一术语时，含义是十分模糊的。所以，要养成使用限定词的良好习惯，明确指出所指电感的准确类型。造成概念困惑最常见的根源就是混淆了电感的不同类型。

6.4　自感和互感

如果宇宙中存在的电流就是单根导线中的电流，则计算导线周围的磁力线匝数就非常容易了。但如果附近还有其他电流，则它们的磁力线圈会环绕住许多不同的电流。如图6.3所示，有两条临近的导线a和b，如果只有a中有电流，其周围就会有磁力线圈和电感。

如果在第二根导线b中也有电流，则其周围也会有磁力线圈，从而也有一些电感。导线b产生的一些磁力线圈也将环绕住第一根导线a，因此对于a而言，环绕在它周围的磁力线圈一部分由其自身的电流产生，一部分由临近的第二根导线b的电流产生。

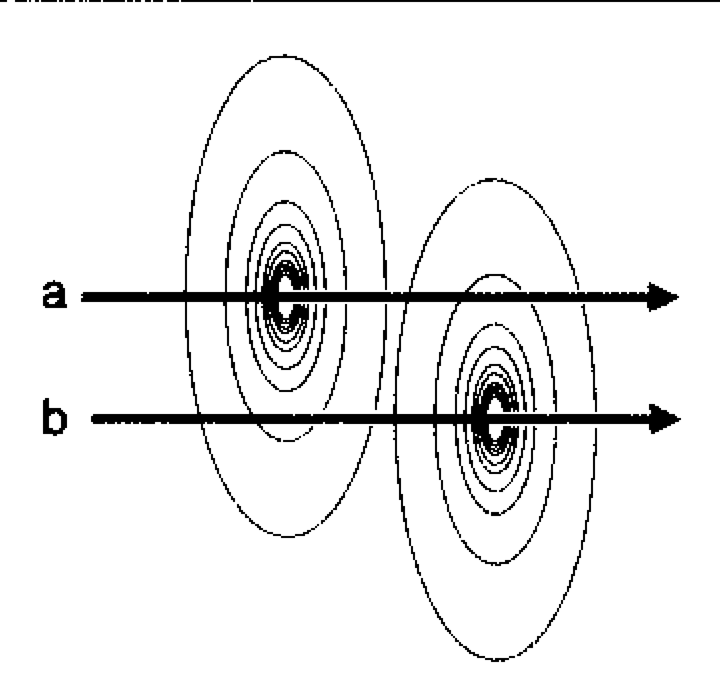


图 6.3 导体周围的磁力线圈既有源自于其自身电流的，也有源自于其他电流的

当计算一根导线周围的磁力线圈时，需要一种方法来弄清楚磁力线圈的源头。把一根导线自身电流产生的磁力线圈称为自磁力线圈（self-field line loop），把由临近电流产生的磁力线圈称为互磁力线圈（mutual-field line loop）。

提示 自磁力线圈是那些仅由导线自身电流所产生的磁力线圈，互磁力线圈则是由其他导线中的电流所产生的。

任何源自 b 而且环绕在 a 周围的磁力线圈一定同时环绕着 a 和 b。于是我们说，互磁力线“连接”着 a 和 b 两个导体。

如果有两根临近的导线，而且只在第二根中加电流，则在第一根导线周围也有一定数量的磁力线圈。我们可以想像，当把第二根导线向远离第一根导线的方向移动时，围绕两根导线的互磁力线圈匝数将会减少；反之，则会增加。

然而，第一根导线周围的磁力线圈总匝数会发生什么变化呢？假如两根导线中都有电流，则它们都有各自的自磁力线圈。如果电流方向相同，自磁力线圈的绕向也相同。这时候，第一根导线周围的磁力线圈总匝数就等于其自磁力线匝数加上互磁力线匝数。

但是，如果电流方向相反，第一根导线周围的自磁力线圈与互磁力线圈的绕向也会相反，这时应从自磁力线圈中减去互磁力线圈，从而第一根导线周围的磁力线总匝数也就相应减少了。

有了这些理解磁力线圈源头的新观点后，就可以更加深入地理解电感了。

提示 用自感来指在导线中流过单位安培电流时所产生的环绕在导线自身周围的磁力线匝数。通常我们所说的电感实际上是导线的自感。

导线的自感与其他导线的电流是无关的。如果把另一根通有电流的导线靠近第一根导线，则第一根导线周围的磁力线总匝数也会发生变化，但其自身电流所产生的磁力线匝数是不变的。

提示 同理，用互感来指一根导线中流过单位安培电流时产生的环绕在另一根导线周围的磁力线匝数。

把两根导线拉近时，它们的互感会增大，反之则会减小。互感是磁力线圈匝数与电流的比率，所以仍用单位纳亨来度量互感。

互感有两个不同寻常的微妙特性。首先，互感具有对称性，无论是在第一根导线中加单位安培电流来测量第二根导线周围的磁力线圈匝数，还是在第二根中加单位安培电流来测量第一根导线周围的磁力线圈匝数，其得到的结果都是相同的。从这方面来说，互感与涉及两根导线的磁力线圈有关，并且它与这两根导线的关系是同等的，即这个特性是两根导线同等共有的，所以有时把互感称为“两导线间的互感”。

不管每根导线的形状和大小怎样，上述这个结论都是正确的。两根导线的几何形状可以不同，如一根可以是窄条线，另一根则可以是宽平面。但无论是在宽导线还是在窄导线中加入单位安培电流，来计算另一根导线周围的磁力线圈匝数，其结果都是相同的。

第二个特性是任意两导体间的互感都小于二者中任意一个的自感。毕竟，互磁力线圈源自导线并且一定也是导线的自磁力线圈，而且两导线间的互感与哪根导线中存在源电流无关，所以互感一定小于两导线自感的最小值。

6.5　电感定律之三：当导体周围的磁力线圈匝数变化时，导体两端将产生感应电压

磁力线圈有一个特殊性质：不管什么原因，只要一段导线周围的磁力线总匝数发生变化，导线两端就会产生电压。如图 6.4 所示，该电压与磁力线总匝数变化的快慢有着直接关系：

$$V = \frac{\Delta N}{\Delta t} \tag{6.3}$$

其中：

V 表示导线两端的感应电压

ΔN 表示磁力线匝数的变化量

Δt 表示磁力线匝数变化的时间

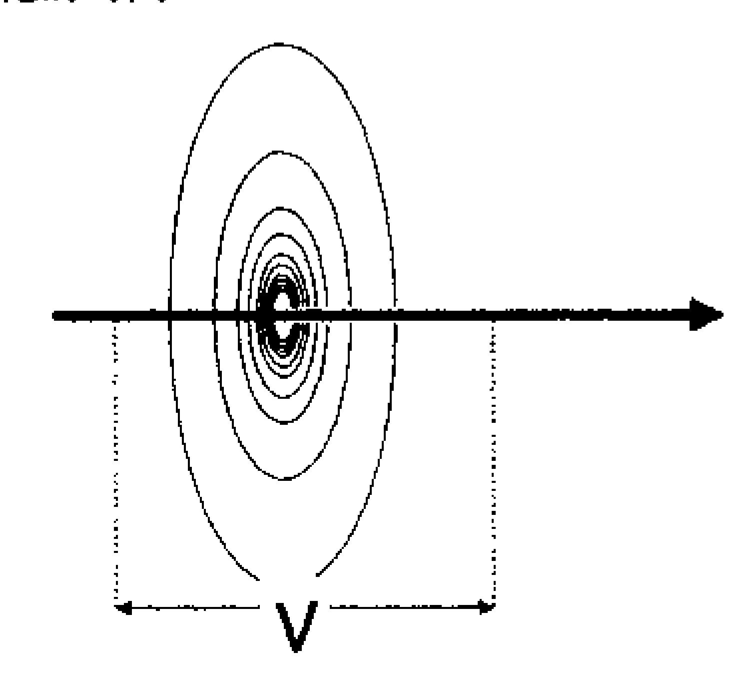


图 6.4　由于导线周围的磁力线匝数发生变化，导线两端将产生感应电压

如果导线中的电流发生变化，则其周围的自磁力线圈的匝数也将变化，从而在导线两端产生电压。导线周围的磁力线匝数为 $N = L \times I$，其中 L 是这段导线的自感。于是，导线两端所产生的电压（即感应电压）与导线的电感和导线中电流变化的快慢有关：

$$V = \frac{\Delta N}{\Delta t} = \frac{\Delta LI}{\Delta t} = L\frac{dI}{dt} \tag{6.4}$$

提示 感应电压正是电感在信号完整性中意义重大的根本原因。如果电流变化时没有产生感应电压，则信号就不会受到电感的影响。这个由电流变化产生的感应电压引起传输线效应、突变、串扰、开关噪声、轨道塌陷、地弹和大多数电磁干扰源（EMI）。

这种关系就是电感线圈的定义。如果通过电感线圈的电流发生变化，电感线圈两端就会产生电压，该电压的极性将使所产生的感应电流阻碍原电流的变化。这就是我们说“电感线圈阻止电流变化”的原因。

如果一根导线附近的另一根导线中有电流，则第二根导线的一些磁力线圈同时也会环绕住第一根导线。那么第二根导线中的电流变化时，在第一根导线周围的那部分磁力线圈匝数也将发生变化，这个变化的磁力线圈匝数使得第一根导线两端产生感应电压，如图6.5所示。互磁力线匝数的变化在第一根导线的两端产生了感应电压。通常另一根导线中的电流发生变化时，我们用串扰来描述在临近导线上产生的感应电压噪声。在这种情况下，产生的电压噪声为：

$$V_{noise} = M\frac{dI}{dt} \tag{6.5}$$

其中：

V_{noise} 表示第一根导线中的感应电压噪声

M 表示两根导线之间的互感

I 表示第二根导线中的电流

由于感应电压取决于电流变化的速度，所以有时候用开关噪声或ΔI噪声来描述电感线圈中电流切换时产生的噪声。

为了分析涉及多个导体的实际问题，要弄清楚引起磁力线匝数变化的所有电流。但其过程是相同的，只不过更加复杂。因为存在多根导线，所以每根导线都可能存在电流和磁力线圈。

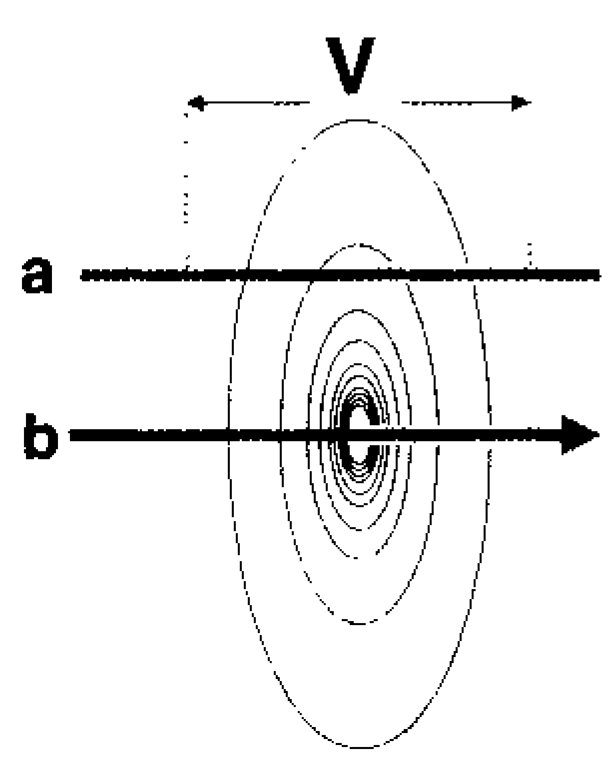


图6.5 其他导线中的电流发生变化使得另一导线上产生感应电压，这两个导线间的互磁力线圈发生变化的现象是串扰的一种形式

6.6 局部电感

当然，实际的电流只在完整的回路中流动。在前面的例子中，我们仅考虑了一段导线，其中惟一存在的电流是所画出的那段导线中的电流。在计算磁力线圈的时候，假设这段导线所属

的电流回路的剩余部分中不存在电流。由于仅考虑了电流回路的一部分，而且假设回路的其他部分不存在电流，所以把这种电感称为局部电感。

一定要记住，当谈到局部电感时，回路的其他部分是不存在的。并不是我们忽略它，而是以局部电感的观点来讲，除了所研究的那段导体之外，其他地方均没有电流。局部电感的概念是个数学构造，它是不可测量的，因为实际中并不存在孤立的电流。

提示　实际上，局部电流是不存在的，因为必须有电流回路。但局部电感的概念对于理解和计算电感的其他成分非常有用，尤其是当我们还不清楚回路的其他部分究竟是怎样的时候。

局部电感分为局部自感和局部互感，前面一直讨论的实际上是两段导线的局部电感。此外，当谈到封装中的引线、接插件引脚和表面布线的电感时，实际上指的是该互连线元件的局部自感。

局部自感和局部互感的准确定义，是以对某一段导线周围磁力线匝数的数值计算为依据的。从电流回路中提取一段长度固定的导线，让这段导线在空间上是孤立的，但仍保持其原来的几何结构。在它的两端放置与其相垂直的大块平板。现在想像着注入 1 A 电流，即电流在导线的一端突然出现，并沿导线传播，然后从另一端出来并且消失得无影无踪。

实际仅存的电流是在两端平面间的导线段中，由这一小段电流可以计算出两端平面间的磁力线匝数。当导线中的电流是 1 A 时，计算出的磁力线匝数就是该段导线的局部自感。显然，该段导线越长，它周围的磁力线匝数就越多，局部自感也就越大。

现在，在第一段导线附近放置另一段导线，并从这第二段导线的一端注入 1 A 电流，此电流从另一端消失。此时，这部分电流在整个空间内产生磁力线圈，其中一部分线圈在第一段导线两端的平面之间，并完全环绕住第一段导线。环绕在第一段导线周围的磁力线匝数就是两段导线之间的局部互感。

很明显，现实中如果没有电路的其他部分，就无法产生注入导线的电流。但在数学理论上，可以实现这一步。局部电感这一术语是个具有严格定义的量，只是无法进行测量而已。我们在后面将会知道，对于减小地弹而进行的优化设计和计算其他可度量的电感，局部电感是个非常重要的概念。

只有很少的某些形状的导体，其局部自感有很好的近似。如图6.6所示，对于直环形导线，值用简单的近似所计算的局部自感，其精度优于几个百分点，近似式如下：

$$L = 5d\left\{\ln\left(\frac{2d}{r}\right) - \frac{3}{4}\right\} \tag{6.6}$$

其中：

L 表示导线的局部自感，单位为 nH

r 表示导线的半径，单位为 in

d 表示导线的长度，单位为 in

例如，30 号线规导线的直径近似为 10 mil，若线长为 1 in，则其局部自感为：

$$L = 5 \times 1\left\{\ln\left(\frac{2 \times 1}{0.005}\right) - \frac{3}{4}\right\} = 26\ \text{nH} \tag{6.7}$$

提示 由此得出一个重要的经验法则：导线的局部自感大约是 25 nH/in 或 1 nH/mm，一定要记住，这仅是个经验法则，它虽易于使用，但是以牺牲精度为代价的

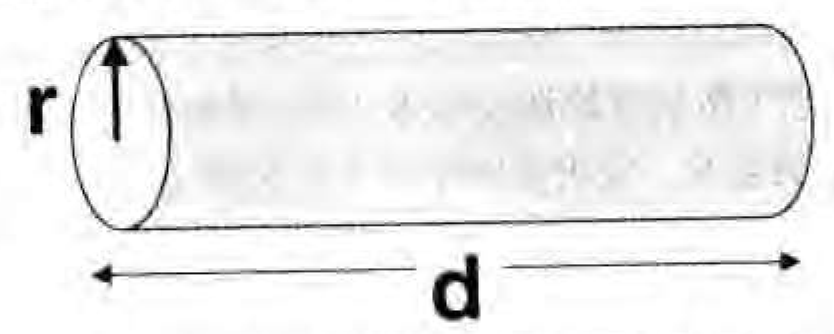


图 6.6 用于近似求解局部自感的圆杆几何结构

从式（6.6）中可以看出，当导体长度增加时，局部自感会增大。但是，局部自感的增长比线性增长要快。如果导线长度增加两倍，局部自感的增长将远大于两倍。这是因为当导线长度增加时，环绕在新增加的导线段周围的磁力线，除了源自这段电流外，还有源自其他段电流的一些磁力线圈。

导体截面积增大时，局部电感将减小。如果加大导线的半径，电流就会铺展开，从而使局部电感减小，因为若使电流分布扩展开，磁力线圈的匝数就减少了。

提示 这里指出了局部自感的一个重要特性：电流分布越分散，局部电感就越小。反之，电流分布密度越大，局部电感就越大

在上面那个圆杆的几何结构中，局部自感仅随半径的自然对数的变化而变化，与横截面的关系不是十分紧密。但其他类型的横截面，如宽平面，其局部自感对电流的分布比较敏感。

运用前面的经验法则，可以估算许多互连线的局部自感。例如，从电容到过孔的约 50 mil 长的表面布线，其局部自感约为 25 nH/in × 0.05 in = 1.2 nH；厚度为 64 mil 的电路板上的一个通孔，其局部自感约为 25 nH/in × 0.064 in = 1.6 nH。

近似计算和经验法则都能很好地估算圆杆的局部自感。图 6.7 给出了直径为 1 mil 的键合线的局部自感，对经验法则、近似方法和用3D场求解器三者的计算结果加以比较，可以看出，对于常见的约 100 mil 长的键合线，三者吻合得非常好。

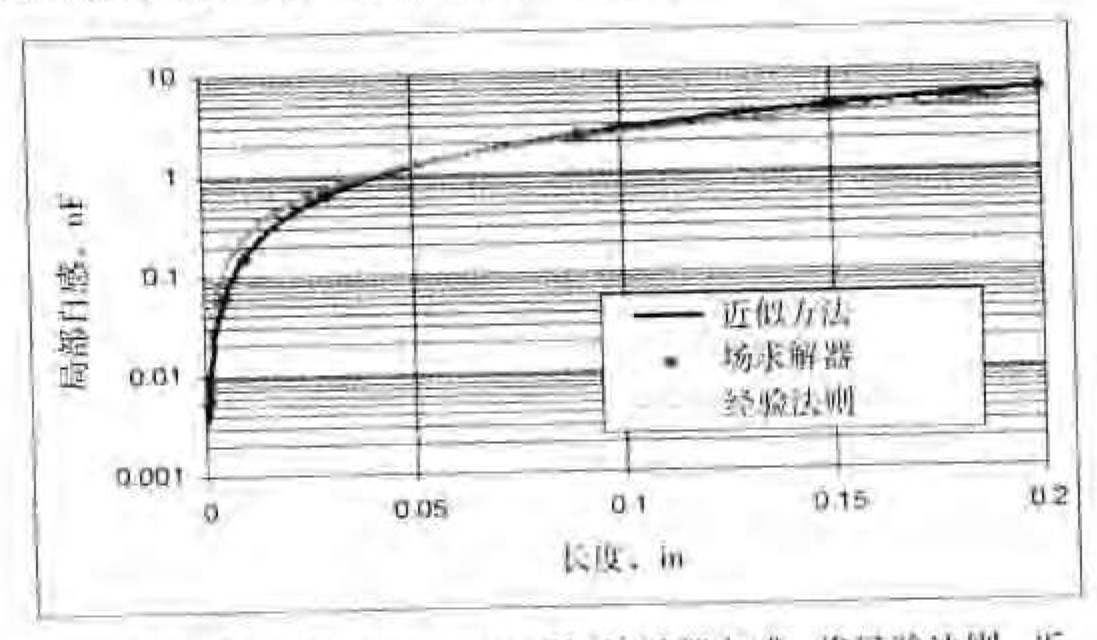


图 6.7 对于直径为 1 mil 的圆杆的局部自感，将经验法则、近似方法和Ansoft Q3D场求解器三者的计算结果相比较

两段导线间的局部互感，就是源自其中一个导线并完全环绕在另一根导线周围的磁力线匝数。一般来说，两导线间的局部互感仅是它们各自的局部自感的一小部分，而且一旦两导线距离拉大，互感就会迅速减小。两根直的圆导线间的局部互感可以近似为：

$$M = 5d\left\{\ln\left(\frac{2d}{s}\right) - 1 + \frac{s}{d} - \left(\frac{s}{2d}\right)^2\right\} \quad (6.8)$$

其中：

M 表示导线间的局部互感，单位为 nH

d 表示两圆杆的长度，单位为 in

s 表示两导线的中心距，单位为 in

上述这个繁琐公式考虑到了二阶效应，一般认为它是二阶模型。当 s<<d 时，即中心距相对于圆杆长度很小时，此公式可以进一步近似简化为：

$$M = 5d\left\{\ln\left(\frac{2d}{s}\right) - 1\right\} \quad (6.9)$$

这是个一阶模型，忽略了两圆杆之间远距离耦合的一些细节，是以牺牲精确度来简化计算的。图 6.8 所示为对于两圆杆间的互感，当圆杆间距离加大时，将一阶模型、二阶模型和 3D 场求解器三者的预测结果进行比较。可以看出，当局部互感大于局部自感的 20% 时（也就是说，互感相当大时），一阶近似非常好，这时，它是个很好的、实用的近似。

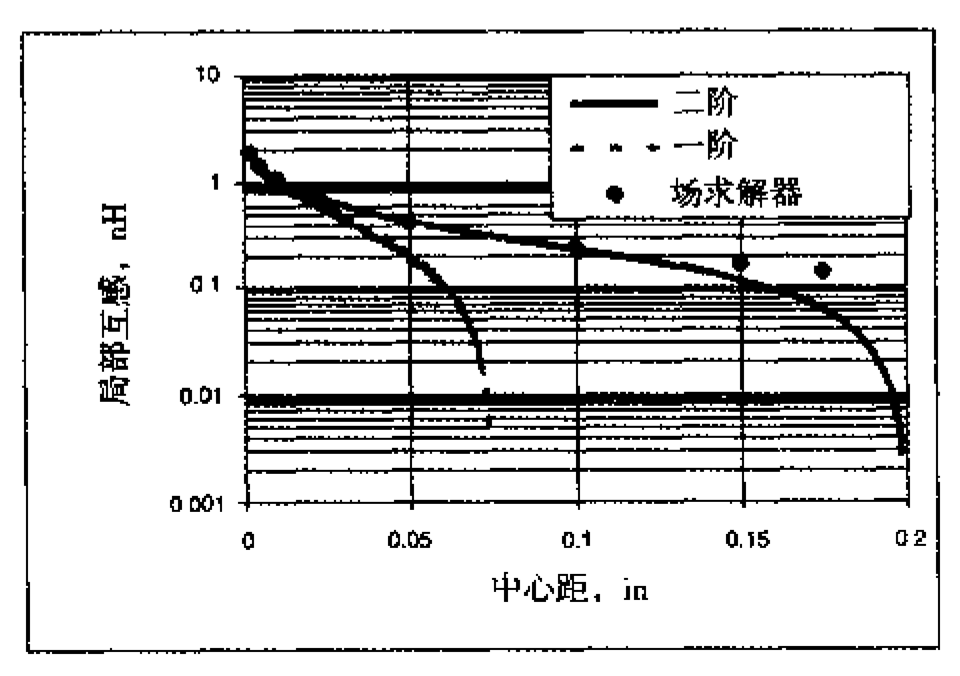


图 6.8　对于 0.1 in 长的两圆杆间的互感，当中心距增加时，把精确近似、简化近似和 Ansoft Q3D 场求解器得出的结果相比较

例如，对于 100 mil 长的两条键合线，其各自的局部自感均为 2.5 nH。如果它们之间的间距为 5 mil，则其局部互感为 1.3 nH。也就是说，如果其中一条键合线中有 1 A 的电流，则在另外一条键合线周围就会有 1.3 nH × 1 A = 1.3 nWb 的磁力线圈，这时局部互感大约是任一键合线的局部自感的 50%。

提示　根据局部互感和导线间距离的曲线，可以得出一个经验法则：当两个导线段间距远大于导线长度时，两段导线间的局部互感小于任一段导线局部自感的 10%，这时互感通常可以忽略不计。

这就是说，当一根互连线两段的间距大于其长度时，它们之间的耦合就不再重要了。例如，两个长 20 mil 的过孔，当它们的中心距大于 20 mil 时，这两个过孔之间就几乎没有耦合了。

局部电感实际上是电感概念的基础，其他所有类型的电感都可以用局部电感来描述。事实上，封装模型和接插件模型也是基于局部电感的。使用 3D 静态场求解器计算电感时，其输出结果就是运用局部电感这一术语。实际上，SPICE 模型使用的也是这一术语。

提示 如果需要优化电感设计来达到性能指标，那么就应该研究一组导线的物理设计如何影响其局部自感和互感，来优化导线的物理设计。

6.7 有效电感、总电感或净电感及地弹

如图6.9所示，导线的一部分是直的，然后又折回来，从而组成了完整的回路。对于所有互连线而言，包括信号路径、返回路径、电源路径和地返回路径，这种结构是很常见的，如封装中相邻的电源和地返回键合线。在IC封装中可能是相邻的信号引脚和返回引脚，而在电路板上可能是相邻的信号平面和返回平面。

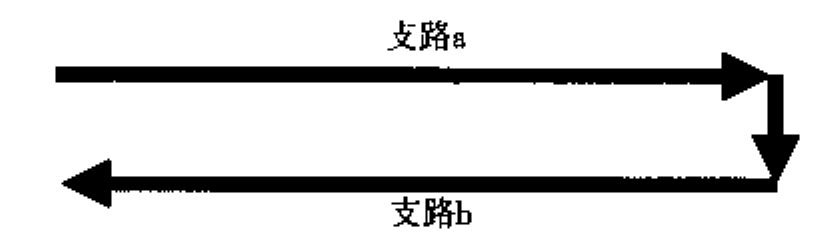


图6.9 有两个支路的电流回路：初始电流和返回电流

当回路中有电流通过时，每一个支路都会产生磁力线圈。如果回路的电流发生变化，这两段导线周围的磁力线圈匝数就会随着变化。同理，在每一个支路两端都会产生一个感应电压，此电压取决于支路周围磁力线匝数变化的快慢。

电流回路中每个支路产生的电压噪声取决于该支路周围磁力线总匝数变化的速度。一条支路周围的磁力线总匝数由该支路中电流所产生的磁力线圈（局部自磁力线圈）和其他支路所产生的磁力线圈（局部互磁力线圈）两部分组成。但是，由两支路所产生的磁力线圈方向相反，所以这段回路周围的磁力线总匝数就是自磁力线圈和互磁力线圈的差值。当电流为1安培时，为支路周围的磁力线总匝数赋予一个特殊名称：有数电感、总电感或净电感。

提示 回路中某一段的有效电感、总电感或净电感是指回路中的电流为单位安培时，环绕在该段周围的磁力线总匝数，其中包括整个回路中任何电流段产生的磁力线。

基于两个支路的局部电感，可以计算出每一条支路的有效电感。回路的两个支路a和b都有其相应的局部自感，分别记为L_a和L_b；这两条支路间存在互感，记为L_{ab}；回路中的电流记为I，且支路a和b中电流大小相等，但方向相反。

如果分清楚支路b周围的磁力线圈各自的源头，就会看出这些磁力线圈的一部分源自支路b的电流，即自磁力线圈。支路b周围，其自身电流的磁力线匝数为$N_b = I \times L_b$。同时，支路b周围的一些磁力线圈是源自于支路a电流的互磁力线圈，其匝数为$N_{ab} = I \times L_{ab}$。

那么，环绕在支路b周围的磁力线总匝数是多少呢？由于a和b中的电流方向相反，所以互磁力线的绕向与支路b的自磁力线方向也相反。于是计算支路b周围的磁力线总匝数时，应将这组磁力线圈相减，即为：

$$N_{total} = N_b - N_{ab} = (L_b - L_{ab}) \times I \tag{6.10}$$

$(L_b - L_{ab})$称为支路b的总电感、净电感或有数电感，它指的是回路中电流为单位安培时，支路b周围的磁力线总匝数，其中包括整个回路中所有电流段的影响。当相邻电流的方向相反时，如回路的两条支路中其中一条是另一条的返回电流路径时，有效电感决定了回路电流变化时支路两端的感应电压的大小。如果第二条支路是返回路径，则称在该返回路径上所产生的电压为地弹。

返回路径上的地弹电压降为：

$$V_{gb} = L_{total} \times \frac{dI}{dt} = (L_b - L_{ab}) \times \frac{dI}{dt} \tag{6.11}$$

其中：

V_{gb} 表示地弹电压

L_{total} 表示返回路径的总电感

I 表示回路中的电流

L_b 表示返回路径支路的局部自感

L_{ab} 表示返回路径和初始路径之间的局部互感

为了最小化返回路径上的电压降（也就是地弹电压），只有两条途径：第一，尽可能减小回路电流的变化。这意味着降低边沿变化率和限制同时共用返回路径的信号路径数目。这种方法很少使用，但是应该经常要求这样做。

第二，尽可能减小 L_{total}。减小返回路径总电感的要点有两方面：减小支路的局部自感和增大两支路间的局部互感。减小支路的局部自感意味着使返回路径尽可能短、尽可能宽（也就是使用平面）；而增大返回路径和初始路径间的互感则意味着使第一条支路与其返回路径尽可能地靠近。

提示　地弹是返回路径中两点之间的电压，它是由于回路中电流变化而产生的。地弹是产生开关噪声和 EMI 的主要原因，主要与返回路径的总电感有关。减小地弹电压噪声可以采用两种有效的方法：通过使用短且宽的互连线以减小返回路径的局部自感，以及将电流和其返回路径尽量靠近以增大两支路间的互感。

很明显，减小地弹不仅要在返回路径上采取措施，还要考虑初始电流路径的布局和由此而产生的与返回路径之间的局部互感。

运用前面的近似，通过拉近相邻键合线的间距，可以估计键合线的净电感能够减少的程度。假设一条键合线中流过的是电源电流，其他键合线中流过的是地返回电流，即它们中的电流大小相等，方向相反。在这种情况下，键合线间的局部互感就会使任意一条键合线的总电感减小：$L_{total} = L_a - L_{ab}$，并且键合线距离越近，导线间的互感就越大，任意一条键合线的总电感的减小程度也就越大。

如果每一条键合线的直径均为 1 mil，长度均为 100 mil，其局部自感大约为 2.5 nH。当改变键合线的中心间距 s 时，运用前面对局部自感和局部互感的近似，就可以估算出每条键合线的净电感或有效电感。

若中心距 s 大于 100 mil，局部互感尚不足局部自感的 10%，每条键合线的有效电感就近似等于其各自的局部自感。但是，当键合线之间的中心距为 5 mil 时，互感会明显增加，这时键合线的有效电感可以减小至 1.3 nH，降幅高于 50%。有效电感越小，键合线两端的电压降就越低，芯片中的地弹电压噪声也就越低。

如果其他电流离得很远，且键合线的有效电感为 2.5 nH，注入的电流为 100 mA，其切换时间是 1 ns（电流进入传输线的典型值），则键合线两端所产生的地弹电压 V_{gb} = 2.5 nH × 100 mA/1 ns = 250 mV，这个电压噪声是很大的。若缩小两条键合线的布线间距，当中心距为 5 mil 时，地弹电压噪声将减小为 V_{gb} = 1.3 nH × 100 mA/1 ns = 130 mV ——明显有所减小。

提示 *这说明了一个非常重要的设计规则：尽可能让返回电流靠近其他电流，这样可以减小有效电感。*

考虑另外一种情况，在两条导线中都是电源电流。这种情况在许多IC封装中十分常见，因为常常使用多根引出线来传输电源电流和地电流。那么如果一根电源导线附近还有另一根电源导线，则第一根电源导线的净电感会是怎样呢？

在这种情况下，电流方向相同，互磁力线圈和自磁力线圈方向相同，二者是相叠加的，所以其中一根电源导线的净电感为 $L_{total} = L_a + L_{ab}$。

如果要减小电源引线的净电感，通常就要尽可能地减小引线的局部自感。可在这种情况下，由临近引线产生的磁力线方向相同，所以还是要必须尽可能地减小引线之间的局部互感。换言之，导线的间距要尽可能大。

对于相邻两根键合线中的电流大小相等、方向相同和大小相等、方向相反这两种情况，可以估计出一根键合线的净电感或有效电感随线间距的变化，如图6.10所示。

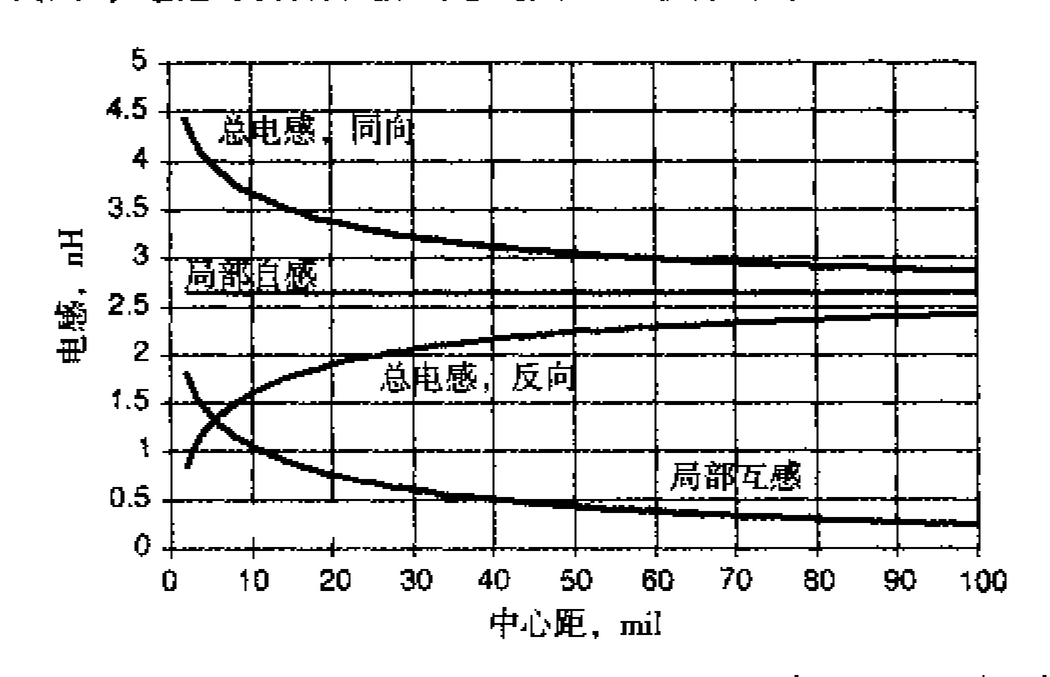


图6.10 相邻两根键合线（长度均为100 mil）中的电流大小相等、方向相同和大小相等、方向相反时，其中一根键合线的总电感，以及总电感、局部自感和局部互感随线间距的变化

只要两导线间距大于它们的长度，净电感就和各自的局部自感相差无几。当导线相互靠近时，如果其中的电流方向相反，净电感就会减小；若其中的电流方向相同，净电感就会增大。

提示 *在电源分布系统中，减小任意一条支路净电感的常用设计规则就是：尽可能让同向平行电流之间的间距大于它们的长度。*

这就是说，对于两条长度均为100 mil的相邻键合线，如果它们都是电源线，那么它们的中心距至少应为100 mil。相互靠近一点，它们之间的互感就会使每个支路的净电感增大，从而导致导线的开关噪声增大。这并不是说两条并联电流相互靠近时没有任何好处，只是这样做的综合效果要差一些。

在大功率芯片中实际常用的是双键合线，就是在一个裸芯片焊盘和对应的封装焊盘之间使用两条键合线。由于这两条键合线是并联的，两焊盘间的串联阻抗就降低了。并且与仅使用单根键合线相比，这两条键合线的等效电感也减小了。导线靠得越近，互感越大，有效电感也越大。但是由于这两条导线是并联的，等效电感只是其中任意一条导线总电感的一半。

双键合线情况时，线间应出现一个回路以使线间距足够大。例如，如果键合线长度为50 mil，间距为5 mil，则其中任意一条的局部自感约为1.25 nH，局部互感约为0.5 nH，它们的有效电感为1.75 nH。因键合线并联，等效电感为1/2 × 1.75 nH = 0.88 nH。与单条导线时

的 1.25 nH 相比，这一电感有所减小。所以，使用双键合线实际上减小了两焊盘之间的等效电感。

图6.11为另一示例，过孔是从去耦电容焊盘到下面的电源和地平面，假设与平面的距离为 20 mil，过孔直径为 10 mil。那么每个电容焊盘使用多个并联的过孔是否有好处呢?

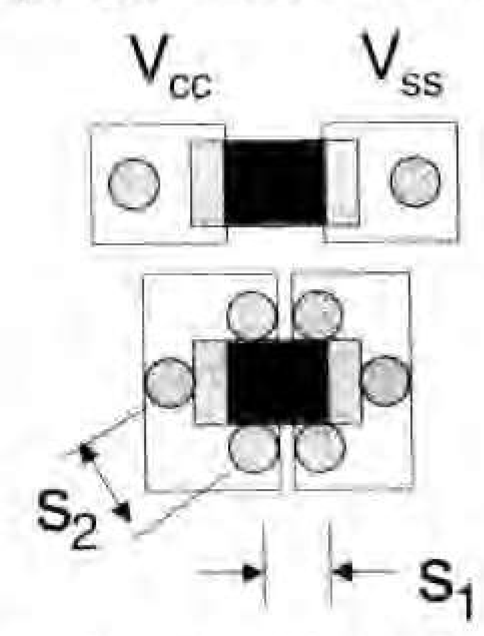


图 6.11　去耦电容的过孔在 V_{cc} 和 V_{ss} 平面间的布局。上图：常规布局；下图：为降低总电感和得到最低的电压塌陷噪声的优化布局，其中 s_2 > 过孔长度，s_1 < 过孔长度

如果过孔间的中心距 s 大于过孔的长度，即 s > 20 mil，则局部互感就非常小，而且相互之间几乎没有影响，每个过孔的净电感就等于各自的局部自感。但如果从焊盘到下面的平面间有多个过孔并联，等效电感就会减小，并与过孔数呈现相反的关系，即并联的过孔数目越多，等效电感就越小。在图 6.11 中，s_2 应至少约等于到平面的距离，20 mil。同理，若过孔的电流方向相反，则两过孔靠得越近，每个过孔的有效电感就越小。如果 s_1 小于 20 mil，则每个过孔的净电感将降低，从而焊盘到平面间的有效电感和轨道塌陷电压也会减小。

提示　此设计规则可以使每条支路的总电感最小：电流方向相同的过孔间的中心距应至少等于过孔的长度，电流方向相反的过孔间的中心距要小于过孔的长度。

6.8　回路自感和回路互感

电感的一般定义为导体流过单位安培电流时导体周围的磁力线匝数。然而在实际中，电流总是在完整的回路中流动，我们把该完整电流回路的总电感称为回路电感。回路电感事实上就是整个电流回路的自感，或者回路自感。

提示　电流回路的回路自感就是当回路中流过单位安培电流时，环绕在整个回路周围的磁力线总匝数，也就是回路中电流为 1 A 时，从回路的一端开始，沿着导线行走所遇到的回路中所有电流产生的磁力线总匝数，其中包括了导线中每一部分电流分布的影响。

下面来探讨一下前面例子中那个有两条直线支路的导线回路的回路自感，其中支路a就像是信号路径，而支路b就像是返回路径。当沿着支路a并累计其周围的磁力线匝数时，会发现既有a自身电流产生的磁力线圈（即支路a的局部自感），又有源自b的磁力线圈（即a、b间的局部互感）。

沿着支路a所累计到的磁力线总匝数就是支路a的总电感，而沿着b所累计到的就是支路b的总电感，将这两部分合起来就是整个回路的回路自感：

$$L_{loop} = L_a - L_{ab} + L_b - L_{ab} = L_a + L_b - 2L_{ab} \quad (6.12)$$

其中：

L_{loop} 表示双引线回路的回路自感

L_a 表示支路 a 的局部自感

L_b 表示支路 b 的局部自感

L_{ab} 表示支路 a 和 b 之间的局部互感

上述公式看起来很熟悉，因为它曾经在许多课本中都出现过。在该关系中，没有明确说明并经常引起困惑的地方就是，这里的自感和互感实际上就是局部自感和局部互感。

该关系式说明两支路靠得越近，回路电感就越小。其中，各支路的局部自感保持不变，而互感增大，互感增大又使得各支路周围的磁力线总匝数减小，从而回路自感也减小了。

提示 有时候说回路自感取决于"回路面积"，这种说法一般来讲是对的，但对于激发我们的直觉却没有多大的作用。前面也看到了，面积并不怎么重要，真正重要的是环绕在每条支路周围的磁力线总匝数。

例如，在图6.12中是两个形状不同但面积相等的电流回路，由于局部互感大不一样，所以两个回路的电感也不相同。一个回路中两个支路的电流方向相反时，两条支路靠得越近，局部互感就越大，回路电感也就越小。我们已经知道，减小回路自感的内在机理就是：使返回路径靠近信号路径，从而增大两路径间的局部互感。

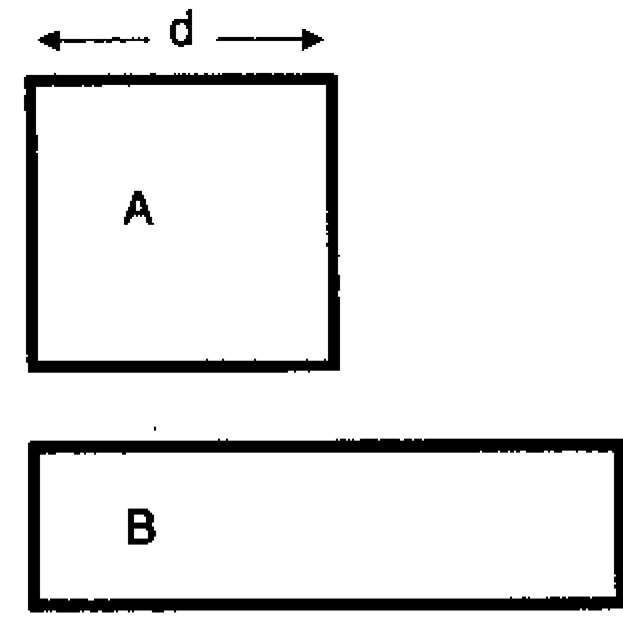


图6.12 两个面积相等但回路电感却大不相同的回路。使回路的返回支路靠近其他支路可以增大局部互感，从而使得回路电感减小

有三种重要的特殊几何结构：环形线圈、两条长的并行圆杆和两个宽平板。它们的回路电感有很好的近似公式。

对于环形线圈，其回路电感为：

$$L_{loop} = 32 \times R \times \ln\left(\frac{4R}{D}\right) \text{nH} \quad (6.13)$$

其中：

L_{loop} 表示回路电感，单位为 nH

R 表示线圈的半径，单位为 in

D 表示构成线圈的导线的直径，单位为 in

例如，30 号线规的导线大约 10 mil 粗，将其弯成一个直径为 1 in 的圆，其回路电感为：

$$L_{loop} = 32 \times 0.5 \times \ln\left(\frac{4 \times 0.5}{0.01}\right) nH = 85\ nH \tag{6.14}$$

提示　这又是一个很好的经验法则：将拇指和食指围成一个圆，用 30 号导线构成同等大小的回路，其回路电感大约为 85 nH。

实际上，回路电感并不与面积或圆周长成正比，而是与半径乘以半径的自然对数（即R × ln R）成正比。圆周长越大，每一段的局部自感就越大，但同时，回路中相反方向的电流也离得越远，从而它们之间的局部互感就越小。

但是，回路电感大致与半径成正比。若圆周长增大，回路电感就会增大。若线圈直径为1 in，其圆周长就等于 1 in × 3.14，即约为 3.14 in，则每英寸圆周长相应的回路电感就为 85 nH/3.14 in ≈ 25 nH/in。这又是个很好的经验法则：直径为 1 in 的线圈单位长度的回路电感约为 25 nH/in。

图6.13把上面近似的预测值与实际测量得到的细铜线的回路电感相比较，可以看出精度优于百分之几。

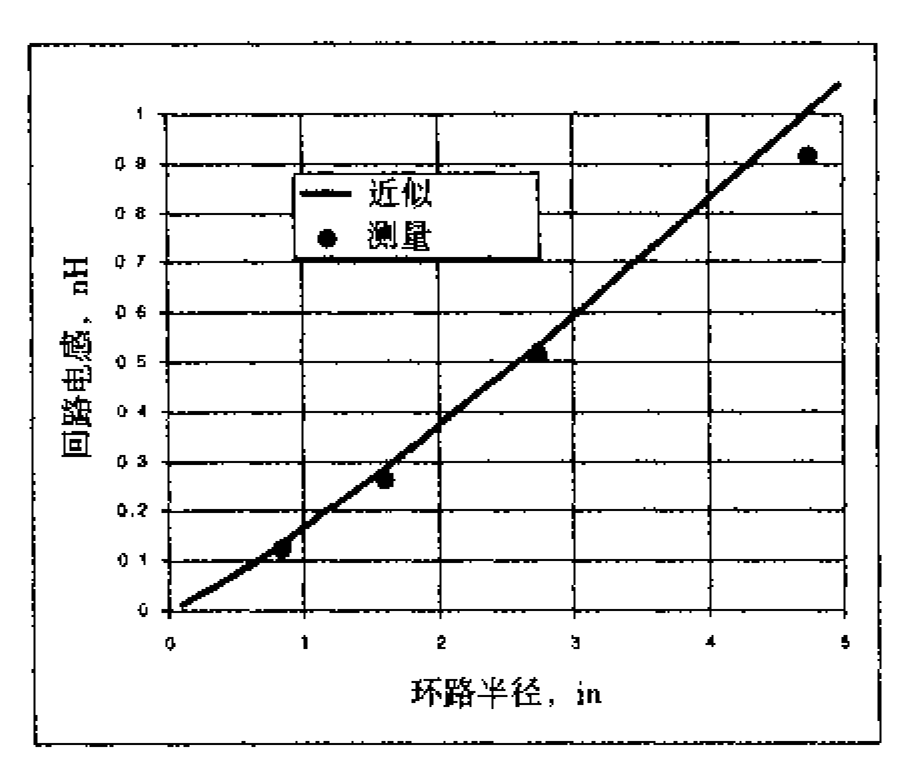


图 6.13　用25 mil粗的导线构成半径不同的回路时，将回路电感的测量值与近似的预测值相比较的曲线图。从中可以看出，近似误差仅有百分之几

对于两根相邻的直圆杆，若其中一条为另一条的返回电流路径，则回路电感为：

$$L_{loop} = 10 \times len \times \ln\left(\frac{s}{r}\right) nH \tag{6.15}$$

其中：

L_{loop} 表示回路电感，单位为 nH

len 表示圆杆长度，单位为 in

r 表示圆杆半径，单位为 mil

s 表示两圆杆的中心距，单位为 mil

例如，两根键合线，其直径为 1 mil，长度为 100 mil，中心距为 5 mil，则这两根导线的回路电感为：

$$L_{loop} = 10 \times 0.1 \times \ln\left(\frac{5}{0.5}\right) nH = 2.3\ nH \tag{6.16}$$

该关系式说明，两根平行导线的回路电感直接与导线的长度成正比，与中心距的自然对数成正比。中心距变大，回路电感也增大，但它是与间距的自然对数成比例，所以变化很缓慢。

长且直的并行圆杆的回路电感直接与圆杆长度成正比。例如，如果圆杆表示的是扁平电缆中的导线，其半径为 10 mil，中心距为 50 mil，则电流大小相等而方向相反的两根相邻导线的回路电感约为 16 nH/in。

在信号路径和返回路径的横截面是均匀的这种特殊情况下，回路电感与长度成比例，并称为互连线的单位长度回路电感。在扁平电缆中信号路径和返回路径的单位长度回路电感是恒定的，而且在上述例子中，扁平电缆导线的单位长度回路电感约为 16 nH/in，两根相邻键合线的单位长度回路电感为 2.3 nH/0.1 in，即 23 nH/in。

以后我们会发现，任何阻抗可控互连线的单位长度回路电感都是恒定的。

6.9 电源分布系统（PDS）和回路电感

谈到"信号完整性"时，通常会考虑到反射问题和信号网络间的串扰问题。尽管这些问题很重要，但它们所代表的只是信号完整性问题的一部分，另一些问题则与信号路径无关，而是归因于电源路径和地路径，我们称之为电源分布系统或PDS。由于平面的回路电感非常低，所以平面在分布电源电流和地返回电流中起着至关重要的作用。

PDS的用途就是为每个芯片的电源焊盘和地焊盘提供恒定的电压。根据器件工艺的不同，该电压一般为 5 V，3.3 V 或 2.4 V，所分配的大多数噪声预算的波动不超过 5%。稳压器不是可以保持电压稳定吗？如果波动太大的话，为什么不使用更好的稳压器呢？

"嘴唇和杯子频频接触"这句话可以很好地概括这个问题。在PDS中，稳压器和芯片之间有许多互连线，如过孔、平面、封装引线、键合线等。如果进入芯片的电流发生突变（如微码会引起或多或少的门切换，时钟边沿到来时大多数门也将切换），则当变化的电流经过PDS互连线的阻抗时就会引起电压降，称之为轨道下降或轨道塌陷。

要使电流变化时引起的这个电压降最小，PDS的阻抗就要小于一定的值。这时，尽管电流还在变化，但只要阻抗足够小，阻抗上的电压降就会保持在允许的5%的波动范围之内。

提示 要使PDS的阻抗比较小，有两条设计原则：低频时，添加低阻抗的去耦电容；高频时，使去耦电容和芯片焊盘间的回路电感最小，以保持它们之间的阻抗低于一定值。

到底需要多大的去耦电容呢？可以通过设想在时间段 Δt 内，去耦电容必须提供的电荷量来大数估算出来。

在这段时间内，电容器C上有 ΔQ 的电荷流经芯片释放掉，所以其两端的电压也会降低，压降为 ΔV：

$$\Delta V = \frac{\Delta Q}{C} \tag{6.17}$$

其中：

ΔV 表示电容器两端的电压变化量

ΔQ 表示电容器中减少的电荷量

C 表示电容器的电容量

那么流经芯片的电流I又为多少呢？显然，这主要取决于具体的芯片，并且随着芯片中运行的代码不同也会有很大的变化。而芯片功耗P与两端的电压V和流经的平均电流有关，因此可以大致估算出来。如果给出芯片的平均功耗，则流过芯片的平均电流为：

$$I = \frac{P}{V} \tag{6.18}$$

把芯片需要的去耦总量所能提供的去耦时间Δt联系起来，即为：

$$\frac{P}{V} = \frac{\Delta Q}{\Delta t} = \frac{C\Delta V}{\Delta t} \tag{6.19}$$

从该关系中，可以得出电容器的去耦时间：

$$\Delta t = 0.05 \times C \times \frac{V^2}{P} \tag{6.20}$$

或者，在给定时间内所需要的去耦电容量为：

$$C = \frac{1}{0.05} \times \frac{P}{V^2} \times \Delta t \tag{6.21}$$

其中：

Δt表示电荷从电容器逸出的时间，单位为s

0.05表示允许的5%压降

C表示去耦电容器的电容，单位为F

V表示轨道电压，单位为V

P表示芯片的功耗，单位为W

例如，若存储器芯片或小型ASIC的工作电压为3.3 V，允许的波动为5%，功耗的典型值为1 W，则所需要的去耦电容总量为：

$$C = \frac{1}{0.05} \times \frac{1}{3.3^2} \times \Delta t = 2 \times \Delta t \tag{6.21}$$

如果稳压器在10 μs之内对电压变化不能做出反应的话，就至少需要提供2 × 10 μs = 20 μF的去耦容量。一旦小于该值，电容两端的压降就会超过5%这一允许的波动。

为什么不使用单个20 μF的电容器来提供所需的去耦容量呢？理想电容器的阻抗随着频率的升高而减小。这就像是如果电容器有足够低的阻抗（例如在1 MHz范围内）使稳压器不能做出反应，那么在高频时其阻抗就会更低。

然而对于实际的电容器，其末端和芯片上焊盘相连的那段连线之间会有相应的回路电感。该回路电感与理想电容元件相串联，导致实际电容器的阻抗随频率的升高而增大。

图6.14是测量0603去耦电容器的阻抗的曲线图，这是从电容器一端到另一端的回路阻抗，其中经过元件下面的平面。低频时，就像理想电容器一样，阻抗随频率的增大而减小。但是，随着频率的升高，从某一点起，串联的回路电感开始在阻抗中起主导作用。该点的频率称为自谐振频率，此后阻抗开始增大。频率大于自谐振频率时，电容器的阻抗与电容量完全无关，只与相应的回路电感有关。所以在频率较高时，如果想减小去耦电容器的阻抗，就要减小与之相关的回路电感，而不是增大电容量。

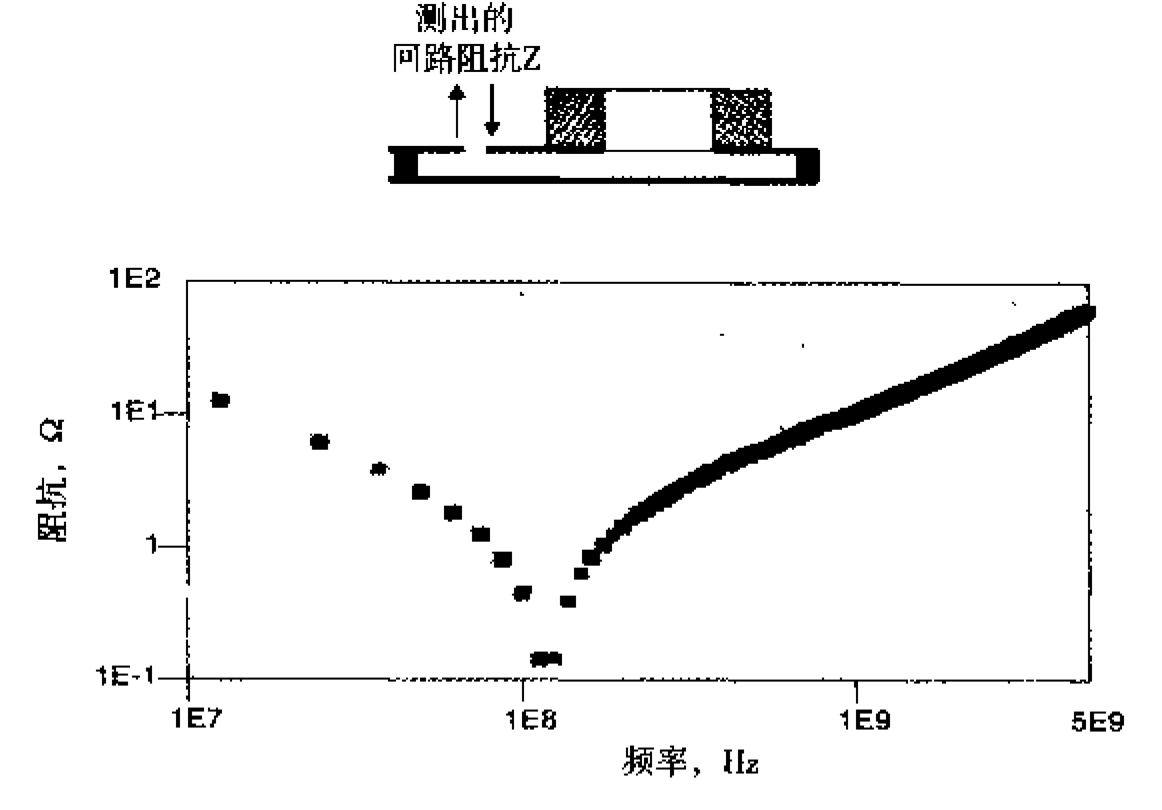


图6.14 测量的1 nF 0603去耦电容的回路阻抗，电流回路结构如图所示。本图使用GigaTest Labs探针台测量得到

提示 去耦电容器的一个重要特性就是：在频率较高时，阻抗仅与回路电感有关，此电感称为等效串联电感（ESL）。所以在高频时，减小去耦电容的阻抗实际上就是设法减小芯片焊盘和去耦电容之间这个完整路径的回路电感。

图6.15给出的是6个容量各异的0603去耦电容器的回路阻抗测量结果。从图中可以看出，低频时，电容量的数量级各不相同，所以它们的阻抗明显不同，但高频时，由于它们在测试板上的安装几何结构相同，故其阻抗也趋于一致。

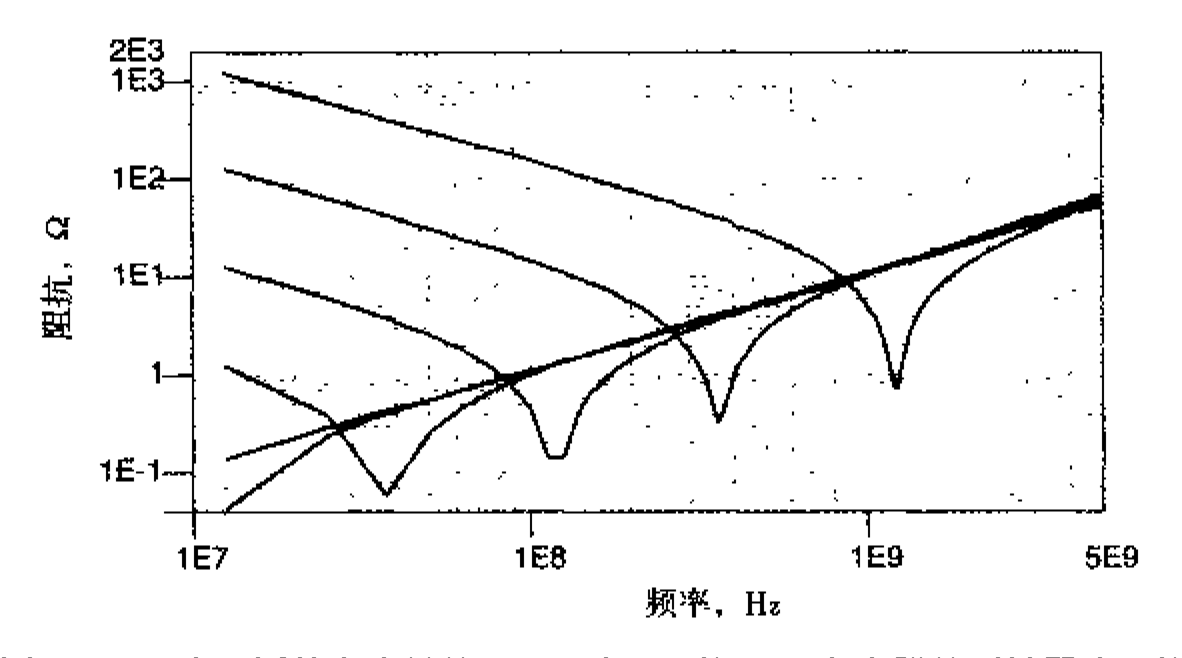


图6.15 6个不同的电容量从10 pF到1 μF的0603电容器的测量回路阻抗，其中安装结构都相同。本图使用GigaTest Labs探针台测量得到

提示 高频时，减小去耦电容的阻抗的惟一方法就是减小它的回路自感。

减小去耦电容的回路自感的最好方法有以下几种：

1. 使电源平面和地平面靠近电路板表面层以缩短过孔；
2. 使用尺寸较小的电容器；
3. 从电容器焊盘到过孔间的连线要尽量短；
4. 将多个电容器并联使用。

如果某一去耦电容器的回路电感是 2 nH，而允许的最大回路电感为 0.1 nH，那么至少要并联 20 个电容器才能使得到的等效回路电感满足要求。

从去耦电容器到芯片焊盘间的互连线，要设计成具有最小的回路电感。除了短表面焊盘和短过孔外，平面也是回路电感最小的一种互连线结构。

6.10 单位面积的回路电感

如图6.16所示，由两个平面构成的电流路径的回路电感，取决于每个平面路径的局部自感和它们之间的局部互感。平面越宽，电流分布就越分散，平面的局部自感也就越小，从而回路电感就越小。平面越长，局部自感就越大，从而回路电感也就越大。平面间距越小，平面间的互感就越大，从而回路电感就越小。

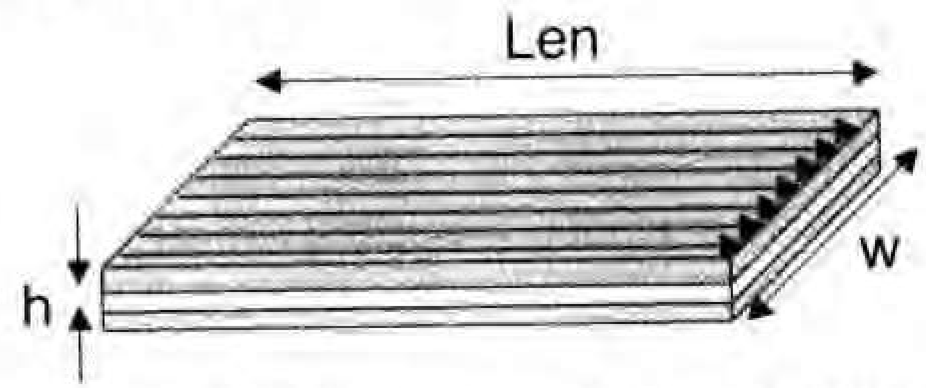


图 6.16 由两个平面构成电流回路的几何结构，其中两平面中的电流方向相反

对于宽导体，宽度 w 远大于它们的间距 h，即 w>>h，两平面间的回路电感可以很精确地近似为：

$$L_{loop} = \mu_0 h \frac{Len}{w} \tag{6.23}$$

其中：

L_{loop} 表示回路电感，单位为 nH

μ_0 表示自由空间的导磁率，为 32 nH/mil

h 表示平面间距，单位为 mil

Len 表示平面的长度，单位为 mil

w 表示平面的宽度，单位为 mil

此处我们假设电流从平面的一边均匀地流向另一边。

如果该区域为正方形，即长度等于宽度，或长和宽之比与边长无关，则其始终都等于 1。令人惊奇的是，一对平面上边长为 100 mil 的正方形区域和边长为 1 in 的正方形区域的回路电感是相同的，即两平面上任何正方形区域的回路电感都相同，这就是我们为什么使用平面的“单位面积的回路电感”这一术语的原因，这个术语也可以简称为电路板的“单位面积的电感”。这引起了更多迷惑，但是现在我们知道，它实际上是指平面上的正方形区域的其他边短接在一起的情况下，两边之间的回路电感。

例如，批量生产的最薄的电介质的厚度为 2 mil，则利用上面的近似可以估算出单位面积的回路电感约为 L_{loop} = 32 pH/mil × 2 mil = 64 pH。若介质厚度增加，单位面积的回路电感也会增加，如介质厚度为 5 mil 时，单位面积回路电感就为 L_{loop} = 32 pH/mil × 5 mil = 160 pH。

随着相邻平面间距的增加，局部互感将减小，即与磁力线总匝数相抵消的互磁力线减少了。电介质越厚，回路电感就越大，轨道塌陷噪声也会越大。这将使PDS噪声更严重，同时驱动外部电缆中共模电流的地弹噪声也会增加，并引起EMI问题。

提示 电源平面和地平面尽可能地靠近可以减小平面的回路电感，同时减小轨道塌陷和EMI。

6.11 平面和过孔接触孔的回路电感

在平面上，电流并不是从一边流向另一边的。从分离式去耦电容器到它的封装引线，它与平面的连接更像是点接触。前面的分析中，我们假定电流沿平面是均匀流动的。然而实际中电流并不是均匀的。如果电流由于点接触而受到约束的话，回路电感将会变大。

这里假定电流是均匀的惟一理由就是在这种情况下，可以得到简单的近似来估算回路电感。当在精度和代价之间权衡时，我们选择了付出较少的代价这条路。要更好地估算有实际接触点的平面间的回路电感，只能采用3D场求解器。

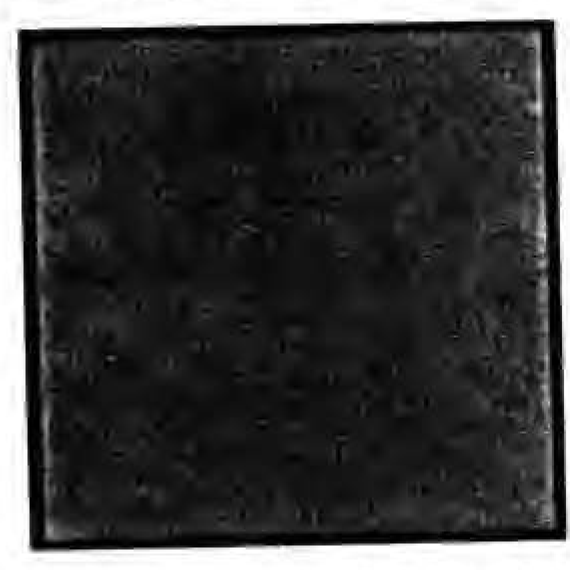
可以进一步研究几何结构如何影响两平面上接触点之间的回路电感。使用3D场求解器，可以计算出接触点间电流分布的具体情况，并据此得出回路电感。

对于场求解器，有利的一面就是精确度较高，而且还包含了许多实际中没有很好近似的那些效应；不利的一面就是从场求解器中不能总结出答案，它每次只能针对一个具体的问题。

例如，针对过孔接触孔对两平面间回路电感的影响，我们取两种特殊的情况加以比较。在这两种情况中，两平面都为1 in^2，平面间距为2 mil。在第一种情况下，上平面的一边作为电流的源端，与之临近的下平面的那一边为电流的漏端，两平面另外较远的边短接在一起。

第二种情况下，在两平面的一端使用两个小过孔接触孔分别作为电流的源端和漏端。在另一端，另一对相似的过孔接触孔将两平面短接在一起。其中接触孔直径为10 mil，中心间距为25 mil，与实际电路板上一对接触平面的过孔相似。

图6.17给出了每种情况下其中一个平面上的电流分布示意图。可以看出，当使用边沿接触时，和所预想的一样，电流是均匀分布的。平面之间的回路电感为62 pH，而用前面近似得到的结果为64 pH。所以对于这种特殊情况，近似效果非常好。



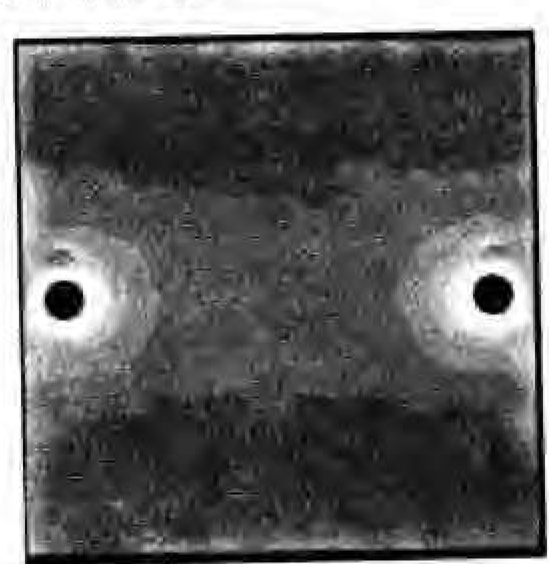


图6.17 边沿接触和一对点接触这两种情况下，顶平面上的电流分布。图中的颜色越淡，相应的电流密度就越高。可以看出，边沿接触时，电流分布是均匀的，而点接触时，电流集中在接触点附近。电流密度越高，其产生的电感就越大。此图由Ansoft Q3D场求解器仿真得出

如果像实际电路板情况那样，即电流从一个过孔接触孔开始，沿着电路板到达第二个过孔接触孔，通过这个过孔到达底平面，然后再沿着电路板达到最后的漏端过孔，则使用场求解器提取的回路电感为252 pH，约为边沿接触时的4倍。平面间的回路电感增大是由于过孔约束电流的流动形成了很高的电流密度。对电流流动的约束越大，局部自感和回路电感就越大。有时候把回路增加的电感称为扩散电感（spreading inductance）。如果接触面积增大，电流密度就会降低，扩散电感也会减小。

两平面间的回路电感，即使有扩散电感，也与平面间距成比例。平面间距减小，回路扩散电感也会减小。

提示　从该例子中，可以得出一个经验法则：接触孔直径为 10 mil 时，平面间的回路电感约是没有过孔时两相邻平面的单位面积回路电感的 4 倍。

对于连接有许多电容和封装引线的一对平面，若使用多对过孔来传导电流，则减小平面间距可以减小所有同时电流突变（dI/dt）产生的压降。

对于有去耦电容的平面，其回路电感是由扩散电感决定的，而不是取决于芯片和电容间的距离。当然，去耦电容的总回路电感与它到芯片的距离有点关系。然而，电容离芯片越近，被限制在芯片附近的高频功率和返回电流就越多，从而返回平面上的地弹电压就越低。

提示　让去耦电容靠近高功耗芯片，可以把返回平面上的高频电流限制在芯片附近，并使之远离电路板上的 I/O 端口区域，这样就能使驱动外部电缆中共模电流和引起 EMI 的地弹电压噪声减小。

6.12　具有出砂孔区域的平面回路电感

研究过孔出砂孔区域对平面间回路电感的影响时，场求解器是很有用的工具。过孔阵列时时都能见到，如 BGA 封装下、接插件下和电路板上的高密度区域。

通常，过孔的电源平面和地平面上会有出砂孔。那么出砂孔对平面的回路电感有什么影响呢？首先，推测电感会增大。那么，增加多少呢？我们经常听说封装下面的出砂孔阵列——钮扣状器件的散应，会使平面的回路电感显著增大，而要知道增加了多少，惟一的方法就是使用场求解器。

假设有两对相同的平面，边长均为 0.25 in，间距均为 2 mil，平面每端都有两个过孔接触孔，且其中一端的两个过孔短接在一起，另一端的两个过孔则是电流从一个过孔输入而从另一个过孔输出。一端模拟与去耦电容相连接，另一端模拟把封装的电源引线和地引线通过过孔连到板表面。

其中的一对平面，每个平面上都有出砂孔区域，而且内孔直径为 20 mil，同心圆外径为 25 mil，空闲面积约占 50%。对于两种不同的情况，均用静态 3D 场求解器计算电流分布和提取回路电感。图6.18给出了有出砂孔区域和没有出砂孔区域时的电流分布。出砂孔把电流限制在孔间的狭窄沟道里，所以我们推断回路电感会增大。

场求解器计算出没有出砂孔区域时的回路电感为192 pH，而有出砂孔区域时为243 pH，即有 50% 的空闲面积时，回路电感约增加了 25%。可以看出，出砂孔确实能够使回路电感增大，但并没有想像的那么显著。要减小出砂孔的影响，就要把出砂孔做得尽量小。当然，不管有没有出砂孔，缩小平面间距都可以减小回路电感。

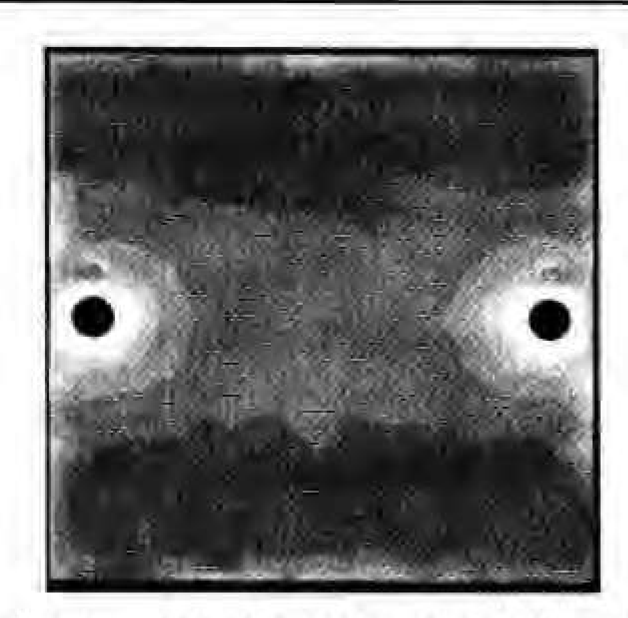
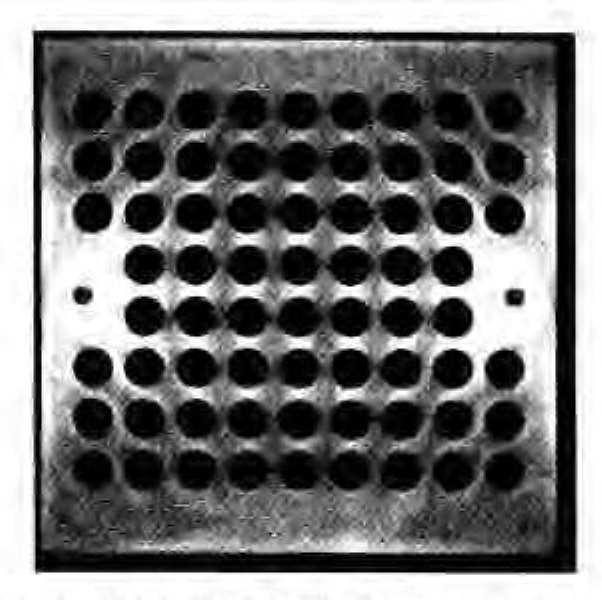



图 6.18 有出砂孔区域和没有出砂孔区域时，紧密靠近的平面上的电流分布。颜色越淡，相应的电流密度就越高。从图中看出，出砂孔使电流受到约束，从而引起回路电感增大。此图由 Ansoft Q3D 场求解器仿真得出

应该注意的是，尽管电源平面和地平面上的出砂孔区域会使回路电感增大，但它并不像我们想像的那么严重，回路电感的增加仍可以控制在 2 倍以内。

提示 要得到最低的回路电感，最优的电源和地互连应使用尽可能宽、尽可能靠近的平面。若在平面之间使用十分薄的介质，就可以减小去耦电容器与芯片焊盘之间的回路电感，这样会减小轨道塌陷和 EMI。

轨道塌陷和 EMI 这些问题，在上升时间减小时会变得更加严重。今后随着时钟频率越来越高，在电源分布系统中使用薄介质将会起到越来越重要的作用。

6.13 回路互感

若有两个相互独立的电流回路，那么它们之间就会产生互感。回路互感就是第一条回路中有 1 A 电流通过时，它所产生的环绕在第二条回路周围的磁力线匝数。

当第一条回路中的电流发生变化时，环绕在第二条回路周围的磁力线匝数就会改变而且还会产生噪声。该噪声值为：

$$V_{noise} = L_m \frac{dI}{dt} \tag{6.24}$$

其中：

V_{noise} 表示产生的电压噪声

L_m 表示两回路之间的回路互感

dI/dt 表示第二条回路电流的变化率

只有当动态回路中的电流变化时，在静态回路中才会产生噪声。而且这种情况仅在开关跳变时才发生。这就是该类噪声经常称为开关噪声、同时开关噪声（SSN）或 ΔI 噪声的原因。

提示 减小开关噪声的最重要方法就是减小信号路径和返回路径之间的互感，这可以通过拉大两回路的距离来实现。互感不大于两回路自感的最小值，所以减小回路互感的另一个方法就是减小两回路的自感。

回路互感还会引起两条均匀传输线之间的串扰，这将在后面的章节中进行讨论。

6.14　等效电感

到目前为止，只是讨论了单个两端互连线元件的局部电感和由这样的两个元件串联起来的回路电感。对于两个单独的互连线元件，它们有两种连接方法：串联和并联，如图6.19所示。

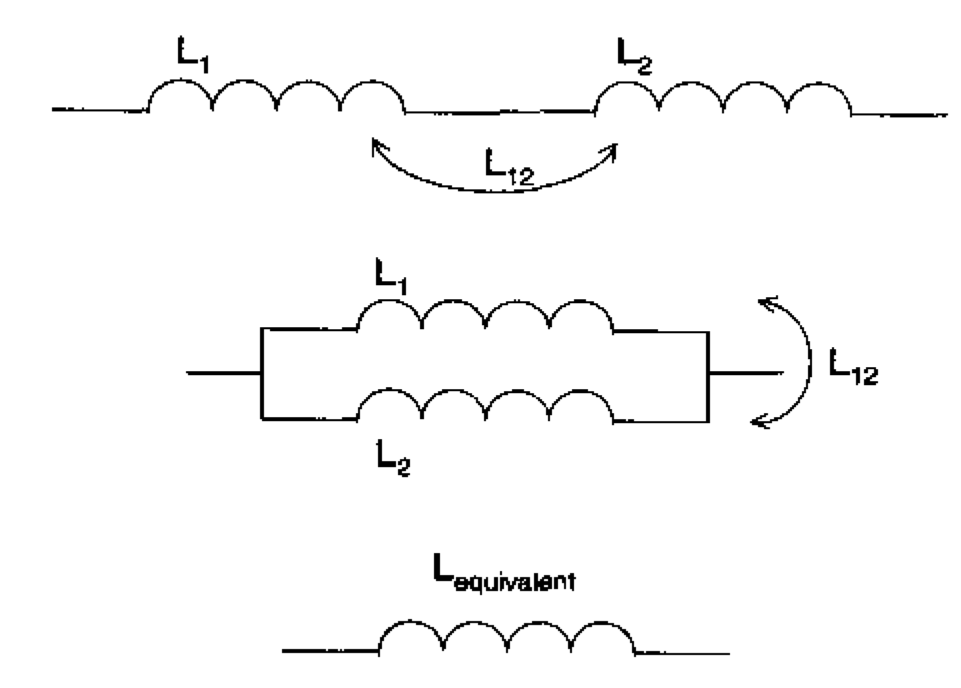


图6.19　局部电感串联（上）、并联（中）和等效电感（下）的电路拓扑结构

连接在一起的合成结果仍然是两端元件，它有等效电感。我们习惯地认为两个电感串联的有效电感就是各个局部自感的总和，但是互感对有效电感又有什么影响呢？

把两个互连线元件间的互感考虑进来使等效电感变得更加复杂了。对于两个局部电感的串联，其等效的局部自感为：

$$L_{series} = L_1 + L_2 + 2L_{12} \qquad (6.25)$$

元件并联连接时，等效的局部自感为：

$$L_{parallel} = \frac{L_1L_2 - L_{12}^2}{L_1 + L_2 - 2L_{12}} \qquad (6.26)$$

其中：

L_{series}表示串联的等效局部自感

$L_{parallel}$表示并联的等效局部自感

L_1表示其中一个元件的局部自感

L_2表示另一个元件的局部自感

L_{12}表示两元件间的局部互感

当局部互感为零且局部自感相同时，上述关系式简化为我们所熟悉的表达式，即串联的等效电感是其中一个局部自感的2倍，并联的等效电感是其中一个局部自感的1/2。

对于两导线的局部自感相同这种特殊情况，串联的等效电感就是其中一个自感与互感之和的2倍，而并联的等效电感为：

$$L_{parallel} = \frac{1}{2}(L + M) \qquad (6.27)$$

其中：

$L_{parallel}$表示并联的等效局部自感

L 表示单个元件的局部自感

M 表示两元件间的局部互感

从上式可以看出，如果要减小两条并联电流路径的等效电感，只要元件间的互感减小了，其等效电感就会减小。

6.15 电感分类

电感的不同分类都与流过单位安培电流时导体周围的磁力线匝数有着直接的关系。电感的重要性在于当电流变化时，导体上会产生感应电压。由此会产生各种各样的信号完整性问题，为了发现和解决这些问题，需要知道到底是哪种电感造成的、源自哪里，所以只说电感是很含糊的。

为了清楚起见，对于自感或互感，需要指明其电流源头。然后还要说明所指的是部分电路的局部电感，还是整个电路的回路电感。如果考虑的是某一段电路上的电压噪声，则由于该电压噪声取决于所有的磁力线匝数及其变化，所以需要并清楚在该段电路上的总电感。最后，如果是多个电感形成的组合（如封装中多条引线并联或多个过孔并联时），就要用到等效电感。

误用术语“电感”是引起迷惑的罪魁祸首，只要使用正确的限定词，就不会出错。电感的各种分类如下：

1. **电感：** 流过单位安培电流时，环绕在导体周围的磁力线匝数。
2. **自感：** 导体中流过单位安培电流时，环绕在该导体周围的磁力线匝数。
3. **互感：** 某一导体流过单位安培电流时，环绕在另一导体周围的磁力线匝数。
4. **回路电感：** 流过单位安培电流时，环绕在整个电流回路周围的磁力线总匝数。
5. **回路自感：** 完整电流回路流过单位安培电流时，环绕在该回路周围的磁力线总匝数。
6. **回路互感：** 某一完整电流回路流过单位安培电流时，环绕在另一回路周围的磁力线总匝数。
7. **局部电感：** 其他地方没有其他电流存在时，环绕在该段导线周围的磁力线匝数。
8. **局部自感：** 仅在一段导线中有单位安培电流而在其他地方无其他电流存在时，环绕在该段导线自身周围的磁力线匝数。
9. **局部互感：** 仅在某一段导线中有单位安培电流，而其他地方无其他电流存在时，环绕在另一段导线周围的磁力线匝数。
10. **有效电感、净电感或总电感：** 当整个回路流过单位安培电流时，环绕在一段导线周围的磁力线总匝数，其中包括源自回路每一部分电流的磁力线。
11. **等效电感：** 多个电感的串联或并联相对应的单个自感的大小，其中包括互感的影响。

6.16 电流分布和趋肤深度

在估算导线的阻抗和电感时，我们假设电流在导线中是均匀分布的。直流时，情况的确如此，但电流变化时，情况就不总是这样了。交流时，电流分布大不相同，这明显会影响导线的阻抗并多少会对电感产生一定的影响。

频域中，电流是正弦波，所以很容易就可以计算出电流的分布。在这种情况下，转到频域找答案要比停留在时域快一些。

直流时，实心棒中的电流是均匀分布的。在前面计算磁力线匝数时，我们把注意力放在导线外部的磁力线上。事实上，在导线内部也有一些磁力线，它们是自感的一部分，如图6.20所示。

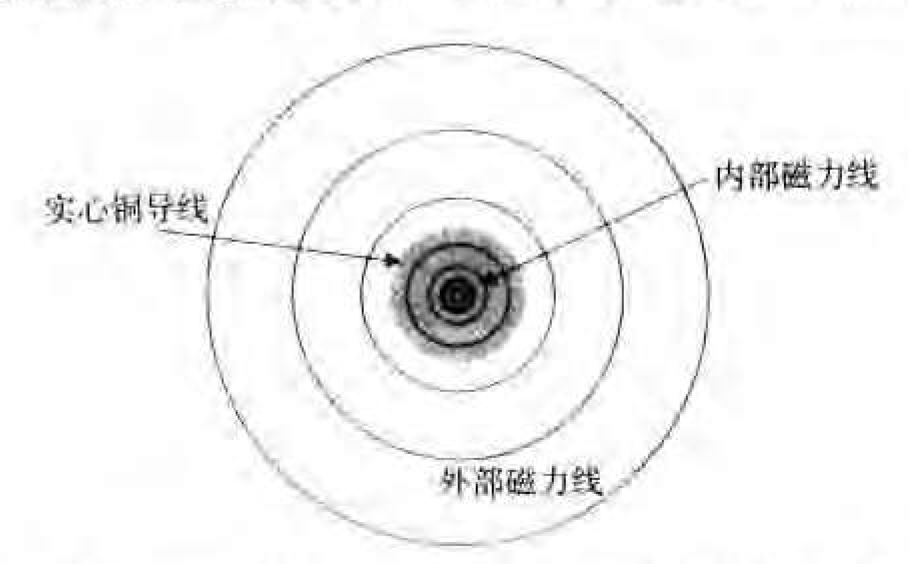


图6.20 均匀的实心铜棒中直流电流产生的磁力线圈，一部分在导线内部，一部分在导线外部

导线内部和导线外部的磁力线圈都能影响自感。为了区分它们，我们把自感分为内部自感和外部自感。内部磁力线圈是穿过导线金属并受金属影响的那部分。圆导线的外部磁力线圈从不会穿过导体，也不会随频率而变化。但是，由于导线内部的电流分布随着频率而变化，所以导线内部的磁力线圈也将发生变化。

图6.21所示为两个实心铜横截面积完全相等的电流圆柱体。若横截面积完全相等，且圆柱体的电流也相同，那么哪一个周围的磁力线比较多呢？



图6.21 两个电流圆柱体，电流流向纸的里面。两个柱体横截面积完全相等，有一个是实心铜棒

在外部的圆柱体外面，两者的磁力线匝数一样多，因为电流周围的磁力线仅与它们所环绕的电流有关。磁力线圈一定是环绕在电流周围，故而在外部圆柱体的里面没有源自其外圆柱电流的磁力线圈。

由于内部圆柱里的电流离圆柱壁有一段距离，所以里面有比较多的内部自磁力线圈。电流离圆杆中心越近，电流周围的磁力线就越多。

提示 导线中流过单位安培电流时，与分布在导线表面的电流相比，电流越靠近圆杆中心，其周围的磁力线就越多，自感也就越大。

现在转向交流。这时电流是正弦波，任何频率分量都是沿最低的阻抗路径传播的。电感最大的电流路径，其阻抗也最大；随着频率的升高，高电感路径的阻抗会变得更大。频率越高，电流越是倾向于选择电感较低的路径，即趋向于圆杆外表面的路径。

一般来说，频率越高，电流越是趋向于在导线的外表面上流动。在某一给定频率，从导线内部到外部表面有特定的电流分布。这取决于电阻与感性阻抗的相对大小。电流密度越大的地方，电阻性阻抗上的压降就越高。但是频率越高，内部路径和外部路径的感性阻抗的差别就越大。这种较量意味着电流分布随频率而变化，且在高频时，全部电流会趋向导体表面的那一薄层。

提示 随着圆杆中电流的正弦波频率升高，电流将重新分布，大部分电流选择阻抗最低的路径，即沿着导线外表面。在高频时，就好像是所有的电流在导线表面很薄的一层内流动。

对于实际导线中的电流分布，只有为数不多的一些几何结构有很好的近似，圆柱体是其中之一。对于每一个频率点，从导线表面到导线中心，电流分布以指数下降，如图 6.22 所示。

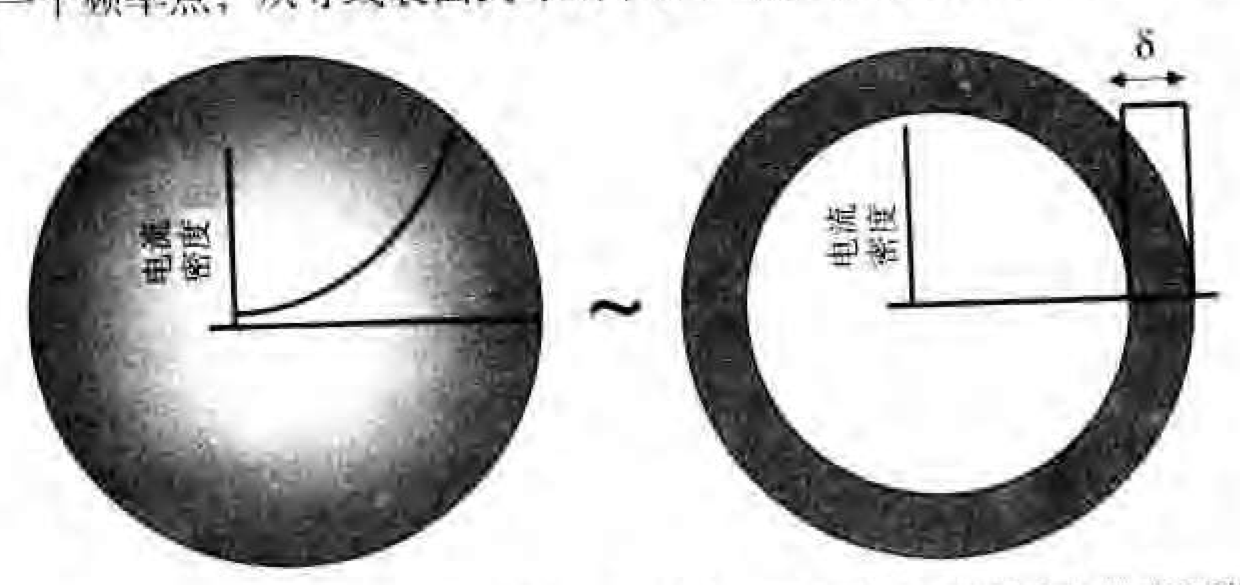


图 6.22 左图：某一频率下，实心铜棒中的电流分布，图中说明电流集中在外表面附近，颜色越重，电流密度越大。右图：用厚度等于趋肤深度的均匀分布来近似圆杆中的电流

在这种几何结构中，可以把电流层近似成有固定厚度δ的均匀分布，并称该等效厚度为趋肤深度，它取决于频率、金属的电导率和导磁率：

$$\delta = \sqrt{\frac{1}{\sigma\pi\mu_0\mu_r f}} \tag{6.28}$$

其中：

δ 表示趋肤深度，单位为 m（米）

σ 表示金属的电导率，单位为 S/m

μ_0 表示自由空间的导磁率，为 $4\pi \times 10^{-7}$ H/m

μ_r 表示导线的相对导磁率

f 表示正弦波频率，单位为 Hz

铜的电导率为 5.6×10^7 S/m，相对导磁率为 1，所以它的趋肤深度近似为：

$$\delta = 66\sqrt{\frac{1}{f}}\,\mu m \tag{6.29}$$

其中：

δ 表示趋肤深度，单位为 μm

f 表示正弦波频率，单位为 MHz

在1 MHz时，铜的趋肤深度为66 μm。图6.23画出了铜的趋肤深度，并与1盎司和1/2盎司铜的几何厚度相比较。从图中可以看出对于1盎司的铜线，当电流的正弦波频率高于10 MHz时，电流分布取决于趋肤深度而不是横截面的结构；低于10 MHz时，电流是均匀分布的，且与频率无关。当趋肤深度小于横截面几何厚度时，电流分布、阻抗和回路电感开始与频率有关。

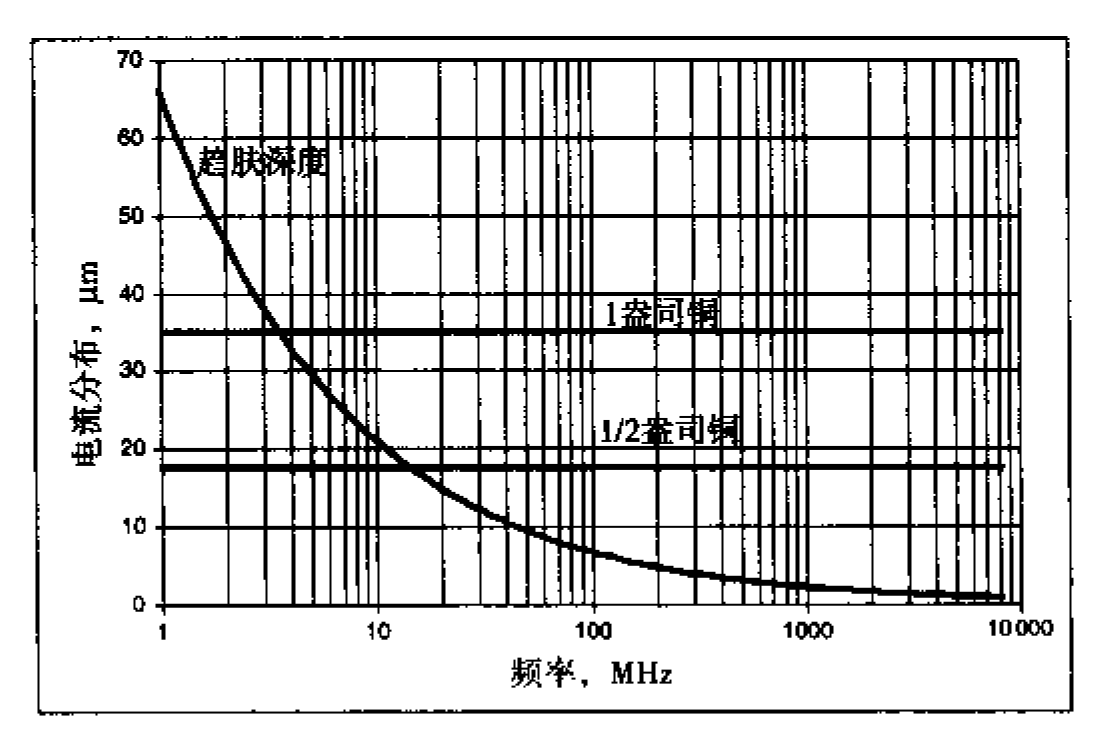


图6.23 趋肤深度受限制时铜线中的电流分布，与之相比较的是1盎司和1/2盎司铜的几何厚度

要记住这个很方便的经验法则：当电路板上的铜线为1盎司或者几何厚度为34 μm时，若频率等于或大于10 MHz，则导线中的电流不再占用布线的整个横截面，趋肤效应在电流分布中起主导作用。

在实际的互连线中，通常有信号路径和返回路径。由于电流回路沿信号路径和返回路径传播，回路自感影响着电流所感受到的阻抗。随着频率升高，回路自感的阻抗变大，导线中的电流将选择阻抗最小即回路自感最小的路径而重新分布。回路自感最小时电流是如何分布的呢?

有两种途径可以减小回路自感：使每根导线中的电流扩散开和使返回电流靠近信号电流。它减小了每根导线的局部自感，而增大了导线之间的局部互感。以下两种效应都会出现：电流在导线内会扩展开，两导线中的电流重新分布以便使两个电流相互靠得更近。两种力量的平衡决定了每根导线中的电流的确切分布。每根导线中的电流都会尽量扩展开以减小局部自感，而与此同时，两导线中的电流又会尽可能地靠近以增大局部互感。最终电流的分布只能用二维场求解器进行计算。图6.24中给出了一对直径为20 mil（即500 μm）的扁平线中的电流分布。频率较低时，趋肤深度大于导线横截面的几何厚度，此时电流均匀分布。100 kHz时，金属铜中趋肤深度为10 mil（即250 μm），这与横截面的几何厚度相当，所以电流开始重新分布。在1 MHz时，趋肤深度为2.5 mil（即66 μm），小于导线直径，趋肤深度在电流分布中起主导作用。随着频率的升高，电流会重新分布以尽可能减小回路阻抗。

图中还给出了1盎司铜微带线中的电流分布。在1 MHz时，电流几乎是均匀分布的。10 MHz时，电流开始重新分布。高于10 MHz时，趋肤深度远小于横截面的几何厚度并开始主导电流分布。两个例子中，在频率较高时电流都会重新分布以尽可能减小阻抗。

随着频率的升高，导线的体电阻率不变。就铜而言，直到频率大于100 GHz时，电阻率才开始发生变化。然而，如果由于趋肤效应的影响而使电流流过的横截面很薄，则互连线的电阻就会增大。

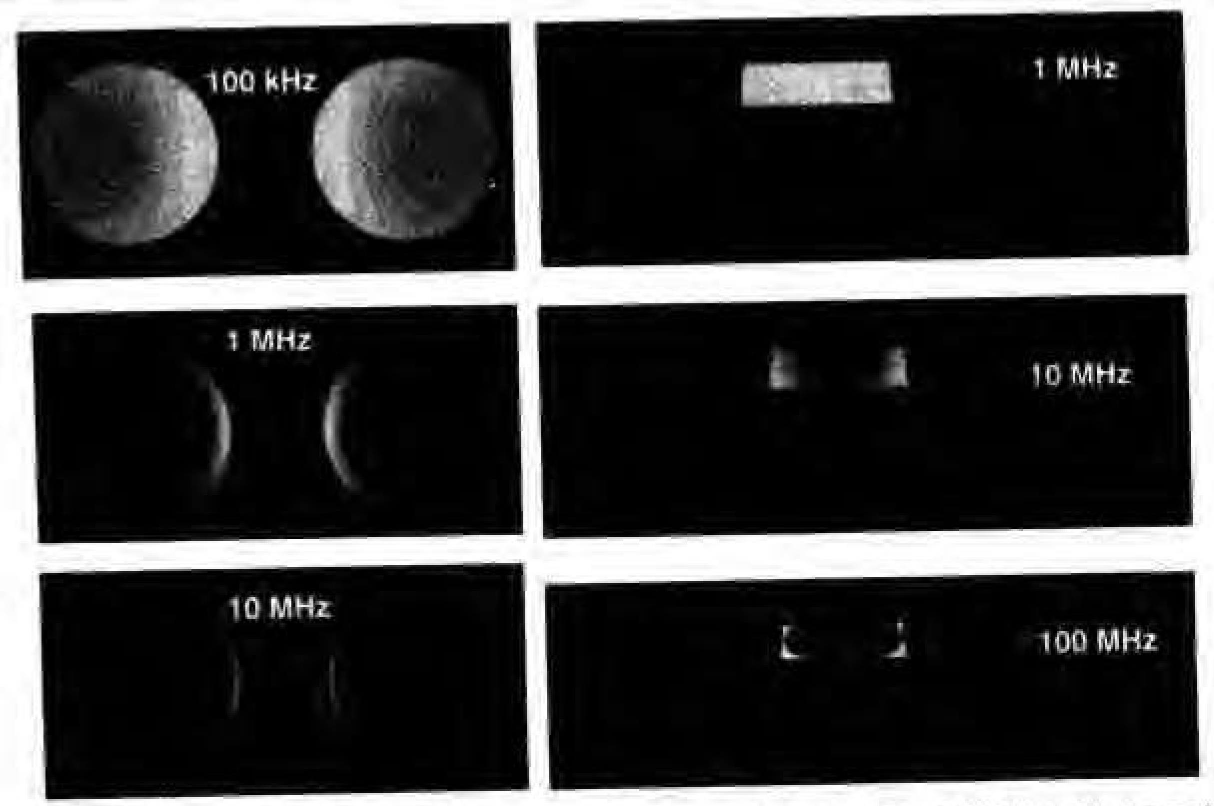


图6.24 3种不同频率时，直径为20 mil的导线和1盎司铜微带线中的电流分布。其中颜色越淡，电流密度越高。此图使用Ansoft 2D场求解器仿真得出

提示 在趋肤效应的制约下，即当趋肤深度小于横截面的几何厚度时，随着频率的升高，电流流过的横截面积会随频率的平方根成比例减小，从而使导线的单位长度阻抗随频率的平方根成比例增大。

以简单的微带线为例，若微带线由1盎司的铜构成，宽5 mil，则在直流时，信号路径的单位长度电阻为：

$$R_{DC} = \frac{\rho}{wt} \tag{6.30}$$

其中：

R_{DC}表示直流时单位长度电阻

ρ表示铜的体电阻率

w表示信号线的宽度

t表示信号线的几何厚度

在频率约高于10 MHz时，电流受趋肤深度的限制，而电阻也与频率有关。此时电流实际所用的导线厚度约等于趋肤深度，所以高频时的电阻实际上就是：

$$R_{HF} = \frac{\rho}{w\delta} \tag{6.31}$$

其中：

R_{HF}表示高频时的单位长度电阻

ρ表示铜的体电阻率

w表示信号线的宽度

δ表示高频时铜的趋肤深度

高频时的电阻与直流时的电阻之比约为$R_{HF}/R_{DC} = t/\delta$。1 GHz时，铜的趋肤深度为2 μm，则1盎司铜的高频电阻要高于低频电阻30 μm/2 μm = 15倍。随着频率的升高，信号线的串联电阻只会变得更大。

图6.25给出了粗细为25 mil的22号线规铜线圈的实际测量电阻，其中线圈直径约为1 in。10 kHz时，趋肤深度和导线的几何粗细相当。频率更高时，电阻大致随频率的平方根而增大。

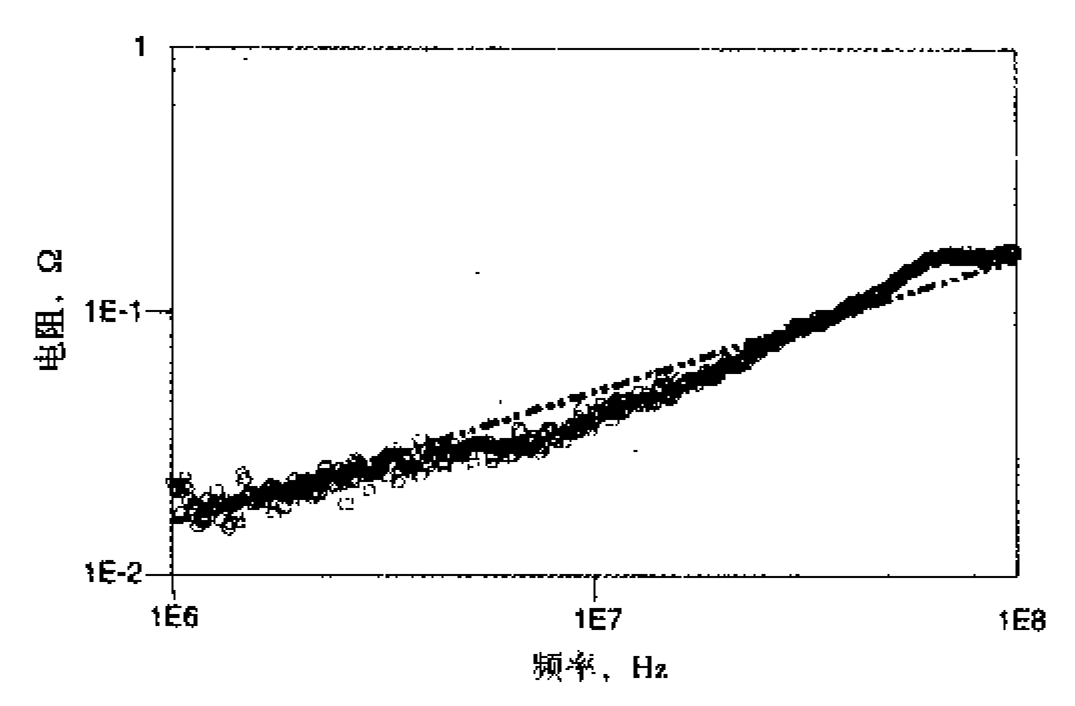


图6.25　直径为1 in的22号线规铜线圈的测量电阻，可以看出电阻随着频率的平方根而增加。图中的圆圈表示实测的电阻，线条表示电阻随频率的平方根而增加

电流分布与频率相关，所以电阻也和频率有关。此外，电感也会改变。促使电流重新分布就是要减小回路自感，所以回路自感随频率的升高而减小。

直流时，导线的自感由外部自感和内部自感两部分组成。当导线中的电流重新分布时，外部自感不变，但随着越来越多的电流向导线表面移动，内部自感也越来越小。当频率远高于趋肤深度和几何厚薄相当的这个频率时，导线内部的电流会非常小，而内部自感此时几乎为零。

我们推测导线的自感与频率有关。低频时，导线的自感等于$L_{internal} + L_{external}$，高频时，就等于$L_{external}$。这种转变应当从趋肤深度与几何厚薄相当时的这个频率开始，并且在高于趋肤深度仅占几何厚度很小一部分时的频率的时候趋于稳定。

电流的精确分布以及内部自感和外部自感的影响是很难分析估计的，尤其是对于矩形横截面结构。然而，使用二维场求解器就可以很容易地把这些计算出来。

图6.26是微带线中电流重新分布时单位长度的回路自感。从图中可以看出，由于趋肤效应的影响，低频时的回路自感比高频时要大，差额正是内部回路自感。频率约高于100 MHz时，电流在很薄的一层中传输，而且随着频率的进一步升高，电感保持不变。

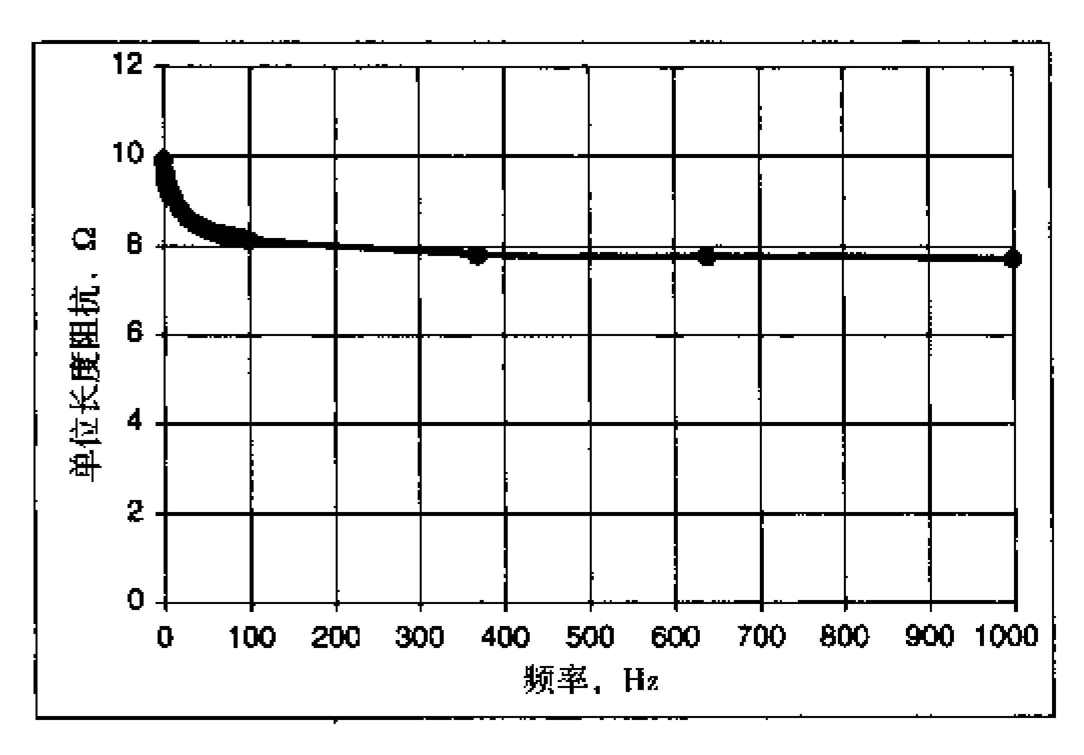


图6.26　由于趋肤效应的影响，电流重新分布时微带线的回路自感。此图由Ansoft 2D场求解器计算得出

提示 提到微带线的回路自感，通常是指所有电流都在外表面的高频界限情况。如果电流靠近导线表面而且与导线几何厚度无关，这一频率就是趋肤效应的界限，“高频”是指高于这一界限的频率。

6.17 高导磁率材料

导线的导磁率是影响趋肤深度的重要一项，它仅适用于一些特殊的金属。导磁率是指导线与磁力线之间的相互作用，而大多数金属的导磁率为1，所以它们与磁力线之间没有相互作用。

但是，当导磁率大于1时，金属内的磁力线匝数比导磁率为1时要多。只有3种金属的导磁率大于1，它们就是铁磁体金属：铁、镍和钴。大多数包含这些金属的合金的导磁率都远大于1。我们最熟悉的铁氧体中常含有铁和钴，其导磁率大于1000。合金-42和科瓦合金（Kovar）这两种铁磁体是重要的互连金属，其导磁率为100~500。用这些高导磁率金属制成的互连线，它们的电阻和电感值与频率有很大的关系。

对于铁磁体导线而言，直流时它的自感与内部自感和外部自感两部分有关。外部自感所对应的磁力线圈穿过的是导磁率为1的空气，所以铁磁体导线的外部自感保持不变，就好像铜导线时的情况一样。总之，单位安培电流时的外部磁力线是相同的。

但铁磁体导线的内部磁力线圈穿过的是高导磁率材料，这时的磁力线会增多。低频时，铁磁体导线的电感很大，但当频率约高于1 MHz时，所有磁力线只剩下外部磁力线，其回路自感和相同尺寸的铜导线的回路自感相当。

提示 超过超肤深度极限时，回路电感几乎仅由外部磁力线构成，所以铁磁体导线中的高频信号感受到的回路电感与铜导线的回路电感大致相当。

由于高导磁率，铁磁体导线的趋肤深度比铜导线的趋肤深度要小得多。例如，镍的体电导率约为 1.4×10^7 S/m，导磁率约为100，所以趋肤深度近似为：

$$\delta = 13\sqrt{\frac{1}{f}}\ \mu m \tag{6.32}$$

在相同频率下，镍导线中电流的横截面要比相同几何结构的铜导线薄得多。另外，体电阻率也比较高，这说明串联阻抗更大。图6.27中给出了直径为1英寸、横截面大数相同的铜导线圈和镍导线圈的电阻测量结果。从图中可以看出，镍导线的电阻是同频率下铜导线电阻的10倍；很明显，镍导线的电阻随着频率的平方根而增加，这正是趋肤数应限制下电流分布的特点。这也就是与非铁磁体引线相比，合金-42和科瓦合金引线的高频电阻很高的原因。

为了便于焊接元件，通常在电路板表面的微带线上面镀一层镍/金。该镍层对布线的电气特性几乎没有影响，因为从返回路径来看，它在线条的另一面。电流总是沿阻抗最低的路径传输，即电流并不通过镍层。如果导线为实心的镍，那么其电阻和电感与频率有着密切的关系。由于一面是比较厚的铜，因此所有的电流将沿铜中阻抗最低的路径传输。

这就是有时候在合金-42引线上镀银以减小其高频电阻的原因。在外表面使用非铁磁体导线以便传输高频电流，频率更高的元件应使用趋肤深度更大和电导率更高的材料。

导线的精确阻值取决于与频率相关的电流分布，对于任意形状的导线，其阻值很难计算出来。而二维场求解器的价值之一就是可以计算出与频率相关的电流分布，以及与之相关的电感和电阻。

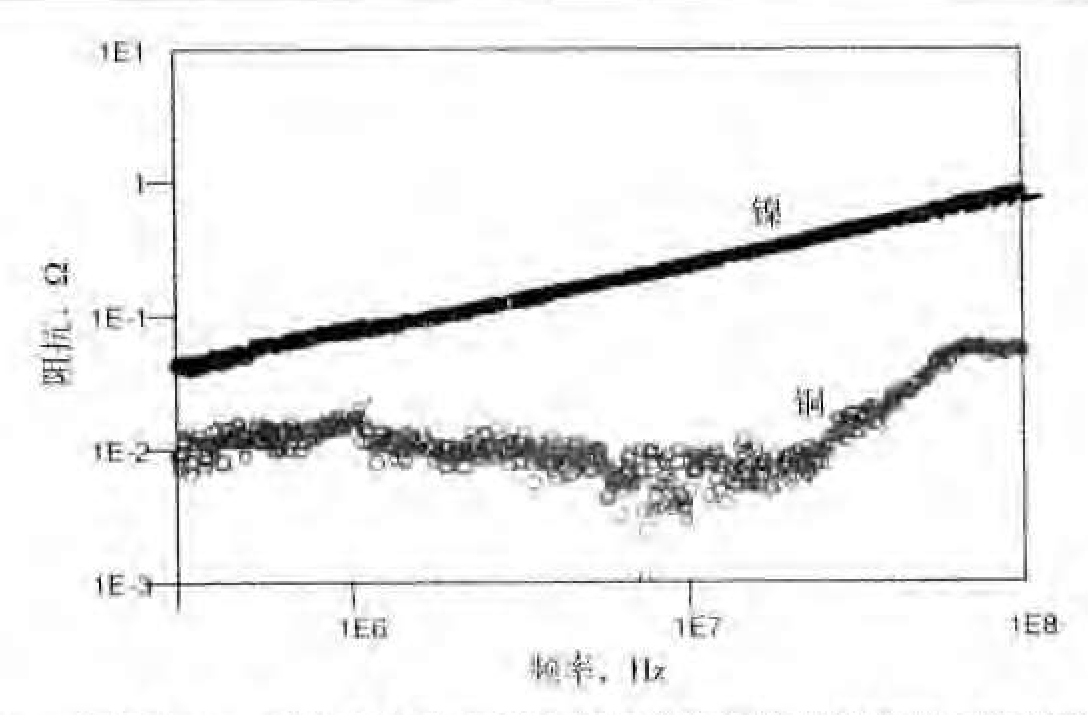


图6.27 直径为1 in、横截面大致相同的铜导线圈和镍导线圈的电阻测量结果。从图中可以看出，由于趋肤效应的影响，镍导线的电阻要高得多；粗线条表明电阻随着频率的平方根而增加。测量的噪声平台约为10 mΩ

6.18 涡流

前面曾经提过，如果两个导体中有一个导体中的电流改变，那么另一个导体的两端就会产生电压，此感应电压会形成电流。换言之，其中一个导体的电流变化时，第二个导体中会产生感应电流，我们称这种电流为涡流。

有这样一个重要的几何结构，其涡流严重影响导线的局部自感和回路自感。这种几何结构出现在当有一个电流回路靠近一个大的导电表面时，如电路板中的平面或金属外壳的表面。

举一个最简单的例子，金属平面上方有根圆导线，注意该金属平面可以是任何导体并能承载任何电压。至于电压有多大，平面与什么相连并不重要，重要的是它能够导电而且是连续的。

当导线中有电流时，一些磁力线就会穿过导电平面，导线与平面之间就会有互感存在。当导线中的电流变化时，穿过平面的磁力线也会发生变化，并且在平面上会产生感应电压，而此电压又激起了涡流，这些涡流反过来又会产生自己的磁力线。

通过求解麦克斯韦方程，可以发现涡流产生的磁力线的结构就像是平面下方的另一电流产生的一样（即它与平面的距离和真实电流与平面的间距相等），如图6.28所示。这个虚构的电流称为镜像电流，其方向正好与原实际电流相反。实际电流和涡流的净磁力线与实际电流和镜像电流的净磁力线有着相同的分布，仿佛平面不存在一样。为了更好地理解实际电流和涡流的磁力线，可以抛开导电平面和实际的涡流，而用镜像电流来代替它们。

镜像电流与实际电流大小相等，方向相反，而且镜像电流的一些磁力线会环绕在实际电流周围。不过，由于两电流方向相反，在实际电流的磁力线中要减去镜像电流的磁力线。

这种奇特的效应会减小导线的局部自感。如果电流回路在悬空的导电平面上方，而且二者绝对没有任何的电气连接，那么仅是平面的存在就已减小了回路的回路电感。导线离平面越近，离镜像电流就会越近，它们之间的互感也就会越大，从而实际电流的局部自感就越小。下面的悬空平面越近，平面中产生的涡流就越大，信号路径的自感也就越小。图6.29中给出了当信号路径靠近悬空平面时，邻近平面中涡流的分布。

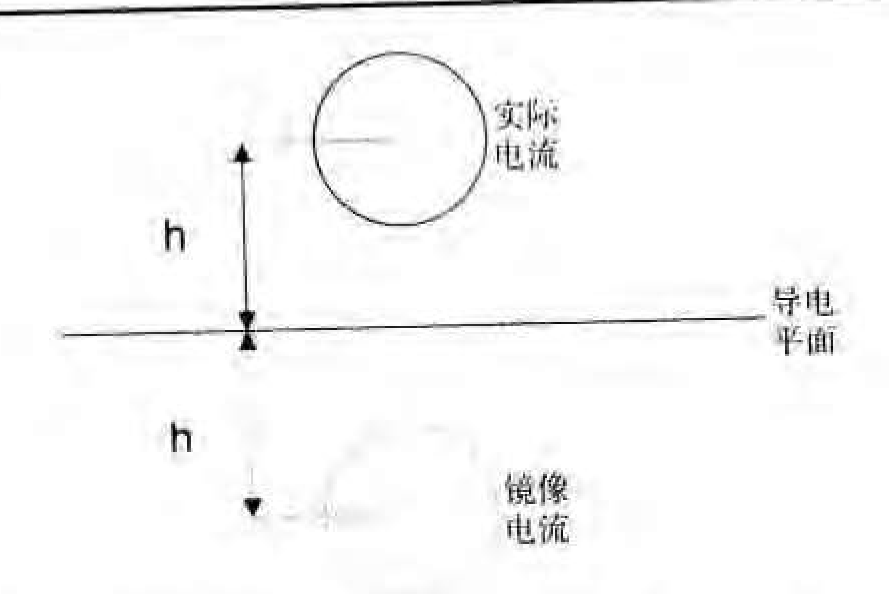
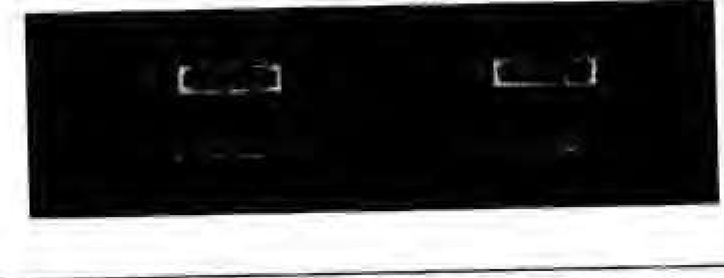


图 6.28 平面中产生的镜像电流，其方向正好与原电流方向相反



图 6.29 1 MHz 时，靠近悬空平面的圆导线中的电流分布和平面中产生的涡流

当用两条长的矩形共面导线构成信号路径和返回路径回路时，在它们之间就存在单位长度互感。如果把均匀的悬空平面靠近这个回路，则由于平面上涡流的作用，回路自感将减小。平面越靠近，回路电感就越低。图 6.30 示例了简单情况时回路电感的减小情况。



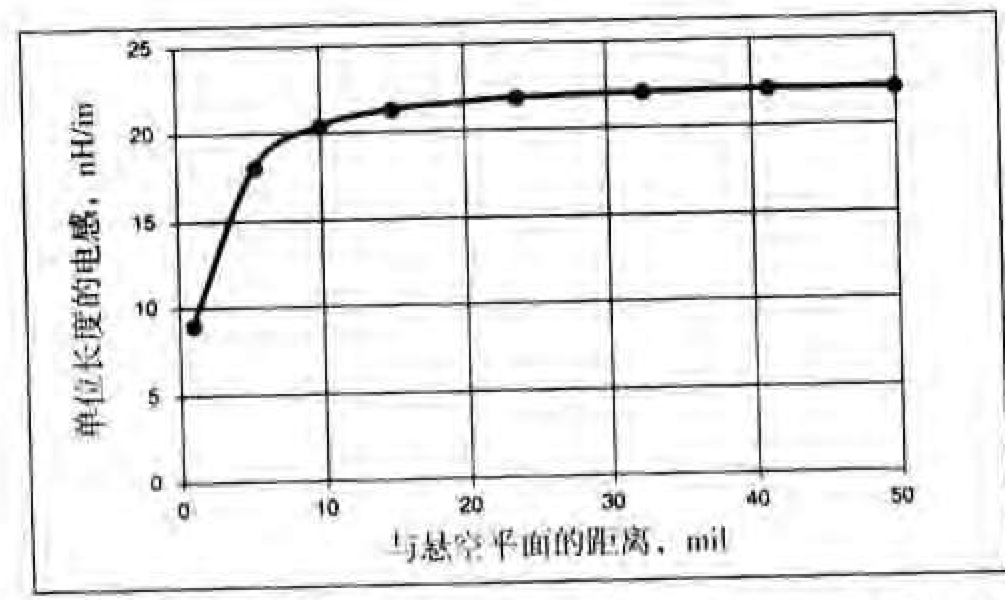


图 6.30 上图：很长的矩形共面回路的两条支路中的电流分布和悬空平面上的感应涡流。下图：电流回路与悬空平面的距离变化时，单位长度回路自感的变化曲线。此图由 Ansoft 2D 场求解器计算得出

在这个例子中，线宽为 5 mil，线间距为 10 mil，即两导线外侧的间距为 20 mil。由此得出一个经验法则：只要电流回路与悬空平面的间距小于导线间的总跨度，感应的涡流就会起作用。

提示　只要电流回路与导电平面的距离小于导线间的跨度，平面上就会产生感应涡流。邻近平面总会减小互连线的回路自感。

6.19　小结

1. 电感至关重要，它影响信号完整性问题中的各个方面。
2. 电感的基本定义就是导线中有单位安培电流时，导线周围的磁力线匝数。
3. 所有不同种类的电感都有特殊的限定词：它们（自感和互感）指明了产生磁力线的导线，对导线的多大一部分（局部电感和回路电感）计算磁力线，以及是否包括了源自回路其他部分的所有磁力线（总电感）。
4. 重视电感的惟一原因是感应电压：如果导线周围的磁力线匝数发生变化，导线两端就会产生电压，而且此电压与磁力线匝数变化的快慢有关。
5. 地弹是由于流过地返回路径总电感的电流发生变化（dI/dt），而在地返回路径的不同部分之间感应出了电压。
6. 减小地弹就是要减小返回路径的总电感：使用宽而短的导线，而且信号路径要尽量靠近返回路径。
7. 要获得最低的轨道塌陷噪声，就要使芯片焊盘到去耦电容间的回路电感尽量小。回路电感最低的互连就是尽量靠近的两个宽平面。
8. 过孔出砂孔区域会使两平面间的回路电感增加。当空闲面积约为 50% 时，回路电感约增加 25%。
9. 随着电流正弦频率分量的升高，它们将选择阻抗最低的路径，这使得电流分布趋向于导线的外表面，并使信号电流和返回电流尽可能靠近。而这使电感与频率有些相关，即随着频率的升高，电感会下降；同时使电阻与频率有密切的关系，即电阻随频率的平方根面增加。
10. 当电流在均匀平面附近时，即使此平面是悬空的，感应的涡流也会使电流回路的自感减小。

第7章 传输线的物理基础

我们经常谈论传输线这一术语，并且很可能经常在使用它。那么，传输线到底是什么？可以说，同轴电缆线是一种传输线，多层板中的PCB线条也是一种传输线。

提示 简单地说，传输线是由两条有一定长度的导线组成的。

我们知道，传输线用于将信号从一端传输到另一端。图7.1阐明了所有传输线的一般特征。为了区分这两条导线，把一条称为信号路径，另一条称为返回路径。

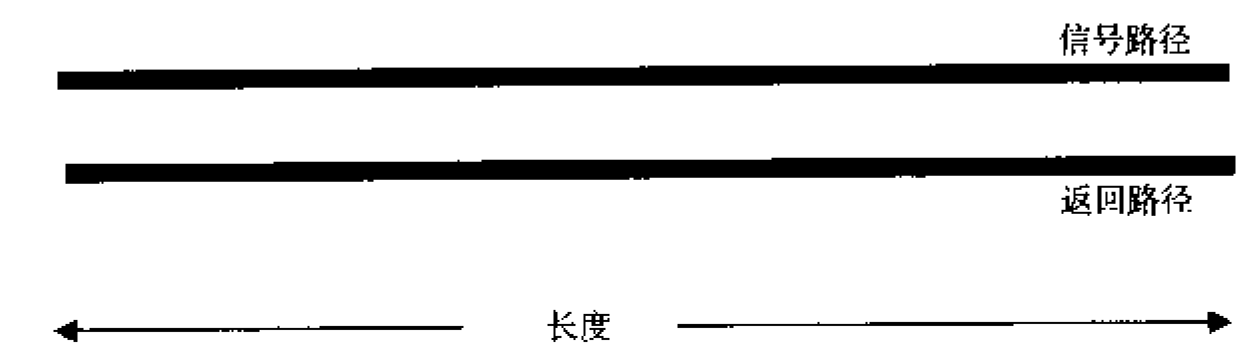


图7.1 传输线由任意两条有一定长度的导线组成。其中一条标记为信号路径，另一条为返回路径

传输线是一种新的理想电路元件。它与前面介绍过的电阻、电容和电感这三种理想电路元件的特性大不相同。传输线有两个非常重要的特征：特性阻抗和时延。信号与传输线的相互作用关系比较特别，与其他三种理想电路元件（电阻、电容和电感）和信号的相互作用截然不同。

在有些情况下，可以由电容和电感的组合来近似理想传输线的电气特性。但是，理想传输线的性能与实际测量到的互连线性能非常吻合。而且，它的带宽要比LC近似电路高得多。如果将理想传输线这个电路元件添加到工具箱中，可以明显增强我们描述信号与互连线相互作用的能力。

7.1 不再使用“地”这个词

通常，我们将传输线的返回路径当做地线。

提示 将第二条线当做地，所引出的问题要比解决的问题多得多。相反，使用返回路径是一个良好的习惯。

在信号完整性的设计过程中，造成问题的常见现象就是过多地使用“地”。我们应当习惯地称呼成其他路径，并把其他导体当做返回路径来考虑，养成这种习惯是非常有益的。

许多与信号完整性有关的问题，都是由于返回路径设计不当而产生的。如果总能清楚地意识到其他路径在为信号电流提供返回路径时的重要作用，我们就能在设计过程中，像设计信号路径那样来认真地设计其他路径的几何形状了。

当把另一条路径当做地时，通常将它看成是所有电流的汇合点。返回电流从这一点流入，然后流到另一处有地节点的地方。这是一种完全错误的观点。返回电流是紧靠着信号电流的。

前一章讲到，高频时，信号路径和返回路径的回路电感要最小化，这就意味着只要导体的情况允许，返回路径会尽量靠近信号路径分布。

再者，由返回电流并不能得到返回路径的绝对电压值。实际中，返回路径有时是个电压平面，如V_{cc}或V_{dd}平面，而有时是一个低电压平面。在原理图中，我们将它标记为地节点，且与传输线中传播的信号完全无关。从现在开始称返回路径，将来就会免除很多问题，参见图7.2的示意图。



图7.2 不再使用"地"这个词，将会避免许多问题，而不是引出许多问题

7.2 信号

当信号沿传输线传输时，它同时使用了信号路径和返回路径。所以在确定信号与互连线之间的相互作用时，两条导线是同等重要的。

当两条线一样时，如双绞线，信号路径与返回路径没有严格的区分，即可以指定任意一条为信号路径，而另一条为返回路径。如果两条导线不相同，如微带线，则通常把较窄的那条叫做信号路径，而把平面称为返回路径。

把信号接入传输线时，它就以材料中的光速在导线中传输。在信号加入到传输线片刻之后，可以暂时把时间停滞下来，并沿着传输线测量信号的大小。信号总是指信号路径和返回路径之间相邻两点的电压差，如图7.3所示。

提示 如果知道信号受到的阻抗，根据信号大小就可以计算出电流。从这个意义上讲，信号可以被定义成电压或电流。

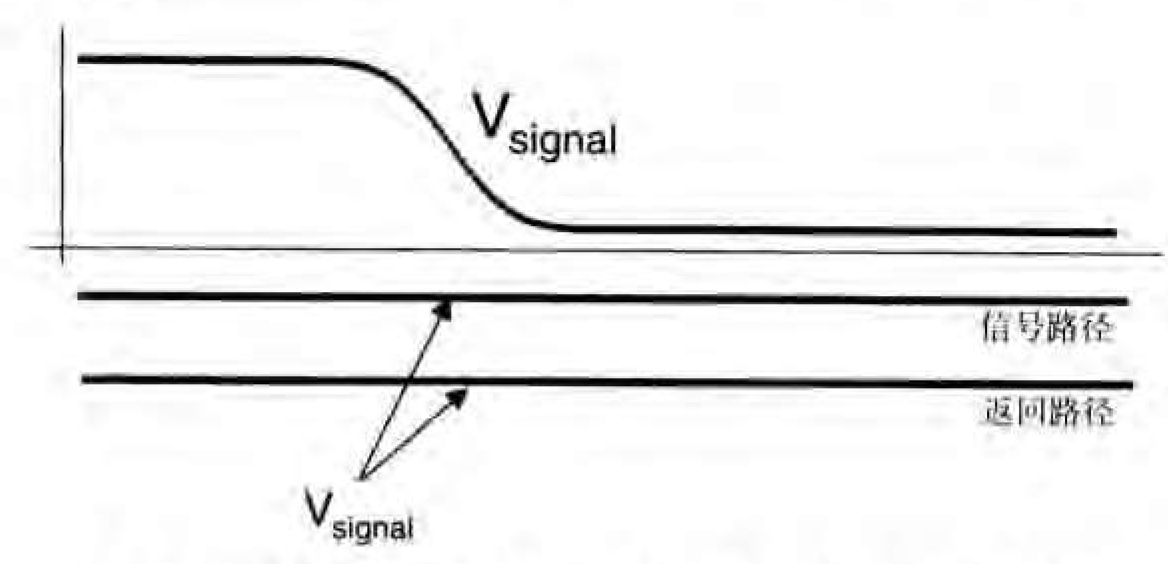


图7.3 在信号加入到传输线片刻之后，可以暂时把时间停滞下来。信号总是指信号路径和返回路径之间相邻两点的电压差

这些普遍的原则适用于所有传输线，无论是单端传输线还是差分传输线。

7.3 均匀传输线

按传输线的几何结构来对传输线加以分类。几何结构中有两个基本特征完全决定了传输线的电气特性，它们是：导线沿线横截面的均匀程度和两导线的相似程度。

如果导线上任何一处的横截面都相同，比如同轴电缆，则称这种传输线为均匀传输线。图 7.4 中给出了各种均匀传输线的例子。

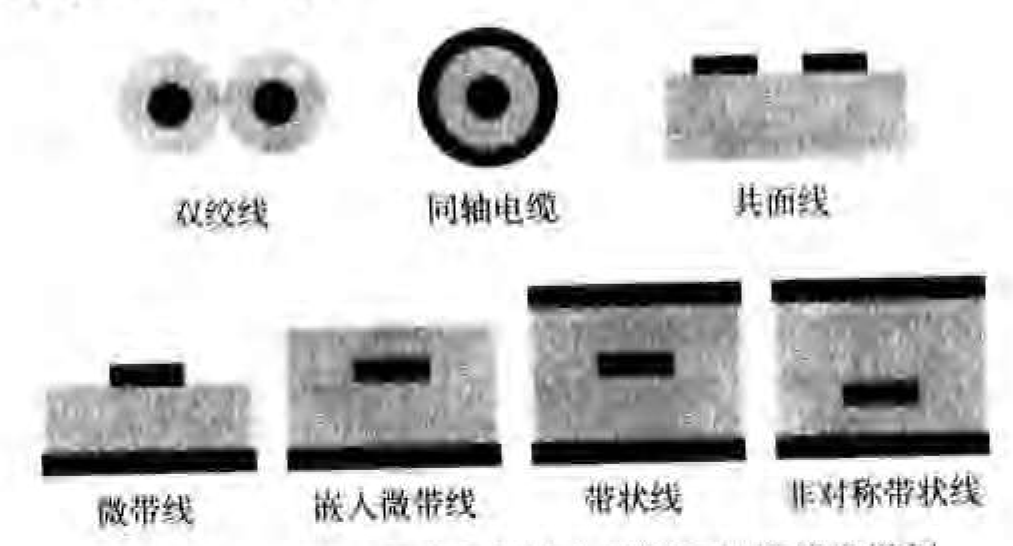


图 7.4　互连中常用的各种均匀传输线的横截面举例

我们知道，均匀传输线也称为可控阻抗传输线。传输线的种类很多，如双引线、微带线、带状线和共面线等。

提示　如果传输线是均匀的或者是有可控阻抗的，那么反射就会减小，信号的质量就会更优。所有的高速互连线都必须设计成均匀传输线。

在整条导线中，若几何结构或材料属性发生变化，传输线就是不均匀的。例如，如果两条导线的间距是变化的而不是恒定的，那么它就是非均匀传输线。双列直插封装（DIP）或扁平封装（QFP）中的一对引脚就是非均匀传输线，接插件的相邻线条通常也是非均匀传输线，PCB 板上的线条如果没有返回路径也是非均匀传输线。非均匀传输线除非走线足够短，否则就会引起信号完整性问题，所以应避免这种情况发生。

提示　在信号完整性的优化设计过程中，其中一个设计目标就是：将所有的互连线都设计成均匀传输线并减小所有非均匀传输线的长度。

另一个影响传输线的几何参数就是两条导线的相似程度。如果两导线的形状和大小都一样，即它们是对称的，就称这种传输线为平衡传输线。双绞线的每条导线看起来都是一样的，因此它是对称的，所以是一种平衡传输线。共面线是在同一层并列的两条窄带线，它也是一种平衡传输线。

同轴电缆是非平衡传输线，因为它的中心导线要比外面的导线小。微带线也是一种非平衡传输线，因为两条导线的宽度不一样，一条比较窄，另一条比较宽。同理，带状线也是非平衡传输线。

提示　一般来说，绝大多数传输线，无论是平衡的还是非平衡的，它们对信号的质量和串扰效应都完全没有影响。然而，返回路径的具体结构将严重影响地弹和电磁干扰问题。

无论传输线是均匀的还是非均匀的，是平衡的还是非平衡的，它都只有一个作用：在可接受的失真度下，把信号从一端传输到另一端。

7.4 铜中的电子速度

信号在传输线上的传播速度有多快？是否经常错误地认为传输线中信号的传输速度取决于导体中电子的速度？有了这个错误的认识，就会认为减小互连线的电阻可以提高信号的传播速度。实际上，常见的铜导线中的电子速度比信号的速度要低 100 亿倍。

要估算铜导线中电子的速度很容易。假设有一条 18 号圆导线，直径为 1 mm，流过的电流为 1 A。如图 7.5 所示，根据每秒钟通过横截面的电子数，导线中的电子密度和导线的横截面积就可以计算出导线中电子的速度。导线中的电流为：

$$I = \frac{\Delta Q}{\Delta t} = \frac{q \times n \times A \times v \times \Delta t}{\Delta t} = q \times n \times A \times v \quad (7.1)$$

从上式中可以导出计算电子速度的公式：

$$v = \frac{I}{q \times n \times A} \quad (7.2)$$

其中：

I 表示导线中流过的电流，单位为 A（安培）

ΔQ 表示时间段内流过的电量，单位为 C（库伦）

Δt 表示时间段，单位为 s

q 表示一个电子所带的电量，大小为 1.6×10^{-19} C

n 表示自由电子的密度，$\#/m^3$

A 表示导线的横截面积，单位为 m^2

v 表示导线中电子的速度，单位为 m/s

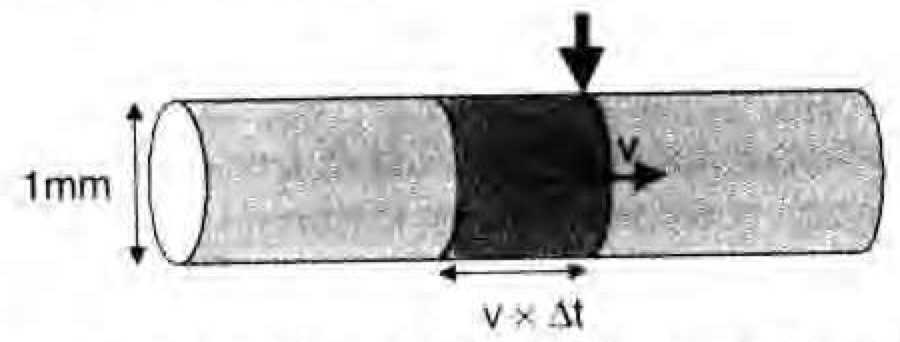


图 7.5　电子在导线中运动。每秒钟通过的电子数就是电流，它与电子的运动速度和电子密度有关

每个铜原子能提供两个能在导体中运动的自由电子，铜原子之间的距离为 1 nm，这样就可以计算出自由电子的密度 n，$n \approx 10^{27}/m^3$。

对于直径为 1 mm 的导线，横截面积约为 $A \approx 10^{-6}\ m^2$。代入这些数据并在导线上通过 1 A 的电流，就可以估算导线中的电子速度：

$$v = \frac{I}{q \times n \times A} = \frac{1\ A}{10^{-19} \times 10^{27} \times 10^{-6}} = 10^{-2}\ m/s = 1\ cm/s \quad (7.3)$$

提示　电子的运动速度约为 1 cm/s，这相当于蚂蚁在地上爬的速度。

从上面简单的分析可知，与空气中的光速相比，导线电子的运动速度简直就是微不足道的，所以导线中电子的速度与信号的速度没有任何关系。同样，由分析可知，导线的电阻对传输线上信号的传播速度几乎没有任何影响。只有在一些极端的情况下，互连线的电阻才会影响

信号的传播速度，并且这个影响是非常微小的。低电阻并不意味着信号的速度快，必须纠正这个错误的观念。

7.5 传输线上的信号速度

既然不是电子的速度决定信号的速度，那么是什么决定信号的传播速度呢？

提示 导线周围的材料，信号在传输线导体周围空间形成的交变电磁场的建立速度和传播速度，三者共同决定了信号的传播速度。

最简单的一种描述信号在传输线上传播的方法如图7.6所示。信号就是信号路径与返回路径之间的电压差。当信号在传输线上传播时，两导线之间就会产生电压，而这个电压又使两导线之间产生电场。

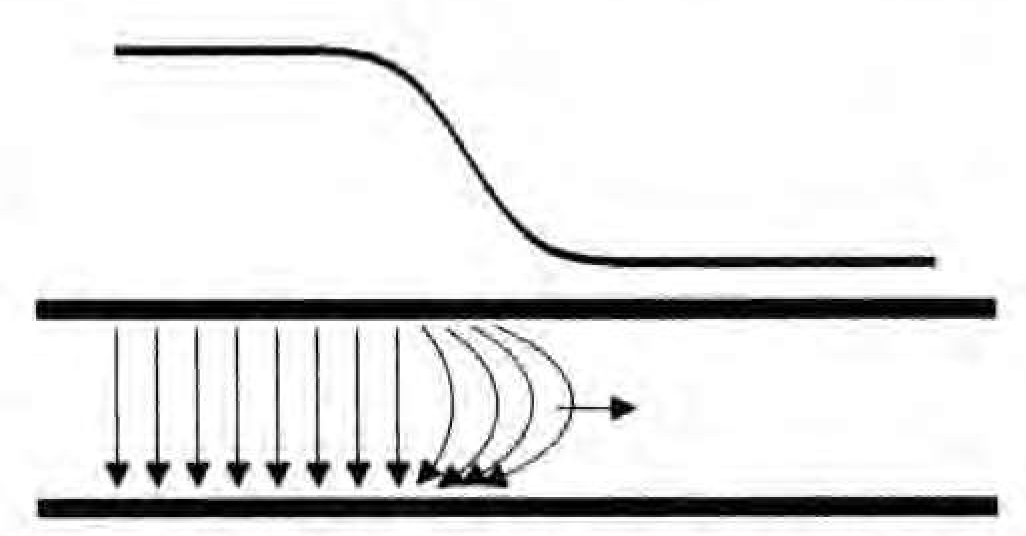


图7.6 当信号在传输线中传输时，电场就随之建立了。信号的速度取决于其在信号路径与返回路径周围材料中的交变电场和磁场的建立速度和传播速度

除了电压之外，电流必须在信号路径和返回路径上流动，这样使两导线带上了电荷并产生电压差，继而又建立了电场，而两导体之间的电流回路产生了磁场。

简单地把电池两端分别接到信号路径和返回路径上，就能把信号加到传输线上。突变的电压产生突变的电场和磁场。这种场链在传输线周围的介质材料中以变化电磁场的速度（即光速）传播。

我们通常认为光是看得见的电磁辐射。然而，所有变化的电磁场都是一样的，都可以由麦克斯韦方程组精确地表示，惟一的不同就是它们的频率。可见光的频率为1 000 000 GHz。在高速数字产品中常见的信号，其频率大约为1～10 GHz。

实际上，电场和磁场建立的快慢决定了信号的速度。这些场的传播和相互作用可以由麦克斯韦方程来描述。这就是说，只要电场和磁场在变化，由此而形成的铰链电磁场就向外传播，它的速度取决于一些常量和材料特性。

电磁场的变化速度，或场链的速度v由下式得到：

$$v = \frac{1}{\sqrt{\varepsilon_0 \varepsilon_r \mu_0 \mu_r}} \tag{7.4}$$

其中：

ε_0 表示自由空间的介电常数，其值为 8.89×10^{-12} F/m

ε_r 表示材料的相对介电常数

μ_0 表示自由空间的导磁率，其值为 $4\pi \times 10^{-7}$ H/m

μ_r 表示材料的相对导磁率

代入数据，可得：

$$v = \frac{2.99 \times 10^8}{\sqrt{\varepsilon_r \mu_r}} \frac{m}{s} = \frac{12}{\sqrt{\varepsilon_r \mu_r}} \frac{in}{ns} \tag{7.5}$$

提示 空气中，相对介电常数和相对导磁率都为 1，光的速度为 12 in/ns。这是个重要的经验法则，熟记它们非常有用。

实际上，几乎所有的互连材料的相对导磁率都为 1。所有不含铁磁体材料的聚合物，其导磁率都为 1。因此，导磁率这一项可以忽略。

相比之下，除了空气，其他材料的介电常数总是大于 1。所有实际互连材料的介电常数通常都大于 1。这说明互连中的光速总是小于 12 in/ns，其速度为：

$$v = \frac{12}{\sqrt{\varepsilon_r}} \frac{in}{ns} \tag{7.6}$$

为了方便，通常将相对介电常数简称为“介电常数”。介电常数是一个非常重要的参数，它描述了绝缘体的一些电气特征。绝大多数聚合物的介电常数约为 4，玻璃约为 6，陶瓷约为 10。

某些材料的介电常数可能会随频率的变化而变化。也就是说，材料中的光速可能与频率有关。一般来说，随着频率的升高，介电常数会减小，这使得随着频率的升高，材料中的光速会提高。

在大多数常见的材料中，例如 FR4，当频率从 500 MHz 变化到 10 GHz 时，介电常数变化很小。根据环氧树脂与玻璃纤维的比率不同，FR4 的介电常数在 4.0 到 4.5 之间变化。大多数互连叠层材料的介电常数约为 4。这给了我们一个简单易记的结论。

提示 要记住这个经验法则：绝大多数互连线中的光速约为 12 in/ns/sqrt (4) = 6 in/ns。当估算电路板上互连线中信号的速度时，就可以假定它约为 6 in/ns。

前一章指出，当电力线穿过不同的介质材料时（如在微带线中），有些电力线是在材料中，有些电力线则在上面的空气中，这样影响信号速度的有数介电常数由两种材料共同决定。当材料的横截面不均匀时，使用二维场求解器是求解有效介电常数的惟一方法。对于带状线，电力线只穿过一种材料，有数介电常数就是体介电常数。

时延 TD 与互连线长度的关系如下：

$$TD = \frac{Len}{v} \tag{7.7}$$

其中：

TD 表示时延，单位为 ns

Len 表示互连线长度，单位为 in

v 表示信号的速度，单位为 in/ns

这说明当信号在 FR4 上长为 6 in 的互连线中传输时，时延约为 6 in/6 in/ns，即约为 1 ns。如果传输长度为 12 in，则时延为 2 ns。

连线时延，即每英寸长度互连线时延的 ps 数，也是一个非常有用的度量单位。它就是速度的倒数：1/v。对于 FR4，其连线时延约为 1/6 in/ns = 0.166 ns/in，或者 170 ps/in。所以 0.5 in 长的 BGA 引线的连线时延为 170 ps/in × 0.5in = 85 ps。

7.6 前沿的空间延伸

每个信号都有一个上升时间RT，通常表示电压从最大电压的10%上升到90%时的时间长度。当信号在传输线上传输时，前沿就在传输线上拓展开来，呈现出在空间上的延伸。如果我们停滞时间并观察传输线上电压分布的情况，就会发现与图 7.7 所示的很相像。

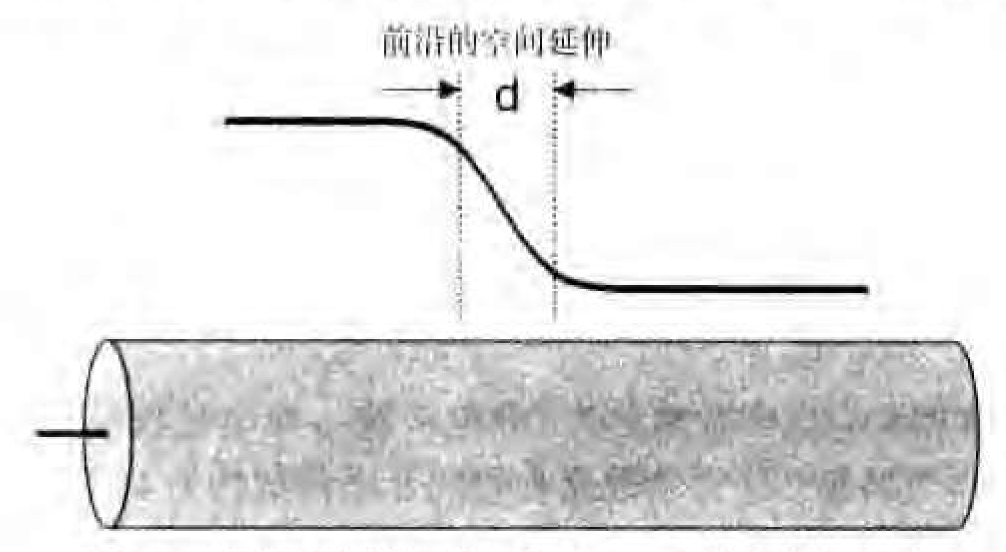


图 7.7 当信号在传输线上传输时，前沿的空间延伸

传输线在上升时间内的长度 d，取决于信号的传播速度和上升时间：

$$d = RT \times v \tag{7.8}$$

其中：

d 表示上升时间的空间延伸，单位为 in

RT 表示信号的上升时间，单位为 ns

v 表示信号的速度，单位为 in/ns

例如，如果信号的速度为 6 in/ns，上升时间为 1 ns，那么前沿的空间延伸就为 1 ns × 6 in/ns = 6 in。当前沿在电路板上传输时，实际上就是一个长度为 6 in 的上升电压在电路板上传播。如果上升时间为 0.1 ns，则其空间延伸就为 0.6 in。

提示 许多有关电路工作不佳的信号完整性问题，都和突变与前沿空间延伸的相对大小有关。所以，理清楚所有信号前沿的空间延伸是个好主意。

7.7 信号必须名副其实

对于所有的信号，我们关心的是它的传播速度有多快和感受到的阻抗为多少。前面讲过，信号的传播速度取决于材料的介电常数和材料的分布。以微带线为例，在它的一端加上信号，并估算信号在传输线上传播时受到的阻抗。微带线是一种均匀而非平衡传输线，其信号路径比较窄而返回路径比较宽。

对微带线的分析适用于其他所有的传输线。取传输线的长度为10 ft，以便能在上面行走并模拟信号来观察它将感受到什么。在导线上行走每一步时，都要问一下信号受到的阻抗是多

少？为了回答这个问题，假定提供的电压为1 V，电流从我们的脚下流出并驱动传输线上的信号，然后求出电压与电流之比。

在这种情况下，把电池接在两导线的前端之间，这样就把信号加到导线上。在信号加到传输线上的起始瞬间，信号还没有足够的时间传到远处。

为简单起见，假定信号路径与返回路径之间的介质为空气，因此信号的传播速度为每纳秒1 ft。第1 ns后，因为信号没有足够的时间传到远处，所以导线远处的电压仍然为零。在导线上，第1 ft内的信号电压为1 V，而其他地方都为零。

1 ns后，让时间停滞下来，此时来观察导线上的电荷分布，结果如图7.8所示。在信号路径与返回路径的第一个12 in中两导线间有1 V电压差，这就是信号。我们知道，因为信号路径与返回路径是两条分开的导线，所以在这个区域内两导线之间必有电容存在。如果两导线间有1 V电压，则信号路径必然带上一定的电荷，返回路径则带上极性相反而电量相等的电荷。

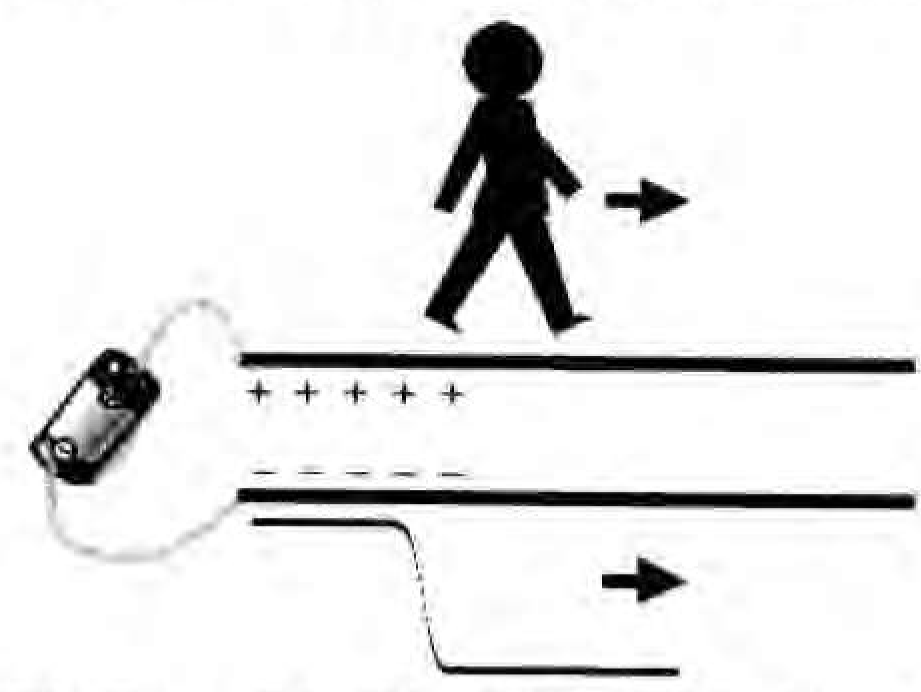


图7.8　1 V的电压加到导线上1 ns后的电荷分布情况。这一瞬间，我们（信号）的前面没有电荷

在第2 ns内，我们（信号）又向前走了12 in。这时再次将时间停滞下来，现在已有2 ft导线带上电荷了。可以看到走完第二步后，我们已经把信号带到了第2 ft的导线上，并且在这一段传输线上信号路径与返回路径之间产生了电压。从以上分析可以看出，在导线的每个脚印上，两导线之间存在极性相反而电量相等的电荷。

当在导线上行走时，就把电压带到了两条导线体上，并使之带电。在每纳秒时间内，都使信号前面一英尺的导线带上了电荷。信号每前进一步，就会留下另一英尺长的带电导线。

每走一步，来自信号的电荷就会使一英尺导线带上电，这些电荷最终来自电池。信号在导线上传播的事实说明信号路径与返回路径之间的电容在不停地充电。那么每走一步，从我们脚上传到导线上的电荷是多少呢？换句话说，信号传播时，流动的电流是多少呢？

如果信号在传输线上匀速传播，而且传输线是均匀的，即每英尺的电容量是相等的，则每一步注入到导线的电量也是相等的。每走一步，使等量的电容带上相等的电量，以使电容达到相同的电压。如果每走一步用的时间相同，那么单位时间要求从信号源得到的电量就相等。每纳秒流入导线的电量都相等，说明从脚上流入导线的电流是一常量。

提示　从信号的角度来说，当以每纳秒1英尺的速度在导线上行走时，是用相等的时间使每英尺导线带上电荷，从我们脚底出来的电荷量就是加到导线上的电荷量。相等时间间隔内从脚底流出的电量相等说明注入导线的电流是恒定的。

是什么影响了从脚底流出的使导线带电的电流？假设在导线上匀速行走时，信号路径的宽度增加了，那么要充电的电容量就增加了，则每步从脚底流出的电量也会增加。相反，如果能使得单位长度的电容减少，则从脚底流出的电流就会减少。同理，如果单位长度的电容保持不变，而增加我们的速度，那么每纳秒就能使更长的导线带电，相应地，需要的电流也会增加。

用这种方法可以推导出，从脚底流出的电流与单位长度的电容和信号的速度直接成比例。如果有任何一个增加，则每步从脚底流出的电流就会增加。相反，如果有任何一个减小，则来自信号使导线带电的电流就会减小。所以，从脚底流出的电流与导线特性的简单关系式为：

$$I \approx v \times C_L \tag{7.9}$$

其中：

I 表示从脚底流出的电流

v 表示我们在导线上行走的速度

C_L 表示线的单位长度电容

当我们（信号）在传输线上行走时，就会不断地问："导线的阻抗到底是多少？" 阻抗的基本定义是元件两端的电压与流过电流的比值。因此，当在导线上行走时，每走一步，就会不断地问，施加的电压与流过的电流之比是多少？

信号的电压是由信号源决定的，而电流的大小取决于每步长度的电容和电容充电时间的长短。只要信号的速度和单位长度的电容恒定，从脚底流出的注入到导线的电流就恒定，那么信号受到的阻抗也就恒定。

假设两导线的宽度突然增加，则每步间的电容就会增加，那么每步从脚底流出给电容充电的电流也会增加。电流增加而电压不变，这意味着传输线的阻抗减小了。相反，如果导线的宽度突然变小，每步间的电容就会减小，给电容充电所需的电流就减小，传输线上信号受到的阻抗就增加。

提示 把信号每步受到的阻抗称为传输线的瞬态阻抗。沿着传输线往下走，信号将不断地探测到每一步的瞬态阻抗。瞬态阻抗的值等于线上所加的电压与电流之比，这个电流用于传输线的充电和信号向下一步的传播。

瞬态阻抗取决于信号的速度（它是一个材料特性）和单位长度的电容。对于均匀传输线，沿线的横截面积不变，信号受到的瞬态阻抗也是恒定的。信号与传输线相互作用的一个重要特征就是：当信号遇到的瞬态阻抗变化时，一部分信号被反射，一部分更加失真，信号完整性会受到破坏。这就是对信号受到的瞬态阻抗需要加以控制的主要原因。

提示 减少反射问题的主要方法就是：保持导线的几何结构不变从而使信号受到的瞬态阻抗保持不变。这就是可控阻抗互连线或保持沿线的瞬态阻抗不变的意义。

7.8 传输线的瞬态阻抗

可以建立一个传输线的简单物理模型来定量分析这个问题。线模型由一排小电容器组成，其值等于传输线一跨度的电容量，一跨度就是我们（信号）每步的间隔。把这个模型（用于工程理解的最简单的模型）称为传输线的零阶模型，如图 7.9 所示。

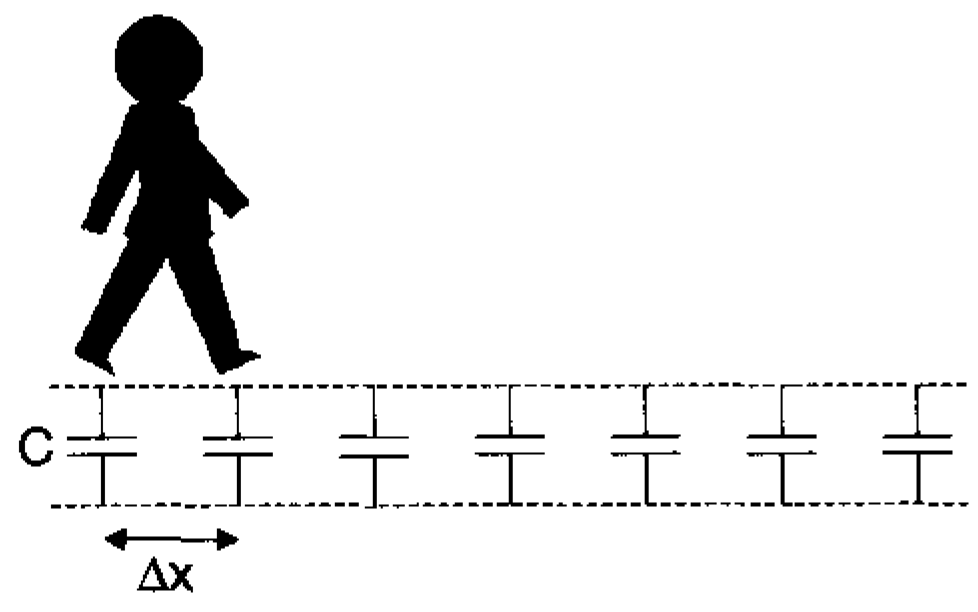


图7.9 传输线的零阶模型由一系列电容组成。每走一步就使一个电容充上电，电容之间的跨度就是我们的步长

在这个模型中，步长为Δx，每个小电容的大小就是传输线单位长度的电容量C_L与步长的乘积：

$$C = C_L \times \Delta x \tag{7.10}$$

使用这个模型，可以计算从脚底流出的电流I。电流的大小就是在每步时间间隔内从脚底流出注入到每个电容上的电量。注入电容的电量Q，等于电容乘以其两端的电压V。每走一步，就把电量Q注入到导线上。每步之间的时间间隔Δt，等于步长Δx除以信号的速度v。当然，传输实际信号时，步长非常小，但是时间间隔也非常小。每个时间间隔内需要的电量，也就是信号在导线上传播时的电流，是一个常量：

$$I = \frac{Q}{\Delta t} = \frac{CV}{\left(\frac{\Delta x}{v}\right)} = \frac{C_L \Delta x v V}{\Delta x} = C_L v V \tag{7.11}$$

其中：

I 表示信号的电流
Q 表示每步的电量
C 表示每步的电容
Δt 表示从一个电容跨到另一个电容的时间
C_L 表示传输线单位长度的电容量
Δx 表示电容间的跨度或步长
v 表示信号的速度
V 表示信号的电压

这就是说，从我们脚底流出并注入到导线上的电流仅与单位长度的电容量、信号的传播速度以及信号的电压有关——与我们的推理完全吻合。

这就是所定义的传输线的电流－电压（I-V）特性，说明传输线上任何一处的瞬时电流与电压成正比。如果施加的电压加倍，则流入传输线的电流也加倍。这与电阻的特性完全一致。所以在传输线上每前进一步时，信号受到的阻抗就像电阻性负载一样。

从这个关系式，可以计算出信号沿传输线传播时受到的瞬态阻抗。瞬态阻抗等于施加的电压与流过器件的电流的比值：

$$Z = \frac{V}{I} = \frac{V}{C_L vV} = \frac{1}{C_L v} = \frac{83}{C_L}\sqrt{\varepsilon_r} \tag{7.12}$$

其中：

Z 表示传输线的瞬态阻抗，单位为Ω

C_L 表示单位长度电容量，单位为pF/in

v 表示材料中的光速

ε_r 表示材料的介电常数

所以，信号受到的瞬态阻抗仅由传输线的两个固有参数决定，即由传输线的横截面和材料的特性共同决定，与传输线的长度无关。只要这两个参数保持不变，信号受到的瞬态阻抗就是一个常数。当然，和其他阻抗一样，用来度量传输线瞬态阻抗的单位仍是欧姆。

由于信号的速度取决于材料特性，所以可以得出传输线单位长度电容和瞬态阻抗的关系。例如，若介电常数为4，单位长度电容为3.3 pF/in，则传输线的瞬态阻抗为：

$$Z = \frac{83}{C_L}\sqrt{\varepsilon_r} = \frac{83}{3.3}\sqrt{4} = 50\Omega \tag{7.13}$$

这时我们会问，传输线的电感是多少？它在这个模型中起到什么作用呢？答案是，这个零阶模型是物理模型而不是电气模型。在这个模型中，并不是用电感和电容来近似，而是假设信号的速度是材料中的光速。

实际上，制约信号速度的部分原因就是信号路径和返回路径之间的串联回路电感。如果使用的是一阶等效电路模型，其中包含了单位长度电感，就可以导出传输线的电流和有限的传播速度，但是从数学角度讲，模型变得更加复杂了。

关于传播速度和单位长度电感的关系，这两个模型实际上是等效的。我们将会看到，传播时延与单位长度电容以及单位长度电感直接相关。讨论信号的速度时，要求对电感情况给出某种假设。

7.9 特性阻抗和可控阻抗

对于均匀传输线，当信号在上面传播时，在任何一处受到的瞬态阻抗都是相同的。

提示 有一种反映传输线特性的恒定瞬态阻抗，我们把它称为传输线的“特性阻抗”。

为了突出它是传输线所固有的特性阻抗，给了它一个特殊的符号Z_0（即Z带一个下标零），其单位是欧姆。每种均匀传输线都有特性阻抗，它是描述传输线的电气特性和信号与传输线相互作用关系的一个重要参数。

提示 特性阻抗描述了信号沿传输线传播时所受到的瞬态阻抗，这是影响传输线电路中信号完整性的一个主要因素。

特性阻抗在数值上与瞬态阻抗相等，它是传输线的固有属性，且仅与材料特性、介电常数和单位长度电容量有关，而与传输线长度无关。

传输线的特性阻抗为：

$$Z_0 = \frac{83}{C_L}\sqrt{\varepsilon_r} \tag{7.14}$$

如果传输线是均匀的，那么它仅有一个特性阻抗。一种衡量传输线均匀度的方法就是：沿线的瞬态阻抗的稳定程度或者特性阻抗的稳定程度。如果导线的宽度是变化的，那么整条导线就没有特性阻抗。如果沿线的横截面不变，信号沿互连线传播时所受到的阻抗就是恒定的，就说导线的阻抗是可控制的。基于这个原因，我们把均匀横截面传输线称为可控阻抗传输线。

提示　把沿线特性阻抗是一个常量的传输线叫做可控阻抗传输线。如果一块电路板上的所有互连线都是可控阻抗传输线，并且有相同的特性阻抗，就把这块电路板叫做可控阻抗电路板。所有的高速数字产品，如果电路板的尺寸大于6 in，而且时钟频率高于100 MHz，就都应制成可控阻抗电路板。

如果沿线的几何结构和材料特性保持不变，那么传输线的特性阻抗就是恒定的，这时仅用特性阻抗这一项就完全描述了传输线的特性。

可控阻抗传输线可以制造成任意的均匀横截面。许多标准横截面的传输线都具有可控的阻抗，而且这一系列的大多数成员都有自己特殊的名字。例如，两条互相缠绕在一起的圆导线叫双绞线；中心导线被外部导线包围的叫同轴线；宽平面上方的窄带信号线叫微带线；返回路径是两个平面，信号线是在两平面中间的窄带线，这种传输线叫带状线。可控阻抗互连线的惟一条件就是：横截面是恒定不变的。

有了单位长度的电容与特性阻抗的关系，现在就可以把对电容的直觉认识与对特性阻抗的新的直觉认识联系起来了。现在，我们基本上对电容和传输线上两导线的单位长度电容有了很好的认识。如果增加两导线的宽度，就增加了单位长度的电容。如果增加两导线间的距离，则单位长度的电容就减小了。

对于FR4板上的微带线，若线宽是介质厚度的两倍，则特性阻抗约为50 Ω。当两导线之间的介质厚度增加时，特性阻抗会发生什么变化呢？这在以前并不容易得出结论，然而现在我们已经知道，传输线的特性阻抗与两导线间的单位长度电容成反比关系。

因此，若增加两导线的距离，电容就会减小，相应的特性阻抗将增加；如果增加微带线中信号线的宽度，就会增加单位长度电容，相应的特性阻抗将减小，如图7.10所示。

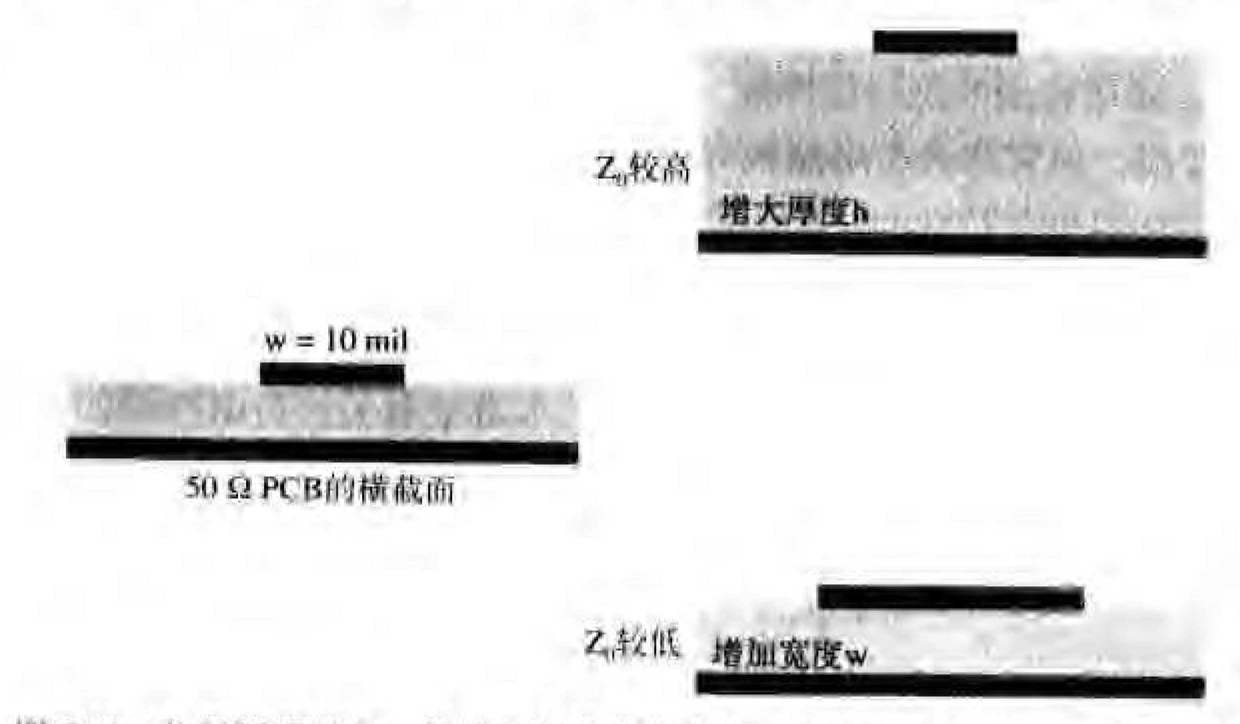


图7.10　如果线宽增加，单位长度电容就增加，相应的特性阻抗就下降；如果介质厚度增加，单位长度电容就减小，相应的特性阻抗就增大

一般来说，宽导线和薄介质构成的传输线的特性阻抗是很低的。例如，PCB板中电源平面和地平面构成的传输线的特性阻抗通常小于1 Ω。相反地，窄导线和厚介质构成的传输线的特性阻抗比较高，典型值为60 Ω到90 Ω之间。

7.10 著名的特性阻抗

几年来，人们为特殊的可控阻抗互连线制定了多种标准，图7.11中列出了其中的一部分，其中最常见的一种就是RG58。实际上，实验室中使用的带有BNC（Berkeley Nuclear Corp.）型卡式接插件的通用同轴电缆，就是由RG58电缆做成的。这种标准传输线定义了内外导线的直径和介电常数。另外，当采用这种标准时，特性阻抗约为52 Ω。从这种电缆的侧面可以看到"RG58"标记。

RG174	50Ω
RG58	52Ω
RG59	75Ω
RG62	93Ω
电视天线	300Ω
有线电视电缆	75Ω
双绞线	100~130Ω

图7.11 一些常见的可控阻抗传输线以及它们的特性阻抗

除了RG58之外，也有很多其他电缆标准，RG174就是非常有用的一种。它比RG58要细，而且更加柔软。如果要在小空间内值电缆弯曲或者要求低压力，RG174的柔软性就非常有用了。RG174的特性阻抗指定为50 Ω。

有线电视系统中值用的同轴电缆的特性阻抗指定为75 Ω。与50 Ω电缆相比，这种电缆单位长度的电容要小些，而且一般也粗些。例如，RG59比RG58要粗。

双线线大量应用于高速串接、小型计算机系统接口（SCSI）应用和通信应用中，它由18号至26号导线构成。采用典型的绝缘层厚度，其特性阻抗约为100～130 Ω。通常这比一般电路板中使用的阻抗要高，但它和典型电路板导线的差分阻抗（将在以后介绍）相匹配。

自由空间的特性阻抗有特殊的、重要的含义。我们前面提到，传输线上传播的信号实际上是光，信号路径和返回路径收集并引导电磁波。电磁波传播场以光速在复合电介质中传播。

如果没有导线的引导，光就会以电磁波的形式在自由空间中传播。电磁波在空间传播时，电场和磁场就会受到一个阻抗，这个阻抗与两个基本常量有关：自由空间的导磁率和自由空间的介电常数：

$$Z_0 = \sqrt{\frac{\mu_0}{\varepsilon_0}} = 120\pi = 376.99 \approx 377\Omega \tag{7.15}$$

代人这两个常数，所得的结果就是电磁波受到的阻抗。我们称它为自由空间的特性阻抗，其值约为377 Ω。这个值很重要，当天线的阻抗与自由空间的特性阻抗（377 Ω）相匹配时，天线的辐射量是最优的。

只有一个特性阻抗值具有基础性的含义，即自由空间的特性阻抗值377 Ω，其他的阻抗都可以是任意的。互连线的特性阻抗可以是任意值，它只受到可制造性的限制。

那么，50 Ω 又是怎样呢？为什么它的应用如此广泛？50 Ω 有何特别之处？注意，它大致是同轴线几何外形的衰减和可制造性的最佳平衡点。除此之外，50 Ω 并没有什么神秘之处了。而一直以来，都在沿用这个标准。早期采用这个标准是有一些因素的影响，然而这个标准一旦被采用，采用这个值的系统越多，它们的兼容性就越好。如果所有的测试和测量系统都与50 Ω 标准值相匹配，仪器间的反射就会减少，信号的质量就会提高。

如果是在 FR4 板上，当线宽是介质厚度的两倍时，可以制造出 50 Ω 左右特性阻抗的微带线。因此，只能大致是最优的。

在高速数字系统中，确定整个系统最佳特性阻抗的折中选择项有很多种，图7.12中列出了几项。50 Ω 是一个很好的出发点。间距相同时，采用的特性阻抗越高，串扰就越严重。但是，高特性阻抗的接插件或双绞线容易制造，从而价格更低。特性阻抗越低，串扰越小，对接插件、元件和过孔引起的时延累加就越不敏感，但同时，功率损耗也就越高，而这在高速系统中非常重要。

性能	低特性阻抗Z_0	高特性阻抗Z_0
电路板费用	较好	较差
累加时延	较好	较差
串扰	较好	较差
接插件费用	较差	较好
双绞线/电缆费用	较差	较好
驱动器设计	较差	较好
功率损耗	较差	较好
衰减	较差	较好

图 7.12　根据互连线特性阻抗的变化，各种系统问题的权衡。确定最佳特性阻抗，性能与价格间的权衡是一个很困难的过程。在大多数系统中，50 Ω 是很好的折中方案

每个系统对最佳特性阻抗的选择都有自己的权衡。通常，这个最佳值并不是惟一的。只要整个系统采用的特性阻抗值都一致，精确值的选择就并不是非常重要的。除非系统的驱动能力很强，否则一般都采用 50 Ω。在 Rambus 存储器中，时序非常重要，选择 28 Ω 的低阻抗可以减小时延累加的影响。生产低阻抗传输线，要求导线的宽度要足够宽。但由于 Rambus 模块中互连线的密度比较低，所以增加导线的宽度仅有很小的影响。

7.11　传输线的阻抗

连接在传输线前面始端的电池受到的阻抗是多少？信号在传输线上传播时，从电池流到线上的电流就是信号的电流。所以只要信号在传输线上传播，电池受到的阻抗与传输线的瞬态阻抗就相同。流入传输线的电值与施加的电压成正比。

对于施加的恒定电压，如果流过电路元件的电流是常数，那么这个元件就是理想电阻。从电池的角度看，当电池两端加在传输线前端，并且信号在传输线上传播时，传输线上的电流是恒定的，对电池来说，传输线就像电阻一样。所以从电池来看，只要信号在传输线上传播，传输线的阻抗就是一个恒定电阻。电池无法识别它的负载到底是传输线还是纯电阻，至少当信号在传输线上传播和返回时是这样的。

提示 我们已经引入了互连线特性阻抗的概念。常常交替使用特性阻抗和传输线阻抗这两个术语，但实际上它们并不是一回事，所以有必要强调它们的区别。

当提到电缆线的阻抗时，它到底是什么意思？RG58电缆通常指的是50 Ω的电缆线。它的真正含义是什么？假如取一段3 ft长RG58的电缆线，并且在前端测量信号路径与返回路径之间的阻抗。那么测得的阻抗是多少？当然，可以用欧姆表来测量其阻抗。如图7.13所示，将欧姆表连在3 ft长传输线的前端，即中心信号路径与外壳之间，那么表的读数到底是多少？是开路、短路、还是50 Ω？

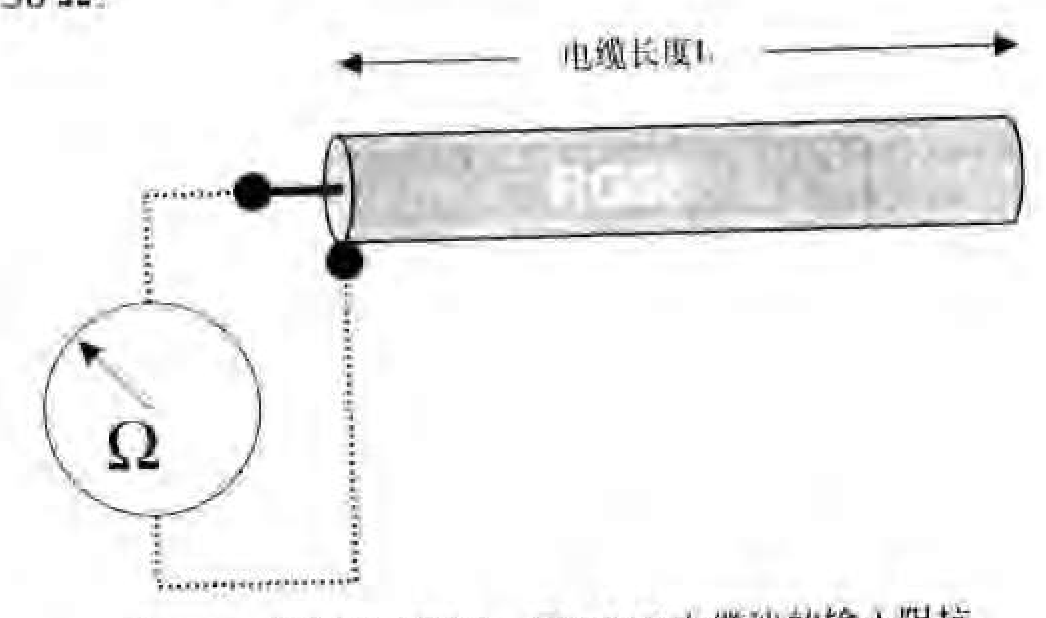


图7.13 用欧姆表测量一段RG58电缆线的输入阻抗

当然可以更具体些。假设使用Radio Shack欧姆表来测量阻抗，此仪表带有液晶显示器，每半秒钟显示更新一次，那么读数会是多少呢？

当然，如果等待时间足够长，一段短电缆线看起来就像是开路，此时测到的输入阻抗为无穷大。既然短电缆线的输入阻抗为无穷大，那么50 Ω电缆线又是什么意思呢？特性阻抗又从何而来？

为了进一步研究，考虑更极端的情况，采用非常长的RG58电缆线。这条线非常长，能一直通向月球，长度约为240 000 mile（英里，1 mile = 1609.3 m）。回想中学物理，光在真空中的传播速度约为每秒186 000 mile，在RG58电缆线中接近每秒130 000 mile。光从一端传到远端所花的时间约为2 s，返回又需2 s。如果将欧姆表连到这段长电缆线的前端，测到的阻抗会是多少？注意，欧姆表测量电阻的方法是：给被测元件加1 V的电压，然后测量电压与电流的比值。在

倘若在信号的往返时间即4 s内测量阻抗，则与驱动一条传输线的情况是完全一致的。在前4 s内，信号在传输线上传播并返回，这时传输线上的电流是一个常量，其大小等于信号在传输线上传播时信号给连续每小段电缆充电的电流。

电源受到的阻抗与信号受到的瞬态阻抗，即特性阻抗相等。事实上，在信号返程结束前即前4 s内，信号源并不知道传输线有终点。在这种情况下，欧姆表前4 s内的读数就是传输线的特性阻抗，即50 Ω。

提示 只要测量时间小于往返时间，欧姆表所测量到的阻抗就是传输线的特性阻抗。

但是，如果把欧姆表接在电缆线上一天之后才测量，此时所测量到的阻抗将会是开路。这有两个极端：起初测量到50 Ω，但长时间后，测量的是开路，那么电缆线的阻抗到底是多少呢？

答案就是电缆线的阻抗没有一个固定值，它随时间而变化。这个例子说明了传输线的阻抗与时间有关，它取决于测量时间相对于信号往返时间的长短，如图7.14所示。在信号的往返时间内，传输线前端的阻抗就是传输线的特性阻抗。在信号往返时间之后，根据传输线末端负载的不同，阻抗可在零到无穷大之间变化。

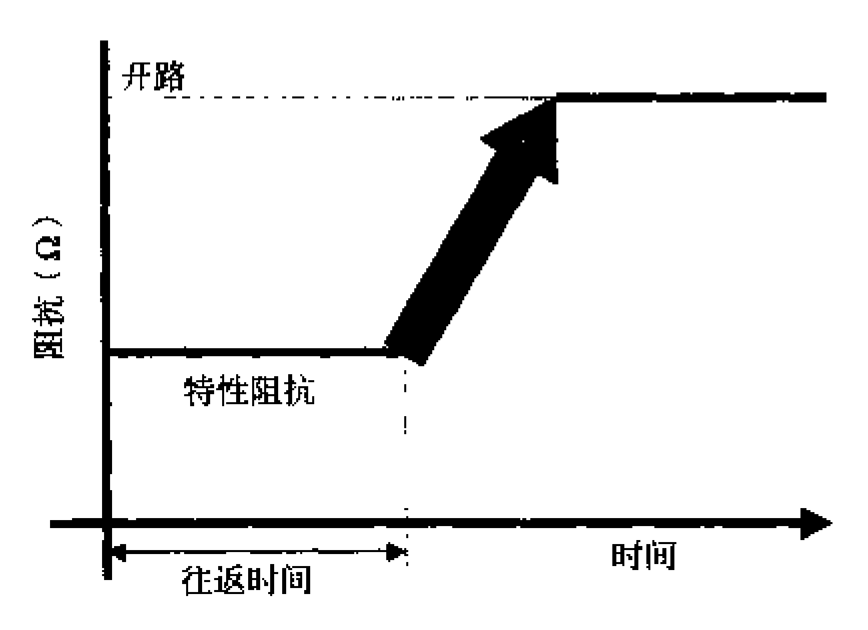


图7.14 从传输线一端看进去的阻抗是随时间而变化的。在信号往返时间之内，所测量到的阻抗就是特性阻抗。如果等待时间足够长，测量到的阻抗将会是开路

当提到电缆或传输线为50 Ω时，实际上所说的就是信号沿传输线传播时所受到的瞬态阻抗为50 Ω。即在开始阶段，如果在相对于信号往返时间较短的时间内看测量结果，就会看到传输线的输入阻抗为50 Ω。

虽然传输线的阻抗、瞬态阻抗和特性阻抗听起来很相似，但它们之间有很大的区别。所以仅仅说"阻抗"是很含糊的。

提示 传输线的阻抗是由驱动器测量进入传输线前端的信号而得出的，它随时间而变化。对于相同的传输线，根据末端的连接情况、传输线的长度和测量方法的不同，可以是短路，可以是开路，也可以是开路与短路之间的任意值。

传输线的瞬态阻抗就是信号沿传输线传播时所受到的阻抗。如果横截面是均匀的，沿线的瞬态阻抗就处处相等。但是在突变处，瞬态阻抗就会变化，比如在来端。如果末端开路，则当信号传播到末端时，它所受到的瞬态阻抗就为无穷大。如果有一分支，则信号在分支点处受到的瞬态阻抗就会下降。

传输线的特性阻抗是描述由几何结构和材料决定的传输线特征的一个物理量，它等子信号沿均匀传输线传播时所受到的瞬态阻抗。

在信号完整性领域的研究人员有时会比较懒惰，在工作中仅用阻抗一词。因此，必须询问这个阻抗的限定词是哪一个，或根据上下文查看它指的是三个阻抗中的哪一个。如果知道了它们之间的区别，就能正确地使用它们。

当上升时间比传输线的往返时间短时，驱动器就把传输线看成电阻，其阻值等于传输线的特性阻抗。即使传输线的远端可能是开路，在信号跳变期间，传输线前端的性能也会像是一个纯电阻。

信号的往返时间与材料的介电常数和传输线的长度有关。大多数驱动器的上升时间都在亚纳秒级，所以只要互连线的长度大于几英寸，就可以把它认为是长线。在跳变过程中，互连线对驱动器来说就表现为阻性负载。这就是必须考虑所有互连线的传输线性能的重要原因之一。

提示 在高速系统中，对驱动器来说、长度大于几英寸的互连线并不表现为开路，而是在信号跳变期间，它表现为一个纯电阻。当互连线足够长而显示出传输线性能时，驱动器受到的阻抗可能会随时间而变化．这一特性将严重影响互连线上传播的信号的性能。

有了这个准则，高速数字系统中的所有互连线都表现为传输线，这些特性将主导信号完整性效应。对于电路板上 3 in 长的传输线来说，往返时间约为 1 ns。如果驱动这条线的 IC（集成电路）的上升时间小于 1 ns，那么从传输线前端看进去，驱动器受到的阻抗就是传输线的特性阻抗，即驱动器 IC 受到的阻抗表现为电阻。如果上升时间远大于 1 ns，传输线的阻抗将是开路，而且在信号跳变期间，由于信号前沿来回反弹，驱动器受到的阻抗将非常复杂，通常只能使用仿真工具来分析。这些工具在后一章将会介绍。

往返时间是传输线的一个重要参数。对于驱动器来说，在这段时间内导线表现为电阻。图 7.15 给出了三种介电常数：空气（$\varepsilon_r = 1$），FR4（$\varepsilon_r = 4$）和陶瓷（$\varepsilon_r = 10$）时，往返时间随传输线长度的变化。大多数时钟频率高于 200 MHz 的系统中，上升时间小于 0.5 ns，对于这种系统，所有约长于 1.5 in 的传输线在这段时间内都表现为电阻。这意味着对于所有的高速驱动器来说，当驱动一条传输线时，在往返时间内，它们受到的输入阻抗等效为一个纯电阻。

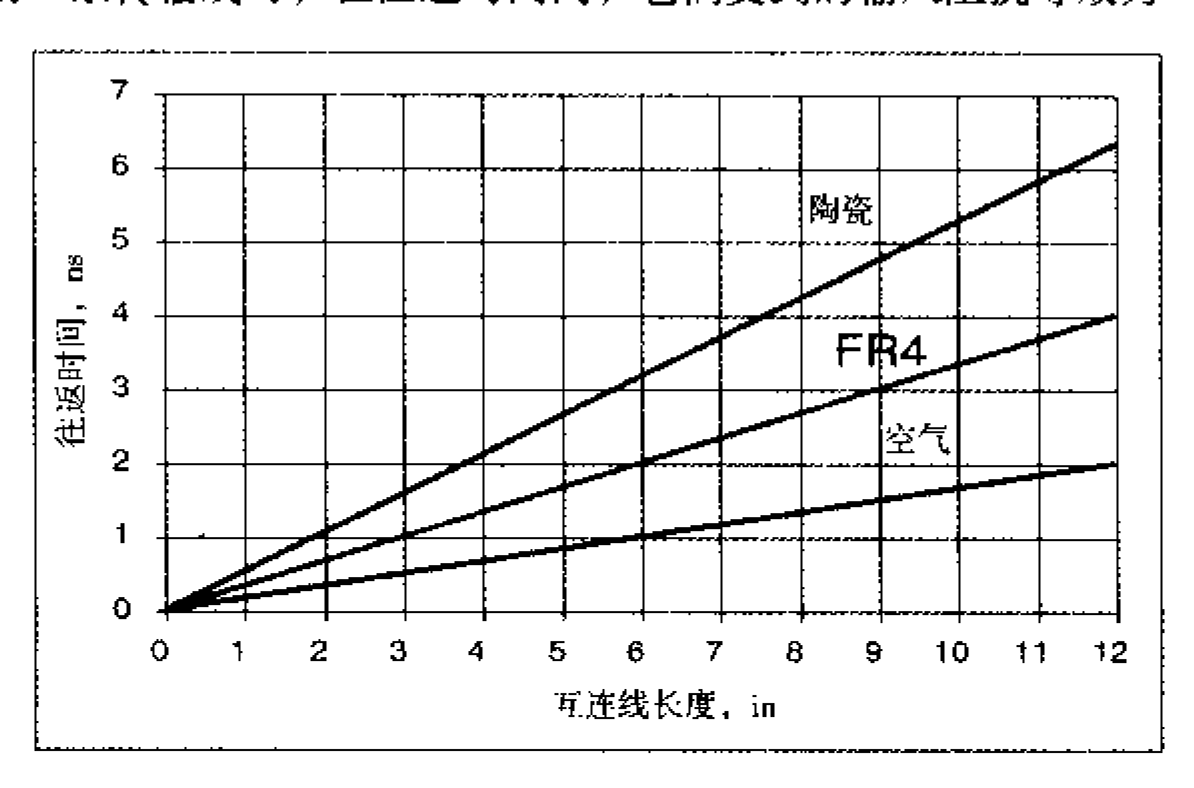


图 7.15　在往返时间内，驱动器把互连线的阻抗视为电阻负载，其大小等于该线的特性阻抗

7.12　传输线的驱动

高速驱动器驱动传输线时，传输线的阻抗在往返时间内表现为电阻，其大小等于传输线的特性阻抗。如图 7.16 所示，可以建立驱动器和传输线的等效电路模型，并计算加到传输线上的电压。

驱动器可以模型化为一个高速切换的电压源和一个源电阻。电压源的具体电压与晶体管的拓扑结构有关。对于 CMOS 器件，根据晶体管生产期的不同，电压可在 1.5 V 至 5 V 之间变化。

比较早的CMOS器件使用5 V电压，而PCI和一些存储器总线使用3.3 V电压。最快的处理器中，输出轨道电压采用2.4 V，内核采用1.5 V。这些电压是电源电压，当器件驱动纯开路电路时，它们与输出电压非常接近。

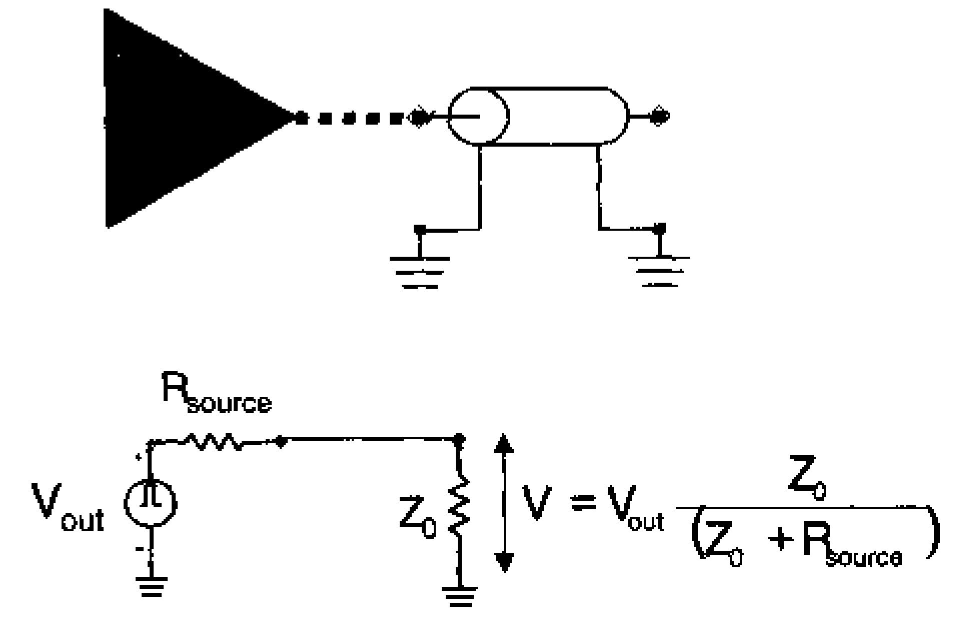


图7.16　上图：输出门驱动传输线。下图：等效电路模型，包括电压源（即驱动器）、驱动门的输出源阻抗和传输线的纯电阻模型（在传输线的往返时间内有效）

源电阻的大小取决于器件工艺，通常在5 Ω到60 Ω之间。驱动器突然导通时，电流从源电阻流至传输线。所以在到达引脚之前，内部有一个压降，这就意味着驱动电压不是完全加到驱动器的输出引脚上。

把这个电路等效为电阻电压分压器，就可以计算出加到传输线上的电压。这时，信号将经过由源电阻和传输线阻抗组成的分压器，所以最初加到传输线上的电压就是传输线的阻抗与它和源电阻的串联组合的比值。如下式：

$$V_{\text{launched}} = V_{\text{ouput}}\left(\frac{Z_0}{R_{\text{source}} + Z_0}\right) \tag{7.16}$$

其中：

V_{launched} 表示加到传输线上的电压

V_{output} 表示驱动器驱动开路电路时的输出电压

R_{source} 表示驱动器的输出源电阻

Z_0 = 传输线的特性阻抗

当源电阻很高时，加到传输线上的电压就会很低——通常这并不是件好事。在图7.17中画出了特性阻抗为50 Ω的传输线上的源电压的百分比。可以看出，当输出源电阻也是50 Ω时，实际加到传输线上的电压只有开路电压的一半。如果输出电压为3.3 V，则加到传输线上的电压只有1.65 V。要想可靠地触发连接在传输线上的门，这个电压可能不够大。反之，当驱动器的输出电阻减小时，加到传输线上的电压就会增加。

提示　为了使初始加到传输线上的电压更接近于源电压，驱动器的输出源电阻就必须很小——它的重要性仅次于传输线的特性阻抗。

换句话说，为了驱动传输线，就要使加到传输线上的电压接近于源电压，这要求驱动器的输出电阻与传输线的特性阻抗相比要非常小。例如，如果传输线的特性阻抗为50 Ω，源电阻就应小于10 Ω。

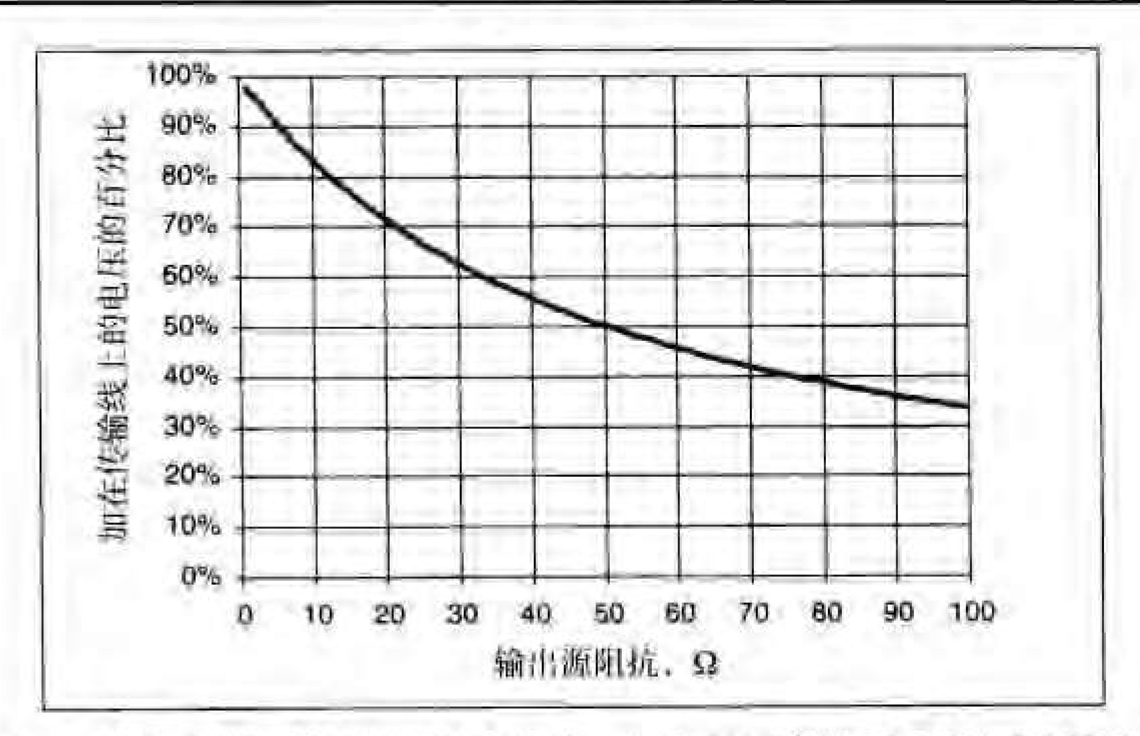


图7.17 当驱动器的输出源阻抗变化时，加在50 Ω传输线上的电压的百分比

若输出器件的输出阻抗特别低，如10 Ω或更小，通常称之为线性驱动器，因为它们能把绝大部分电压加到传输线上。工艺较老的CMOS器件不能驱动传输线，因为它们的输出阻抗很高，大约在90 Ω至130 Ω之间。由于大多数互连线表现为传输线，驱动互连线的电流发生器、高速CMOS器件必须设计成低输出阻抗门。

7.13 返回路径

在本章开头，就强调指出第二条线不是地，而是返回路径。一定要时时记住，所有的电流，无一例外，都必须构成回路。

提示 电流总是在回路中流动。如果一些电流流向别处，那么它一定会返回到源端。

传输线中的电流回路在哪里？假设有一条很长的微带线，以至于它的单程传输时延达1秒，距离约从地球到月球。现在，为使问题简单化，把远端短路。如图7.18所示，我们把信号加到传输线上。开始时，信号路径上的电流为一常量，它与施加的电压和传输线的特性阻抗有关。

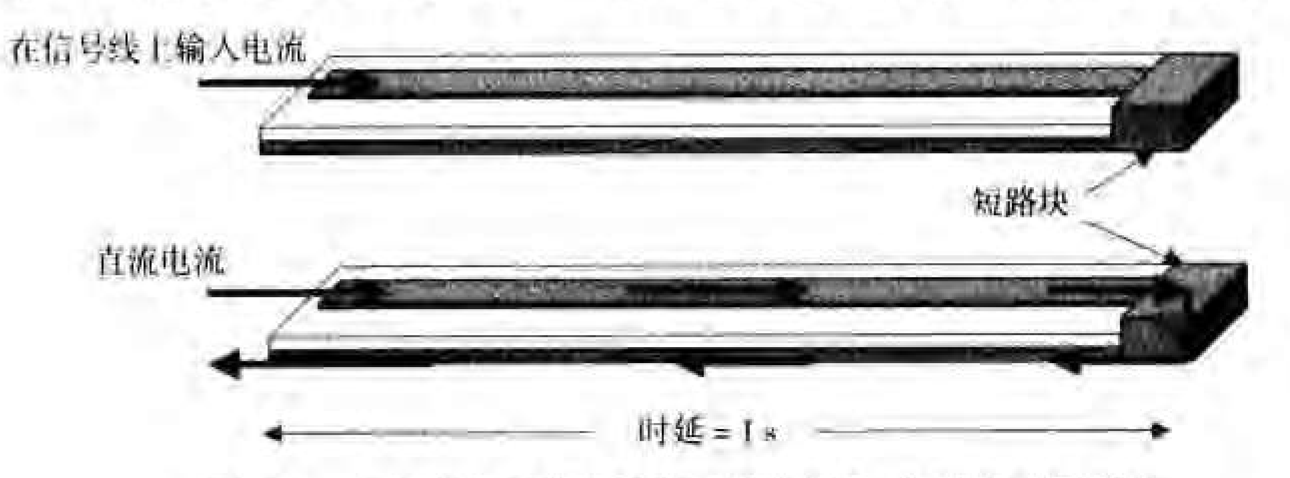


图7.18 把电流加到传输线的信号路径上，经过长时间后的电流分布情况。那么何时电流从返回路径上流出

如果电流在回路中流动并且必须回到源端，我们预计电流在远端返回，并从返回路径流回。但是这要用多长时间？传输线上的电流是非常微妙的。何时才能看到电流从返回路径上流出？是否需要2 s——包括1 s向前传输和1 s返回？当远端开路时又会发生什么情况？如果信号导体与返回导体之间的是绝缘介质材料，则除了远端之外，电流又怎么可能从信号导体流到返回导体上？

最好的分析方法是回到零阶模型，它将传输线描述为一连串的小电容，如图7.19所示。首先考虑电流的流动情况。当信号加到传输线时先经过第一个电容，而改变电容两端的电压是电流流过电容的惟一途径。根据前一章的内容，若电容两端的电压恒定不变，就没有电流流过电容。当信号加到传输线上时，信号路径与返回路径两导线之间的电压就会迅速升高。正是在电压的前沿经过时，电容两端的电压发生了变化，电流流过第一个电容。当电流流入信号路径给电容充电时，有相同的电流经过电容从返回路径流出。

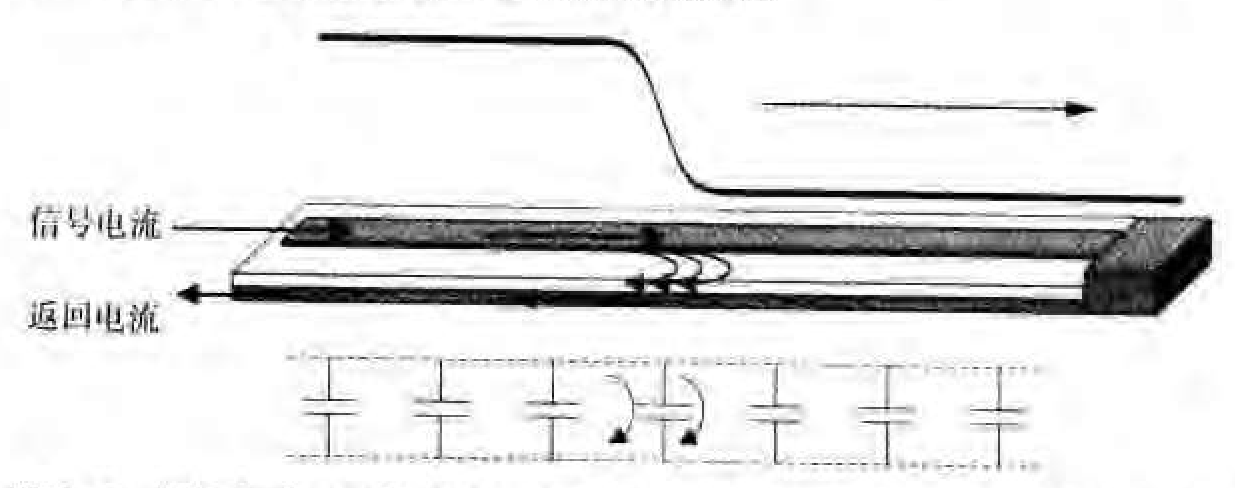


图7.19　信号电流经过传输线的分布电容流到返回路径上。只有信号电压变化的地方，即dV/dt不为零的地方，电流才从信号路径流到返回路径上

在第一皮秒内，信号还没有传到远处，它不知道传输线后面的结构如何，到底是开路，还是短路，还是一些完全不同的阻抗？电流通过返回路径流回源端，这仅与瞬时环境和信号前沿所在的那一小段传输线有关。

可以扩展传输线的模型，将剩下的信号路径和返回路径及它们之间的所有分布电容都包括进来。当信号在传输线上传播时，电流——返回电流——经过电容流到返回路径上，最后流回源端。然而，只有在电压发生改变的地方，才有电流从信号路径流到返回路径中。

加上信号几纳秒后，在靠近传输线前端的地方，信号是一个常量，这些地方没有电流从信号路径流到返回路径。同样，在信号前沿的前面，即前沿还没有到达的地方，电压也是个常量，信号路径和返回路径间也没有电流流过。所以只有在信号前沿处，才有电流从分布电容中流过。

一旦信号输入到传输线上，信号就以波的形式，以光速在线上传播，而电流就在信号路径、电容和返回路径组成的回路中流动。这个电流回路的前端与电压前沿同时向外传播。可以看到信号不仅仅是电压波前沿，也是沿传输线传播的电流回路。信号受到的阻抗就是信号电压与电流的比值。

任何干扰电流回路的因素都会干扰信号并造成信号失真，这将损害信号完整性。为了保持良好的信号完整性，控制电流波前沿和电压波前沿都非常重要。做到这一点的最重要方法就是保持信号受到的阻抗恒定。

提示　任何影响信号电流路径或返回电流路径的因素都会影响信号受到的阻抗。无论是PCB板、插头、还是IC封装，返回路径都必须像信号路径一样认真设计。

如果返回路径是一个平面，我们就会问返回电流在哪里流动？电流在平面上是如何分布的？精确的分布情况稍微与频率有关，要计算很不容易，而这里正是二维场求解器的用武之处。

图7.20中分别给出了10 MHz和100 MHz正弦电流在微带线和带状线中的分布情况。从图中可以看出两个重要特征：第一，由于趋肤效应，信号电流只分布在导体的表面；第二，返回路径中的电流分布集中在信号路径的下面，而且正弦波频率越高，电流分布越集中。

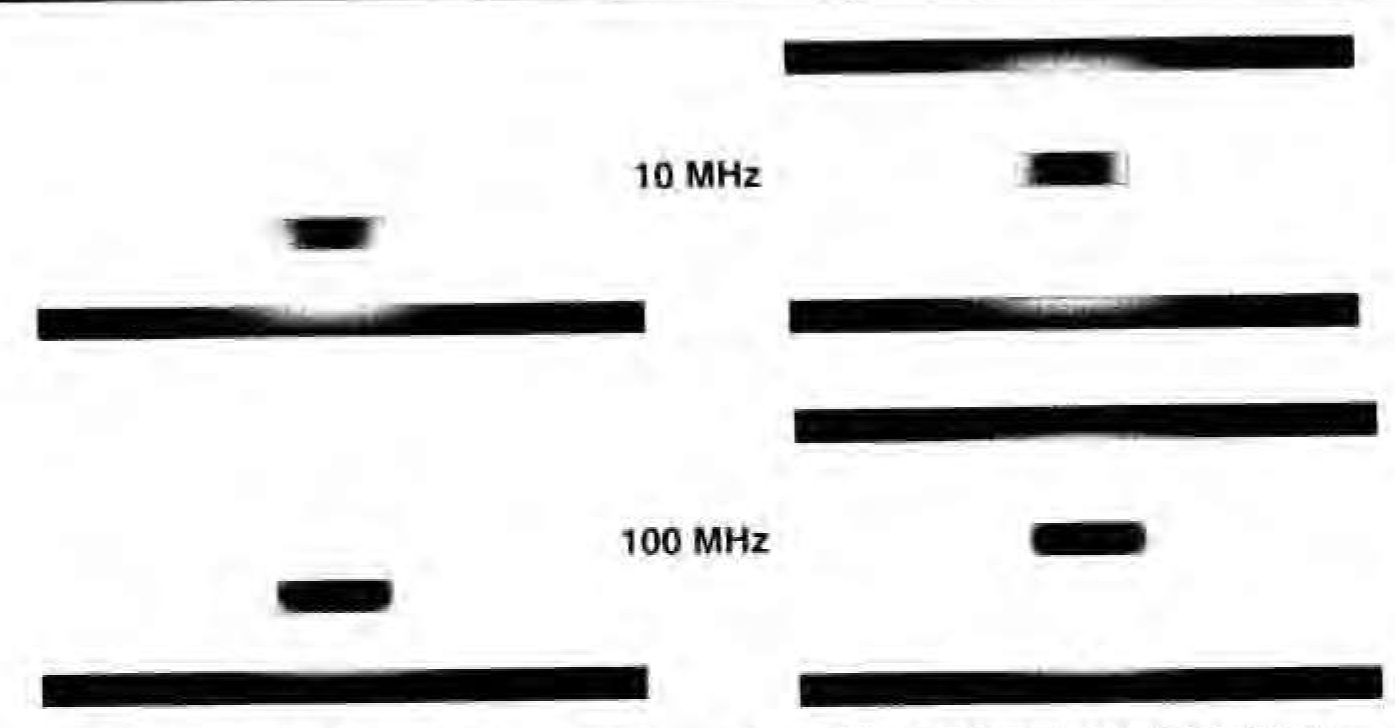


图 7.20 在 10 MHz 和 100 MHz 时，微带线和带状线信号路径和返回路径中的电流分布。两种情况中，导线为 1 盎司铜，线宽为 5 mil。图中颜色越淡，电流密度越大。上述结果使用 Ansoft 2D 场求解器计算得到

当频率增加时，返回路径上的电流选择阻抗最低的路径。这转化到回路电感最低的路径，即返回电流必将尽量靠近信号电流。频率越高，返回电流直接在信号电流下面流动的这种趋势就越明显。即使在 10 MHz 时，回路的电流也是高度集中的。

通常在频率高于 10 MHz 时，绝大部分返回电流都直接在信号路径下面流动。无论信号路径是弯曲的还是直角拐弯的，平面上的返回电流都会跟随它。因为采用这种回路，信号路径与返回路径之间的回路电感就会保持最小。

提示 任何妨碍返回电流靠近信号电流的因素，例如返回路径上有一道裂缝，都会增加回路电感，并增加信号受到的瞬态阻抗，这将引起信号失真。

7.14 返回路径中参考平面的切换

人们专门将电缆设计成返回路径靠近信号路径，例如同轴线和双绞线就是这种情况。这时的返回路径很容易跟随信号路径。在多层板的平面型互连中，返回路径通常设计成平面。例如微带线，有一个平面直接位于信号路径的下方，这样返回电流就很清楚。但是，如果与信号路径相邻的平面不是被驱动的平面，情况又会如何呢？如图 7.21 所示，信号在信号路径与另一平面之间是什么样？返回路径又将是什么样？



图 7.21 当相邻平面不是返回路径平面时，返回电流的分布会是什么样

电流的分布总是趋向于减小回路阻抗。在传输线的起始端，返回路径将从第三层底平面耦合到第二层中间平面，然后又回到第一层的信号路径。

下面是一种分析电流的方法：信号路径上的电流在悬空的中间平面的上表面感应出涡流，底平面的返回电流又在中间平面的下表面感应出涡流。这些感应的涡流在中间平面上靠近信号电流和返回电流的输入端的那一边相联通。电流的流向如图 7.22 所示。

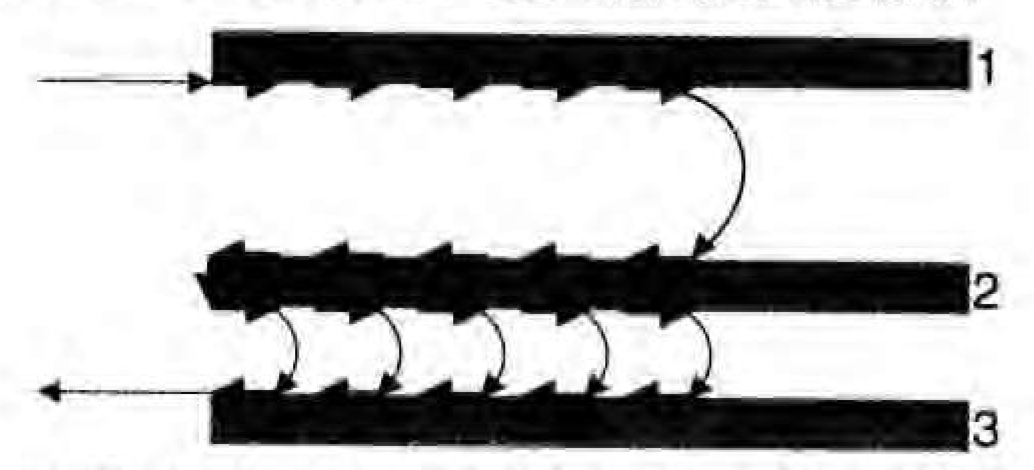


图 7.22　当相邻平面不是返回路径平面时，电流流动的侧视图

由于趋肤效应的影响，平面上精确的电流分布与频率有关。通常，电流在各个平面的分布趋向于减小信号 - 返回路径的总回路电感，且只能使用场求解器来精确计算出分布情况。图7.23 给出了一个例子：导线的厚度为 2 mil，频率在 20 MHz，从一端观察到的电流分布情况。



图 7.23　信号加到上面导线和底部平面之间而中间平面悬空时，从一端观察到的电流分布情况。悬空平面上有感应涡流，颜色越淡表示电流密度越高。此图由 Ansoft 2D 场求解器计算得到

从传输线看进去，驱动器在信号路径与底平面之间受到的阻抗为多少？驱动器把信号输入到信号路径和返回路径上，而中间平面是悬空的，这时信号受到的阻抗是两条传输线的串联。如图 7.24 所示，这两条传输线为：一条由信号路径和第二层中间平面构成；另一条由第二层平面和第三层平面构成。所以信号受到的串联阻抗为：

$$Z_{driver} = Z_{1-2} + Z_{2-3} \tag{7.17}$$

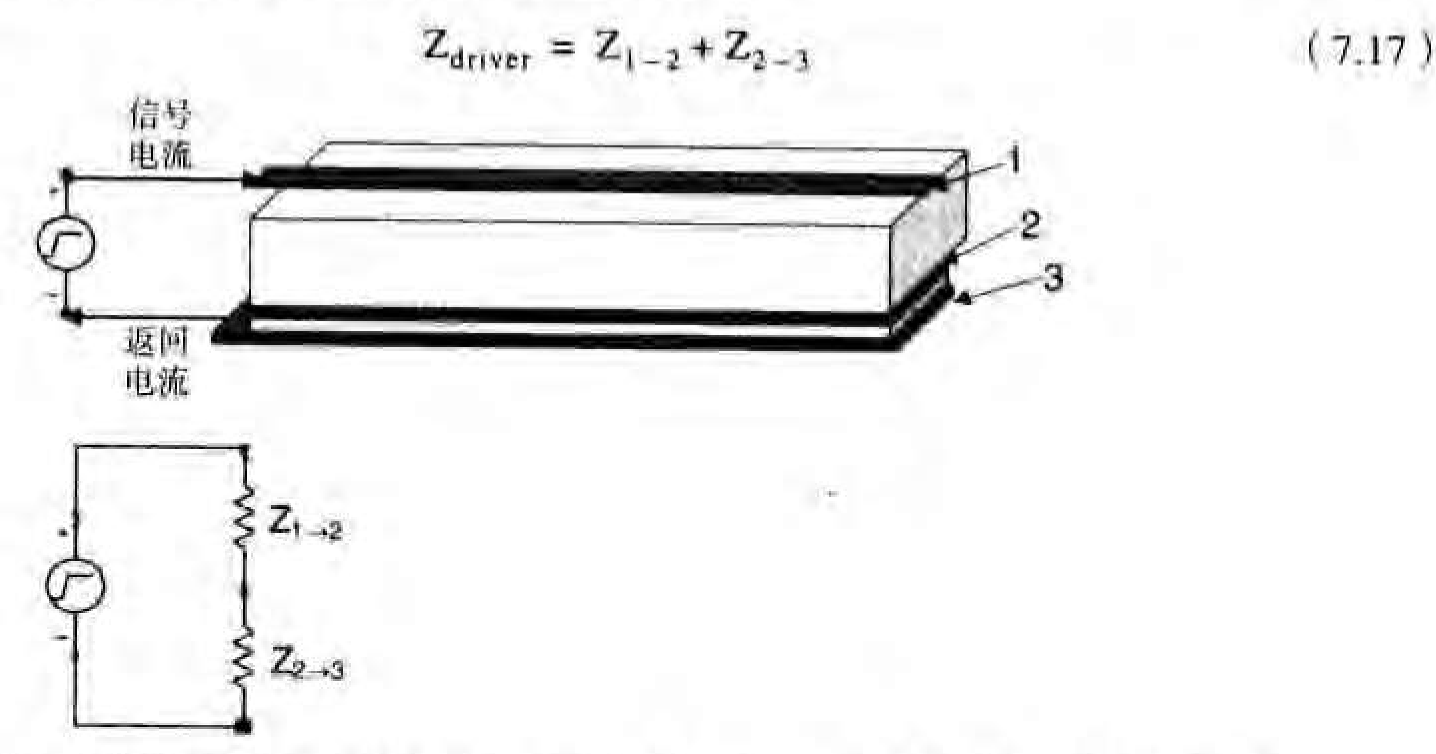


图 7.24　上图：驱动器驱动传输线的物理结构（中间平面悬空）。下图：等效电路模型，驱动器受到的阻抗为信号路径与悬空平面构成的阻抗 Z_{1-2} 和两平面构成的阻抗 Z_{2-3} 之和

两平面的阻抗 Z_{2-3} 越小，信号受到的阻抗就越接近于 Z_{1-2}。

这意味着，即使驱动器是连接在信号路径和底平面上，驱动器受到的阻抗也主要由信号路径和与它最近的平面构成的传输线的阻抗决定。这与邻近平面的电压没有关系。这是个惊人的结论。

提示 对于多层板中的传输线，驱动器受到的阻抗主要由信号路径和与之最近的平面构成的阻抗决定，而与实际连接在驱动器返回端的平面无关。

相对于信号路径与相邻平面间的阻抗，两平面间的阻抗越小，驱动器受到的阻抗就越接近于信号路径与悬空平面间的阻抗。

假设 h << w，两个长而宽的平面间的特性阻抗可近似为：

$$Z_0 = 377\sqrt{\varepsilon_r}\frac{h}{w}\Omega \tag{7.18}$$

其中：

Z_0 表示两平面的特性阻抗

h 表示平面间的介质厚度

w 表示平面的宽度

ε_r 表示平面间材料的介电常数

例如，对于 FR4，平面宽度为 2 in，介质厚度为 10 mil，则两平面之间的特性阻抗约为 377 Ω × 2 × 0.01/2 = 3.8 Ω。如果介质厚度为 2 mil，则两平面间的阻抗为 377 Ω × 2 × 0.002/2 = 0.75 Ω。当平面间的阻抗远小于 50 Ω 时，与驱动器直接相连的是哪一个平面已无关紧要，而对阻抗起主导作用的是与信号路径距离最近的那个平面。

提示 减小相邻平面间阻抗的最重要方法就是尽量减小平面间介质的厚度。这不仅使得平面间的阻抗最小，而且使两平面紧密耦合。

提示 如果平面间是紧耦合，并且它们之间的阻抗很小，则轨道塌陷不管怎样都很低。这时驱动器实际连接的是哪一个平面都无关紧要了。平面间的耦合为返回电流尽量接近信号电流提供了低阻抗路径。

如果信号路径在中途转换所在的层，相应的返回电流情况又会怎样？返回电流的分布又如何？图 7.25 所示的四层电路板中，信号路径从第一层开始，通过过孔连接到第四层上。在电路板的前半部分，返回电流分布在信号路径下方的平面上即第二层平面。另外，对于高于 10 MHz 的电流正弦波频率分量，返回电流仅在第二层的上表面流动。

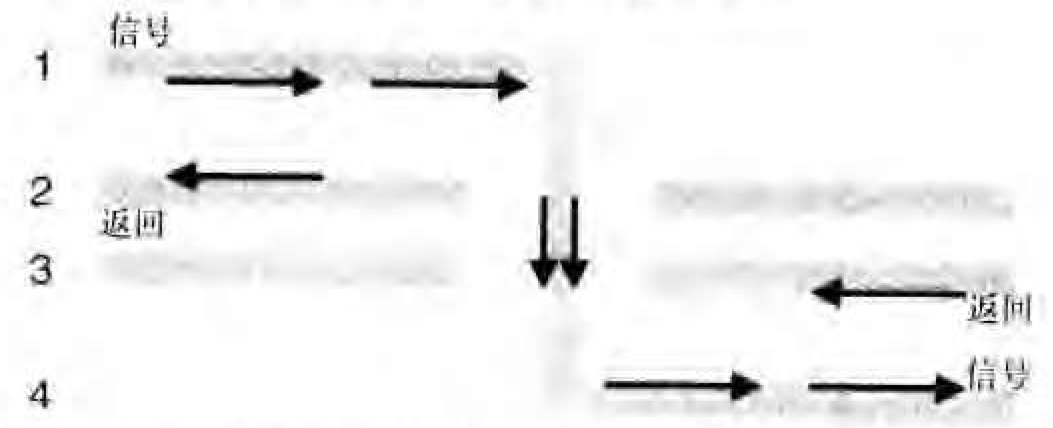


图 7.25 四层板的横截面，其中信号路径从第一层开始，然后通过过孔到第四层上。那么返回电流是如何从第二层转换到第三层的呢

在电路板的下半部分，信号路径在第四层上，那么返回电流又在哪里？它分布在靠近信号层的平面上，即第三层，并且分布在该平面的下表面。在均匀传输线的地方，返回电流比较容易理解。很显然过孔把信号电流从第一层引到第四层，那么返回电流是如何从第二层转换到第三层的呢？

如果两平面具有相同的电位，并有过孔使它们短接，如通孔，则返回电流就会采用这条低阻抗路径。返回电流在这里会有一个小摆动，但它只通过平面上一个很短的距离，而且这个平面的总电感又很低，因此不会造成很大的阻抗突变。这是一种较好的叠层设计。如果没有其他的约束条件，比如费用，让最近的参考平面具有相同的电压并使它们在靠近信号过孔处短接，是最佳的设计准则。

但是，有时为了减少电路板层数，必须使用电压值不相同的邻近参考平面。如果第二层平面的电压为5 V，第三层平面的电压为0 V，则它们之间没有直流通路。那么返回电流是如何从第三层平面流到第二层平面的呢？

电流只能从平面之间的电容流过。返回电流围绕出砂孔盘旋而上，并转换到同一平面的另一表面上。此时电流在两平面的内表面上扩散开，并通过两平面间的电容耦合。电流在两平面间以介质中的光速扩散开，图7.26画出了返回路径上的电流流动情况。两个返回路径平面构成一条传输线，而且返回电流受到的阻抗就是两平面的瞬态阻抗。

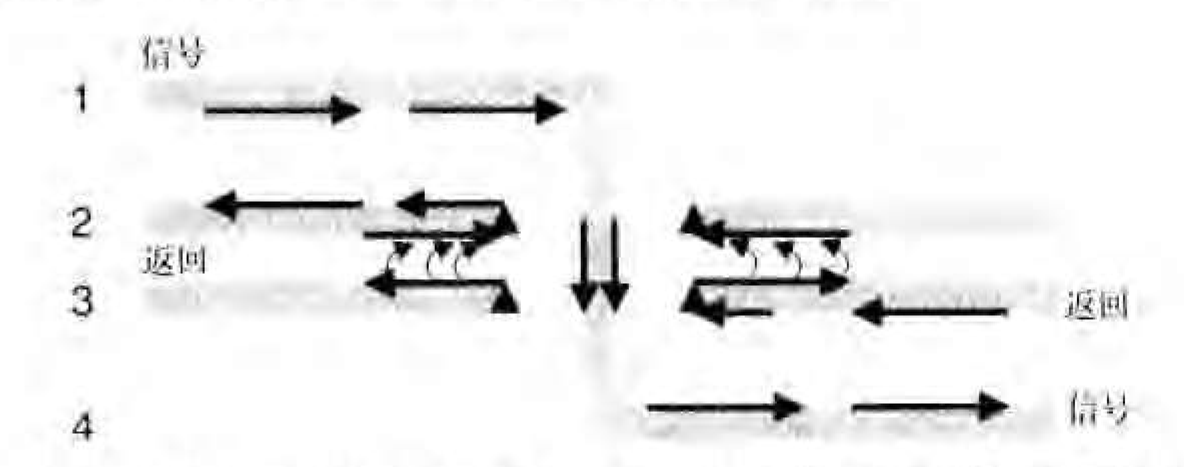


图7.26 通过两平面间的容性耦合，返回电流从第二层流到第三层平面上

提示 无论返回电流什么时候在直流隔离的平面间切换，它都会在两平面间实现耦合，其受到的阻抗等于两平面构成的传输线瞬态阻抗。

返回电流必须流过这个阻抗，所以返回路径上会产生压降。把返回路径上的这一压降称为地弹。返回路径的阻抗越高，压降就越大，产生的地弹噪声也就越大。改变参考平面的信号线会加大这一地弹电压噪声，信号线也将受到其他信号所产生的地弹噪声的影响。

提示 设计返回路径的目标是：设法减小返回路径的阻抗以便减小返回路径上的地弹噪声。可以看到，要达到这个目标，就得尽量减小参考平面间的阻抗，通常的做法是把参考平面设计成两个相邻的平面，而且平面间的介质要尽量薄。

在两个返回平面之间，当返回电流以不断扩张的圆从信号过孔中心向外扩散时，它受到的瞬态阻抗将不断减小。当圆的半径增加时，单位长度电容就会增加。这使得除了一些特殊情况外，分析变得非常复杂，这时就需要使用场求解器。

然而，可以建立一个简单模型来估算两平面间的瞬态阻抗，并且可以领会应如何优化叠层设计和减小这种地弹效应。

当信号在两平面间向外辐状传播时，为了计算信号受到的瞬态阻抗，要先计算出辐状传输线的单位长度电容和信号速度。信号感受到的单位长度电容就是半径增加单位长度时电容的增量。返回电流受到的总电容为：

$$C = \varepsilon_0\varepsilon_r\frac{A}{h} \tag{7.19}$$

两平面的面积为：

$$A = \pi r^2 \tag{7.20}$$

由这两个关系式，就可以求出电容与距离的关系：

$$C = \varepsilon_0\varepsilon_r\frac{A}{h} = \varepsilon_0\varepsilon_r\frac{\pi r^2}{h} \tag{7.21}$$

其中：

C 表示平面间的耦合电容

ε_0 表示自由空间的介电常数，其值为 0.225 pF/in

ε_r 表示平面间材料的介电常数

A 表示两平面上返回电流的重叠面积

h 表示平面间的距离

r 表示耦合圆不断扩张的半径，扩展速度为光速

随着半径的增加，电容的增量（即单位长度电容）为：

$$C_L = 2\pi\varepsilon_0\varepsilon_r\frac{r}{h} \tag{7.22}$$

正如所料，随着返回电流远离过孔，单位长度电容会增加。电值受到的瞬态阻抗为：

$$Z = \frac{1}{vC_L} = \frac{\sqrt{\varepsilon_r}}{c}\times\frac{h}{2\pi r\varepsilon_0\varepsilon_r} = \frac{377\Omega}{2\pi}\frac{h}{r\sqrt{\varepsilon_r}} = 60\frac{h}{r\sqrt{\varepsilon_r}}\Omega \tag{7.23}$$

其中：

Z 表示两平面间返回电流受到的瞬态阻抗

C_L 表示平面间单位长度的耦合电容

v 表示介质中的光速

ε_0 表示自由空间的介电常数，其值为 0.225 pF/in

ε_r 表示平面间材料的介电常数

h 表示平面间的距离

r 表示耦合圆不断扩张的半径，扩展速度为光速

c 表示真空中的光速

例如，如果平面间介质厚度为 10 mil，离过孔 1 in 远时，返回电流受到的阻抗为：$Z = 60 \times 0.01/(1 \times 2) = 0.3\ \Omega$。随着返回电流向外传播，这个阻抗会变得更小。也就是说，离过孔越远，返回电流受到的阻抗就越低，这个阻抗两端的地弹电压也就越小。

由于返回电流以材料中的光速传播，并且 $r = v \times t$，所以可以推导出返回电流受到的阻抗（它与信号电流受到的阻抗相串联）与时间的关系：

$$Z = 60\frac{h}{r\sqrt{\varepsilon_r}}\Omega = 60\frac{h}{vt\sqrt{\varepsilon_r}}\Omega = 60\frac{h\sqrt{\varepsilon_r}}{ct\sqrt{\varepsilon_r}}\Omega = 5\frac{h}{t}\Omega \tag{7.24}$$

其中：

Z 表示两平面间返回电流受到的瞬态阻抗，单位为 Ω

v 表示介质中的光速

ε_0 表示自由空间的介电常数，其值为 0.225 pF/in

ε_r 表示平面间材料的介电常数

c 表示真空中的光速

h 表示平面间的距离，单位为 in

t 表示返回电流的传播时间，单位为 ns

例如，介质厚度为 0.01 in，0.1 ns 后返回电流受到的阻抗为：Z = 5 × 0.01/0.1 = 0.5 Ω，所以信号前沿初始受到的阻抗可以达到 0.5 Ω。如果在前 100 ps 信号电流为 20 mA，在对应的阻抗为 50 Ω 的传输线中的电压为 1 V，那么切换平面间与信号电压相串联的地弹压降为 20 mA × 0.5 Ω = 10 mV。

这个压降相对于 1 V 的信号来说不大，但是如果有 10 个信号同时在相同的参考面间切换，它们间的距离都小于 0.6 in，它们各自受到的阻抗都为 0.5 Ω，那么通过返回路径阻抗的总电流就为：20 mA × 10 = 200 mA。这时产生的地弹噪声为：200 mA × 0.5 Ω = 100 mV，达到信号电压的 10%，这是相当大的。所有穿过这条路径的信号路径，即使它们的平面没有切换，信号也会受到 100 mV 地弹噪声的影响。

如果在开始很短的时间内有大量的电流流过，返回电流受到的初始阻抗将会很高。所以，在这段短时间内流动的所有电流都会受到很高的阻抗，并产生地弹电压。图 7.27 画出了返回电流受到的阻抗与时间的关系。从图中可以清楚地看到，返回电流的阻抗只有在上升时间很快时才很大，这段时间基本上小于 0.5 ns。

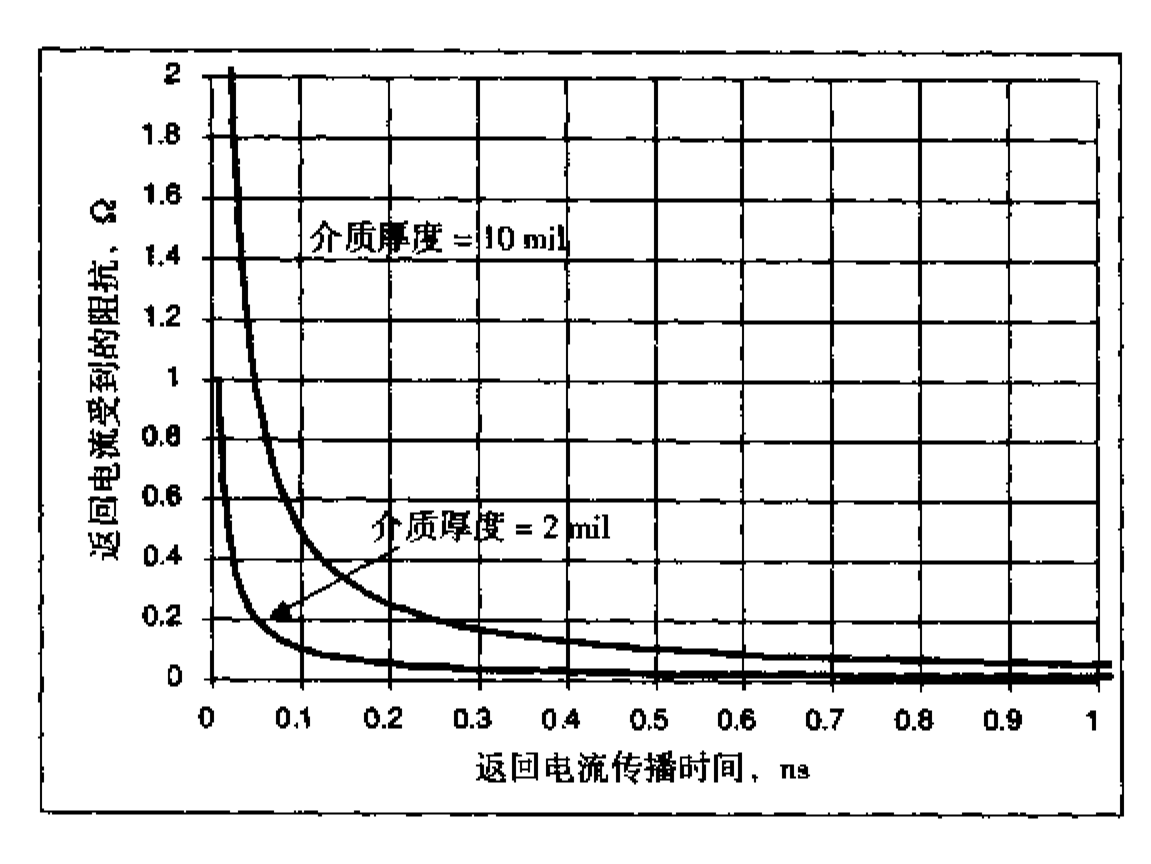


图 7.27　介质厚度分别为 2 mil 和 10 mil，当信号由过孔向外传播时，返回电流受到的阻抗

对应于一条信号线的切换，当返回路径阻抗约为50 Ω的5%时，它的影响就相当大。当有n个信号路径经由这些平面切换时，返回路径最大可允许的阻抗为2.5 Ω/n。

提示 分析表明，当快速前沿和多个信号同时在参考平面间切换时，在返回路径上产生的地弹电压就很大。减小地弹电压的惟一方法就是减小返回路径的阻抗。

主要的措施有以下几种：

1. 当信号路径切换层时，总要有一个具有相同参考电压的相邻平面，并且在切换平面间的短路过孔应尽量靠近信号过孔；
2. 具有不同直流电压的参考平面间的距离应尽量薄；
3. 扩大相邻切换过孔的距离，以免在初始瞬间当返回路径的阻抗很高时，返回电流叠加在一起。

有时认为，当在两参考平面上切换返回电流时，在这两个平面间并接一个去耦电容，有助于减小返回路径的阻抗。希望在两平面间连接的分立电容，能为返回电流从一个参考平面流到另一个参考平面提供一条低阻抗路径。

提示 为了起到有效作用，在上升时间频率分量的带宽内，实际电容必须使得两平面间的阻抗小于5% × 50 Ω即2.5 Ω。

实际的电容都有相应的回路电感和等效串联电阻，这就限制了分立去耦电容在短上升时间信号中的作用。毕竟，在长时间之后或对于低频分量来说，平面间的阻抗仍然是很低的。

对于可以使用分立形式的高频元件，决定实际电容阻抗的并不是电容量，而是它的等效串联电感。图7.28画出了回路电感为0.5 nH的1 nF实际电容的阻抗与频率的关系。这个回路电感值是非常理想的情况，只能采用单焊盘——多过孔结构或交指型电容（IDC）才能做到。

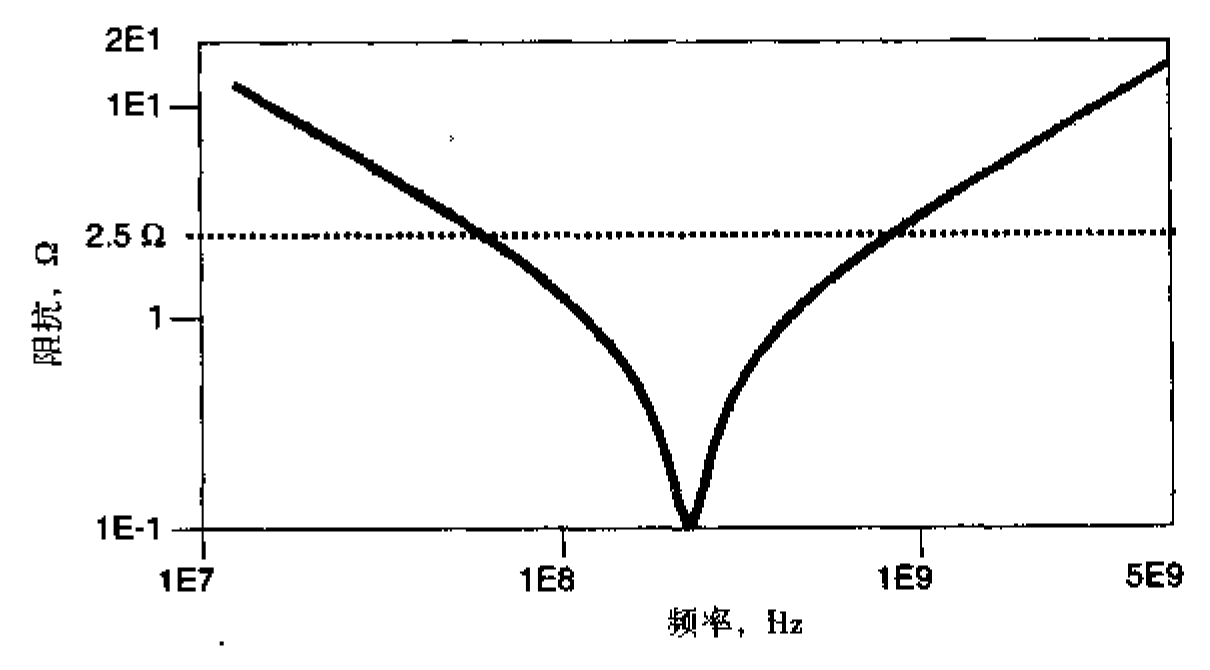


图7.28 1 nF电容的阻抗，其回路电感仅为0.5 nH

可以看出，仅当信号带宽小于1 GHz时，这个实际电容才能为返回路径提供低阻抗通路。电容量大于1 nF并不能增加其作用，因为在低频时平面间的阻抗本来就很低。

提示 当使用分立电容来减小返回路径的阻抗时，使用串联电感低的电容比电容量大于1 nF的电容更有效。

然而，即使是精心设计的回路电感为0.5 nH的电容，在频率高于1 GHz时，其阻抗也仍然很大，而这时平面间的阻抗也比较高，地弹现象就更为突出。

提示 不同直流电压平面间的电容并不能有效地控制切换平面引起的地弹，然而它可以为低频噪声提供额外的去耦作用，但是随着上升时间持续缩短，仍然解决不了地弹问题。

提示 在多层板中，当信号路径必须面临不同电平的参考层时，减小地弹电压的惟一方法就是使参考平面间的介质尽量薄。

当信号改变参考平面、电流在两相邻平面构成的传输线中流动时，另一个问题产生了。电流在何处终止？电流向外传播，终究要碰到板的边沿。当信号电流切换平面时，注入到两平面间的电流就在两平面上迅速流动，并在两平面间产生瞬变电压。

由于两平面间的阻抗很小，远小于1 Ω，因此产生的瞬变电压很低。然而当多个信号同时切换平面时，每个信号都给平面注入一定的噪声。切换的信号越多，产生的噪声就越大。注入到平面的电流由信号的阻抗（约50 Ω）决定，而两平面间产生的电压噪声取决于平面间的阻抗。要减小这个电压噪声，就必须减小平面间的距离以便减小平面间的阻抗。

有时把相邻平面层内的电路板边沿之间电压的来回反射称为平面间的谐振。由于导体和介质的衰减，这些谐振会渐渐消失。它们之间有些频率分量与电路板两边之间的往返时间相匹配，如边长为10~20 in的电路板，谐振频率范围为150 ~ 300 MHz。这就是不同电压的平面间的电容能起到一些改善作用的原因，它们有助于维持平面间的低阻抗（在电路板的谐振频率范围内）和保持平面间的低电压。然而在快速跳变期间，这些电容并不能改善瞬态地弹电压。

提示 为了减小谐振电压，特别是在小型多层封装中，避免返回电流在不同的平面间切换非常重要。相邻的返回层的直流电压必须相同，而且应当在信号路径附近用过孔来连接返回路径。这样就可以避免在平面间注入电流，并避免平面谐振的产生。

随着上升时间的减小，特别是在100 ps以下时，这些问题会变得更加严重。

7.15 传输线的一阶模型

理想传输线是一种新的理想电路元件，它有两个重要的特征：恒定的瞬态阻抗和相应的时延。这个理想模型是分布式模型，因为理想传输线的各个特性是分布在整条传输线上，而不是聚集在一个集总点上。

从物理上讲，可控阻抗传输线是由两条一定长度且横截面均匀的导线组成。在前一章，我们分绍了零阶模型，它把传输线描述成一系列的相互间有一定间距电容的集合。然而这仅是物理模型，并不是等效电气模型。

把信号路径和返回路径导线的每一小节描述成回路电感，就可以进一步近似物理传输线。如图7.29所示，这个最简单的传输线等效电路模型中，每两个小电容就被一个小回路电感隔开。图中C表示两导线间的电容，L表示两小节之间的回路电感。

每一节信号路径和返回路径都有相应的局部自感，两电容之间的每节信号路径和返回路径间又存在局部互感。对于非平衡传输线，如微带线，每一节中信号路径与返回路径的局部自感是不相同的。其实，信号路径的局部自感要比返回路径的局部自感大10倍以上。

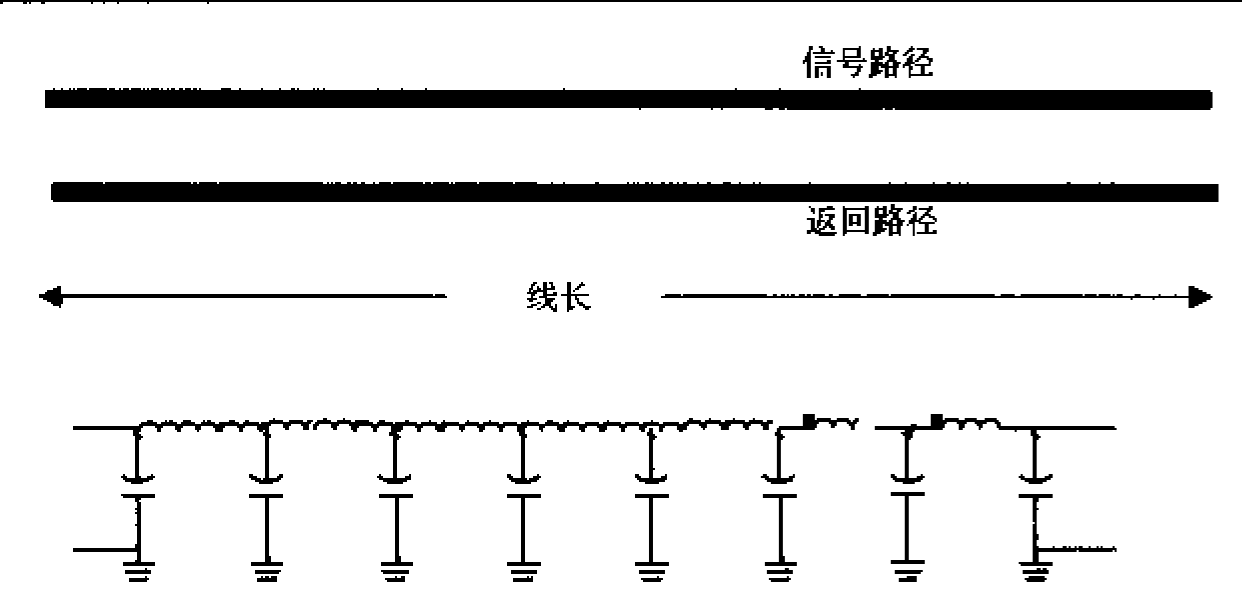


图 7.29 上图：均匀传输线的物理结构。下图：由电容和电感组成的传输线的一阶等效电路模型近似

但是对信号来说，当它在传输线上传播时，实际传播的是从信号路径到返回路径的电流回路。从这种意义上讲，所有信号电流流经一个回路电感，此回路电感由信号路径节和返回路径节构成。对于传输线上的信号传播和大多数串扰来说，信号路径和返回路径的局部电感并不怎么重要，只有回路电感才是重要的。当把理想的分布传输线近似为一系列的LC电路时，模型中的电感实际上就是回路电感。

提示 注意，这个集总电路模型是理想传输线的近似。在极端情况下，若电容和电感逐渐减小，则分成的节数越多，近似程度就越好。

在极端情况下，当电容和电感无穷小时，LC电路的节数就趋于无穷，单位长度电容C_L和单位长度电感L_L都为常数。这两个参数通常称为传输线的线参数。如果给出传输线的总长度Len，那么总电容为：

$$C_{total} = C_L \times Len \tag{7.25}$$

总电感为：

$$L_{total} = L_L \times Len \tag{7.26}$$

其中：

C_L表示单位长度电容

L_L表示单位长度电感

Len表示传输线长度

只看这个LC电路，很难想像信号是如何传输的。乍一看，可能会认为这有很多振荡和谐振。但是，当各元件是无穷小时情况会怎样？

弄清楚信号是如何传输的惟一方法是运用网络理论，并求解表示LC网路的微分方程。结果表明，信号沿网络传输时，在每个节点上都受到恒定的瞬态阻抗。这个瞬态阻抗与理想分布传输线元件的瞬态阻抗是一样的，它在数值上与导线的特性阻抗相等。同理，从信号进入LC网络到信号输出会有一个有限的时延。

运用网络理论，根据传输线的线参数和总长度，可以计算出传输线的特性阻抗和时延：

$$Z_0 = \sqrt{\frac{L_L}{C_L}} \tag{7.27}$$

$$TD = \sqrt{C_{total}L_{total}} = Len \times \sqrt{C_L L_L} = \frac{Len}{v} \tag{7.28}$$

$$v = \frac{Len}{TD} = \frac{1}{\sqrt{C_L L_L}} \tag{7.29}$$

其中：

Z_0 表示特性阻抗，单位为Ω

L_L 表示传输线的单位长度回路电感

C_L 表示传输线单位长度电容

TD 表示传输线的时延

L_{total} 表示传输线的总回路电感

C_{total} 表示传输线的总电容

v = 传输线中的信号速度

并不是刻意限制在传输线中信号的速度，根据LC网络的电气特性就可以预计时延这个特性。同样，在电路模型中很难看出信号在每个节点受到恒定的阻抗，但是从网络理论却可以得出这样的结论。

这两个预计的特性(特性阻抗和时延)必须和基于电容排列组成的有限速度的零阶模型导出的结果一致。将两个模型的结论联系起来，就可以得出很多重要的关系式。

因为信号的速度取决于材料的介电常数、单位长度电容和单位长度电感，所以可以将单位长度电容和单位长度电感联系起来：

$$v = \frac{c}{\sqrt{\varepsilon_r}} = \frac{1}{\sqrt{C_L L_L}} \tag{7.30}$$

$$L_L = 7\frac{\varepsilon_r}{C_L}\frac{nH}{in} \tag{7.31}$$

$$C_L = 7\frac{\varepsilon_r}{L_L}\frac{pF}{in} \tag{7.32}$$

从特性阻抗和速度的关系，可以得出下列关系式：

$$C_L = \frac{1}{vZ_0} = \frac{1}{cZ_0}\sqrt{\varepsilon_r} = \frac{83}{Z_0}\sqrt{\varepsilon_r}\frac{pF}{in} \tag{7.33}$$

$$L_L = \frac{Z_0}{v} = 0.083Z_0\sqrt{\varepsilon_r}\frac{nH}{in} \tag{7.34}$$

从传输线的时延和特性阻抗，可以得出下列关系式：

$$C_{total} = \frac{TD}{Z_0} \tag{7.35}$$

$$L_{total} = TD \times Z_0 \tag{7.36}$$

其中：

Z_0 表示特性阻抗，单位为Ω

L_L 表示传输线的单位长度回路电感，单位为nH/in

C_L 表示传输线单位长度电容，单位为nF/in

TD 表示传输线的时延，单位为 ns

L_{total} 表示传输线的总回路电感，单位为 nH

C_{total} 表示传输线的总电容，单位为 nF

v 表示传输线中的信号速度，单位为 in/ns

例如，传输线的特性阻抗为 50 Ω，介电常数为 4，因此单位长度的电容为：$C_L = 83/50 \times 2 = 3.3$ pF/in。这是一个惊人的结论。

提示 所有介电常数为 4 的 50 Ω 传输线，其单位长度电容都相同——约为 3.3 pF/in 。这是一个非常有用的经验法则。

如果线宽加倍，则为了保持特性阻抗不变，电介质的厚度也应加倍，此时单位长度电容不变。如果 BGA 封装中 0.5 in 长的互连线按 50 Ω 可控阻抗传输线设计，那么该线的电容为 3.3 pF/in × 0.5 in = 1.6 pF。

同样，FR4 板上 50 Ω 传输线的单位长度电感为：$L_L = 0.083 \times 50 \times 2 = 8.3$ nH/in。

提示 所有介电常数为 4 的 50 Ω 传输线，其单位长度回路电感都相同——约为 8.3 nH/in。这是一个非常有用的经验法则。

如果传输线的时延为 1 ns，特性阻抗为 50 Ω，那么传输线的总电容就为：C_{total} = 1 ns/50 = 20 pF。如果线长为 6 in，这 20 pF 的电容均匀分布在该段导线上，则单位长度电容为 20 pF/6 in = 3.3 pF/in。对同一条传输线，从信号路径到返回路径的总回路电感为：L_{total} = 1 ns × 50 Ω = 50 nH。此电感若均匀分布在 6 in 长的导线上，单位长度电感就为：50 nH/6 in = 8.3 nH/in。

这些与传输线相关的电容、电感、特性阻抗和介电常数之间的关系式，适用于所有的传输线，而且与传输线的横截面几何形状无关。使用现有的近似和场求解器，这些关系式对估计上述一个或多个参数非常有帮助。如果知道其中任意的两个，就可以求出其他的所有参数。

7.16 特性阻抗的近似计算

设计一个特定的特性阻抗，实际上就是不断调整线宽、介质厚度和介电常数的过程。如果我们知道传输线的长度和导线周围材料的介电常数，计算出特性阻抗并且运用上面的关系式，则就可以计算出其他所有的参数。

当然，不同类型的横截面，它的几何特征和特性阻抗的关系式也不同。从导线的横截面几何结构中求解特性阻抗，通常可以使用的分析方法有三种：

1. 经验法则；
2. 近似法；
3. 二维场求解器。

对于 FR4 板上的微带线和带状线，有两个关于特性阻抗的最重要的经验法则。图 7.30 示例了 50 Ω 传输线的两种横截面。

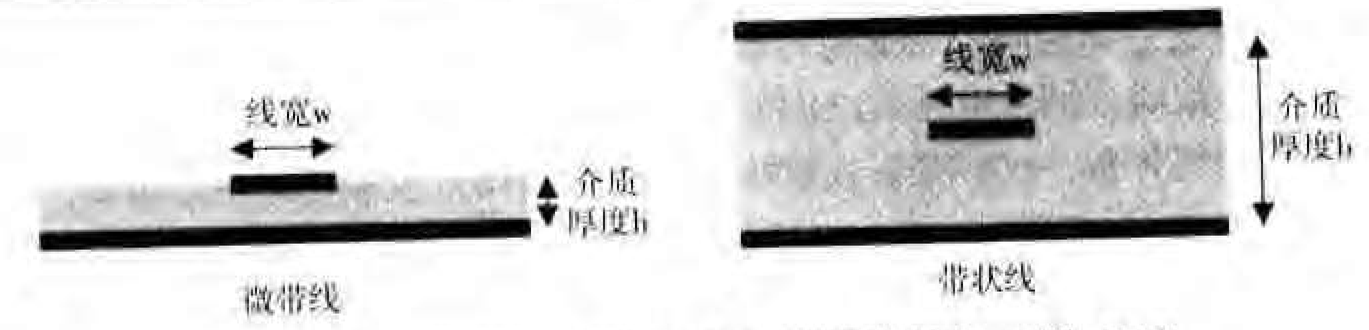


图 7.30　50 Ω传输线的两种不同比例的横截面。左图：50 Ω 微带线，w = 2 × h。右图：50 Ω 带状线，b = 2 × w

提示　由经验可得，FR4 板上 50 Ω 微带线的线宽等于介质厚度的两倍。而 50 Ω 的带状线，其两平面间的总介质厚度等于线宽的两倍。

只有三种类型的横截面有精确的公式，其他的全都是近似。如图 7.31 所示，这三种横截面为：同轴型、双圆杆型、圆杆–平面型。同轴型的特性阻抗与横截面的关系式为：

$$Z_0 = \frac{377\Omega}{2\pi\sqrt{\varepsilon_r}}\ln\left(\frac{b}{a}\right) = \frac{60\Omega}{\sqrt{\varepsilon_r}}\ln\left(\frac{b}{a}\right) \quad (7.37)$$

对于平行的双圆杆型，其特性阻抗为：

$$Z_0 = \frac{120\Omega}{\sqrt{\varepsilon_r}}\ln\left(\frac{s}{2r} + \sqrt{\left(\frac{s}{2r}\right)^2 - 1}\right) \quad (7.38)$$

r　r
s　双圆杆型
a　b
同轴型
r
h　圆杆–平面型

图 7.31　只有三种类型的横截面有精确的公式可以计算特性阻抗，其他的全都是近似

圆杆–平面型的特性阻抗为：

$$Z_0 = \frac{120\Omega}{\sqrt{\varepsilon_r}}\ln\left(\frac{h}{r} + \sqrt{\left(\frac{h}{r}\right)^2 - 1}\right) \quad (7.39)$$

其中：

Z_0 表示特性阻抗，单位为 Ω
a 表示同轴线的内半径，单位为 in
b 表示同轴线的外半径，单位为 in
r 表示圆杆的半径，单位为 in
s 表示两圆杆的中心距离，单位为 in
h 表示圆杆中心到平面的距离，单位为 in
ε_r 表示材料的介电常数

这些关系式假设电场空间中全部均匀地填充了介质材料。如果假设不成立，制约信号传播速度的有效介电常数与不同介电常数之间的关系比较复杂，只能通过场求解器计算得出。

如果介质是均匀分布，这些关系式就很精确，可以用于校准二维场求解器。

提示 除了少数特殊情况外，所有其他关于特性阻抗和几何结构的公式都是近似的。如果误差超过5%会造成设计周期和成本大幅度增加，近似方法就不能用于传输线的最终设计签度（Sign-off）。当要求考虑精度时，就应使用经过验证的二维场求解器。

近似的作用在于它指出了几何结构各参数之间的关系，可以用于棋盘对照表中的灵敏度分析。对于微带线，IPC推荐的通用近似式为：

$$Z_0 = \frac{87\Omega}{\sqrt{1.41 + \varepsilon_r}} \ln\left(\frac{5.98h}{0.8w + t}\right) \tag{7.40}$$

对于带状线，IPC推荐的通用近似式为：

$$Z_0 = \frac{60\Omega}{\sqrt{\varepsilon_r}} \ln\left(\frac{2b + t}{0.8w + t}\right) \tag{7.41}$$

其中：

Z_0 表示特性阻抗，单位为 Ω

h 表示信号线与平面间的分质厚度，单位为 mil

w 表示线宽，单位为 mil

b 表示平面间距离，单位为 mil

t 表示金属厚度，单位为 mil

ε_r 表示介电常数

如果忽略线条厚度t的影响，这两种结构的特性阻抗仅与介质厚度和线宽的比值有关，这是一个非常重要的关系式。

提示 在一阶模型中，微带线和带状线的特性阻抗与介质厚度和线宽的比值成比例变化。只要这个比值保持不变，特性阻抗就恒定不变。

例如，如果线宽和介质厚度都加倍，则一阶模型中的特性阻抗保持不变。

虽然这些方程看起来很复杂，但是它的精度无法度量。想要知道近似的精度，惟一的方法是把近似值与使用经过验证的场求解器得出的结果相比较。

7.17 用二维场求解器计算特性阻抗

如果要求的精度优于10%，或者担心二阶效应，如线条厚度、阻焊层的覆盖面或侧面墙壁形状等，那么就不能使用近似法计算。二维场求解器是计算阻抗的最重要工具，也是工程师的必备工具。

均匀的几何结构是使用所有二维场求解器的基本前提，即整条传输线的横截面形状是相同的。同时，均匀横截面也是可控阻抗传输线的基本定义。在这种情况下，描述传输线的特性阻抗只有一个。这使得二维场求解器成为精确计算均匀传输线的特性阻抗最合适的工具。对于二维场求解器来说，只有二维横截面信息是最重要的。

只要对精度有较高要求，就必须使用二维场求解器。也就是说，在签发设计并进行硬件制作之前，必须使用二维场求解器来设计叠层结构。也有人争辩说，制造公差可能高达10%，所以没必要关心预计精度是否达到1%。事实上，为了提高生产的成品率，精度非常重要。预计阻抗时的任何不精确计算，都会直接增加制造出的阻抗的离散性。只要设法使目标阻抗的离散性变得集中，就能提高产品成品率。前一章曾经介绍过，场求解器的精度优于0.5%。

使用二维场求解器可以计算出微带线的特性阻抗，现在把计算结果与IPC近似的预计值做一比较。图7.32画出了线宽变化时微带线的特性阻抗，其中介电常数为4、介质厚度为10 mil，导线为1/2盎司的铜。在50 Ω附近或大于50 Ω处，二者吻合得很好。但是，当阻抗较低时，IPC近似的偏差高达25%。

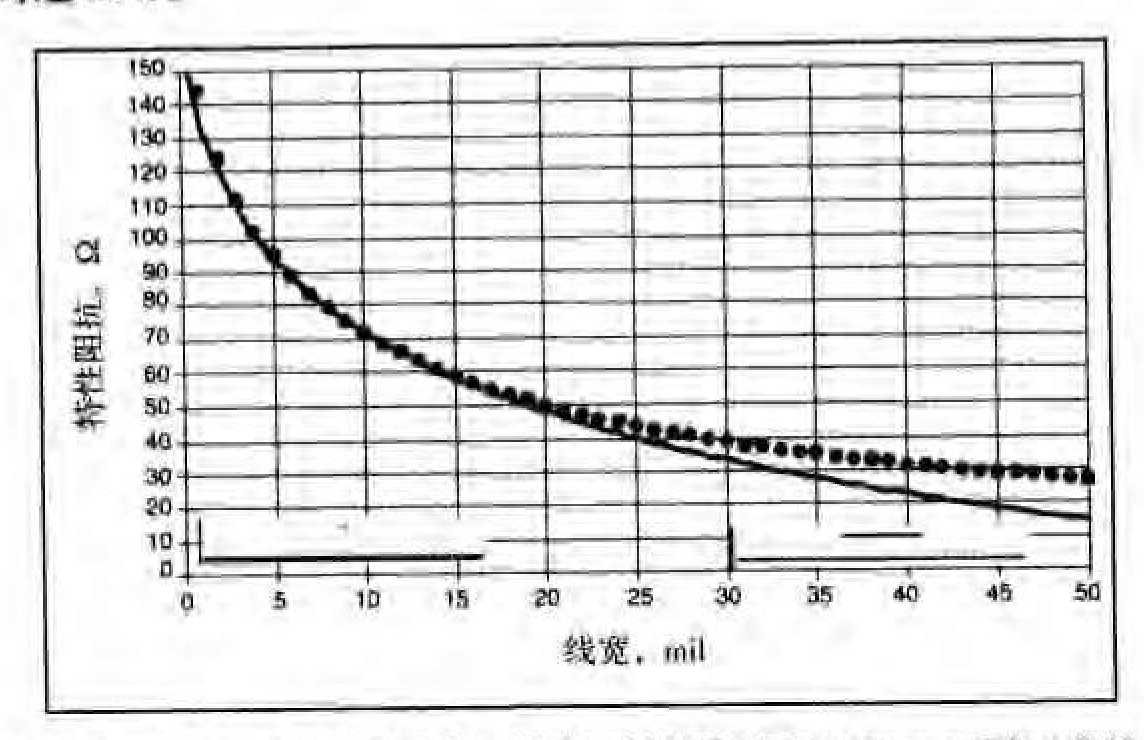


图7.32 对微带线的特性阻抗、场求解器结果（圆点）和IPC近似（曲线）的比较，其中微带线为FR4介质，厚度为10 mil，导线为1/2盎司的铜。图中场求解器的结果由Ansoft的2D Extractor得到

对带状线也做相同的比较，如图7.33所示。二者在50 Ω附近吻合得很好，但在阻抗较低时，近似的偏离可达25%。所以当要求高精度时就不能用近似法。

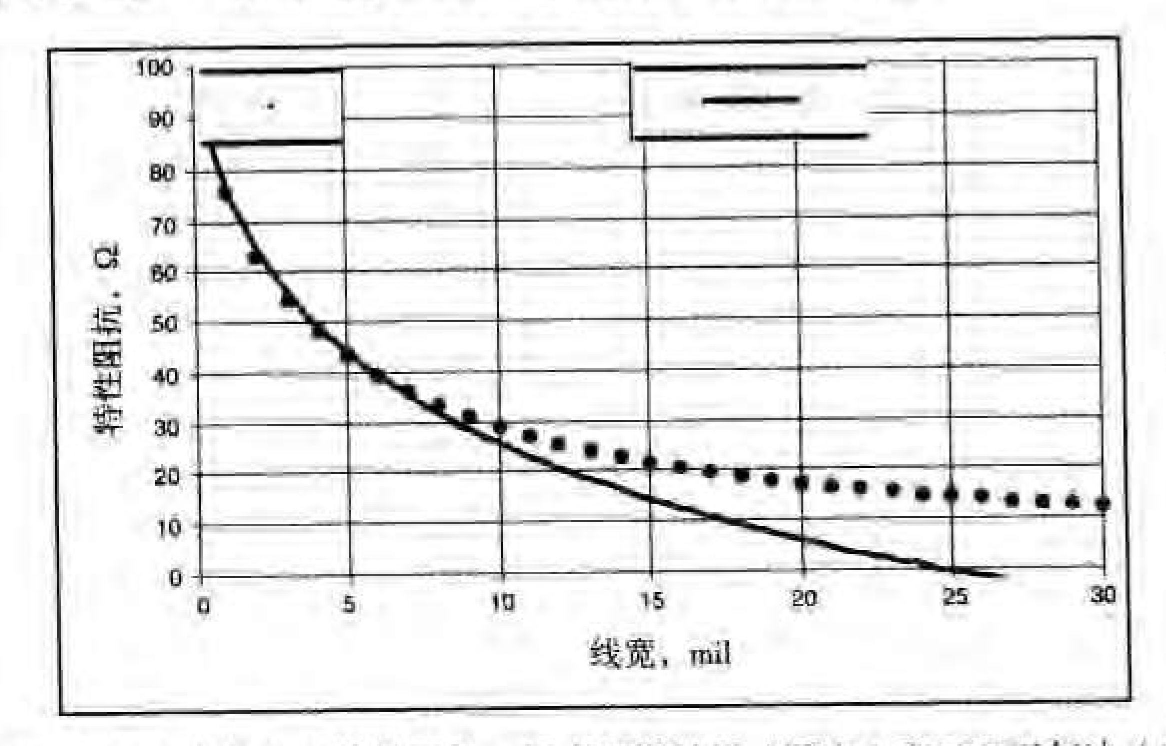


图7.33 对带状线的特性阻抗，场求解器结果（圆点）和IPC近似法（曲线）求得结果的比较，其中带状线为FR4介质，厚10 mil，导线为1/2盎司铜。图中场求解器的结果由Ansoft的2D Extractor得到

除了能精确地估算特性阻抗外，二维场求解器还可以分析出二阶因素的影响，如：

1. 返回路径的宽度；
2. 信号线条的导线厚度；
3. 表面线条上阻焊层的存在；
4. 有效介电常数。

返回路径宽度是如何影响特性阻抗的呢？如果返回路径的宽度很窄，电容就很小，特性阻抗就很高。使用场求解器可以计算出返回路径达到多宽时它的影响可以忽略。

图7.34给出了微带线的特性阻抗与返回路径宽度的关系曲线，其中介电常数为4，导线厚度为0.7 mil（相当于1/2盎司铜），介质厚度为5 mil，线宽10 mil，这就是标称50 Ω的传输线。当返回路径线宽变化时，计算所得的特性阻抗如图所示。当返回路径在信号路径每边的延伸宽度大于15 mil时，其特性阻抗与返回路径为无穷宽时相比较，偏离不到1%。线条边沿的边缘场与介质厚度成比例变化，介质厚度是个重要的比例因数。所以信号路径两边返回路径的延伸宽度应该大约为介质厚度h的3倍。

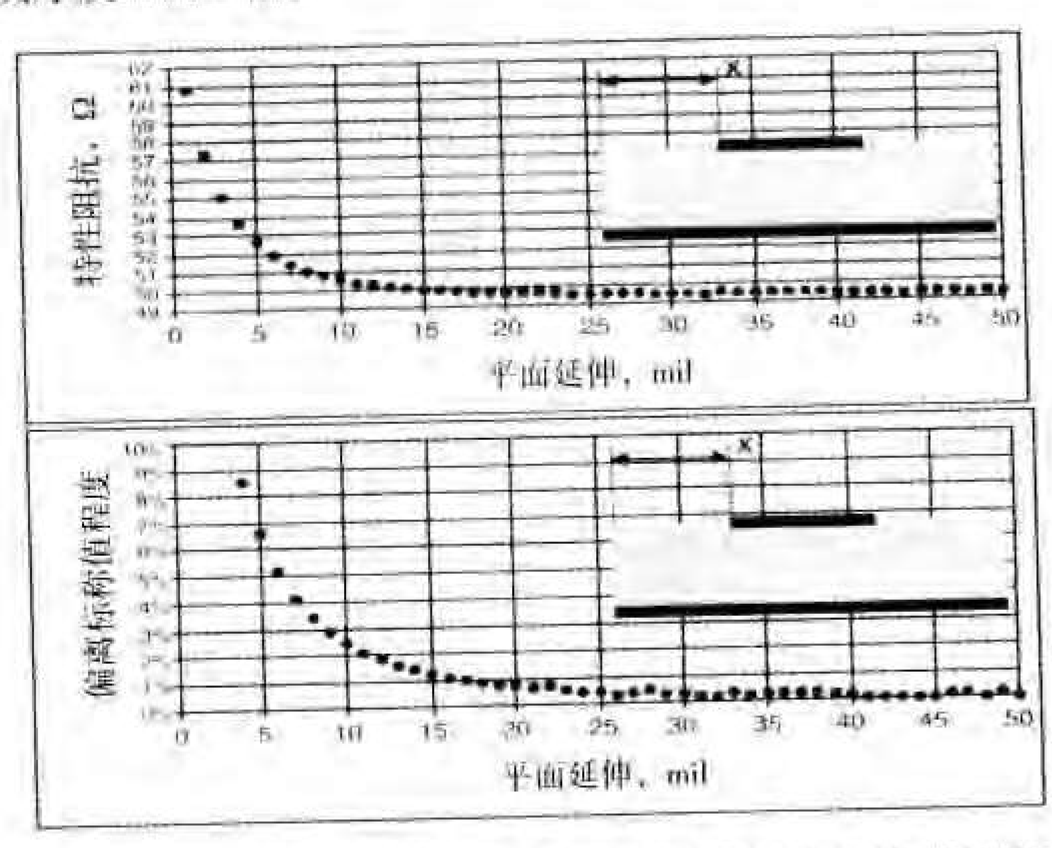


图7.34 上图：返回路径的宽度变化时，计算所得微带线的特性阻抗。其中线宽为10 mil、介质厚度为5 mil。下图：偏离标称值的程度。图中场求解器的结果由Ansoft的2D Extractor得到

提示 经验法则：要使特性阻抗与返回路径为无穷宽时的值相差不到1%，返回路径在信号路径每边的延伸宽度应至少为介质厚度的3倍。

使用二维场求解器，可以计算出当线条厚度从0.1 mil到3 mil之间变化时的特性阻抗，如图7.35所示。曲线上的每个点是不同厚度对应的特性阻抗。可以看到，金属厚度增加时，边缘场的电容也增加，特性阻抗就减少，这与我们的预料是一致的。增加金属片厚度意味着增加信号路径与返回路径之间的电容，也意味着特性阻抗减小。但是，从计算的结果可以看到，这个影响并不大——属于是第二位的。

提示 经验法则：信号路径厚度每增加1 mil，特性阻抗约下降2 Ω。

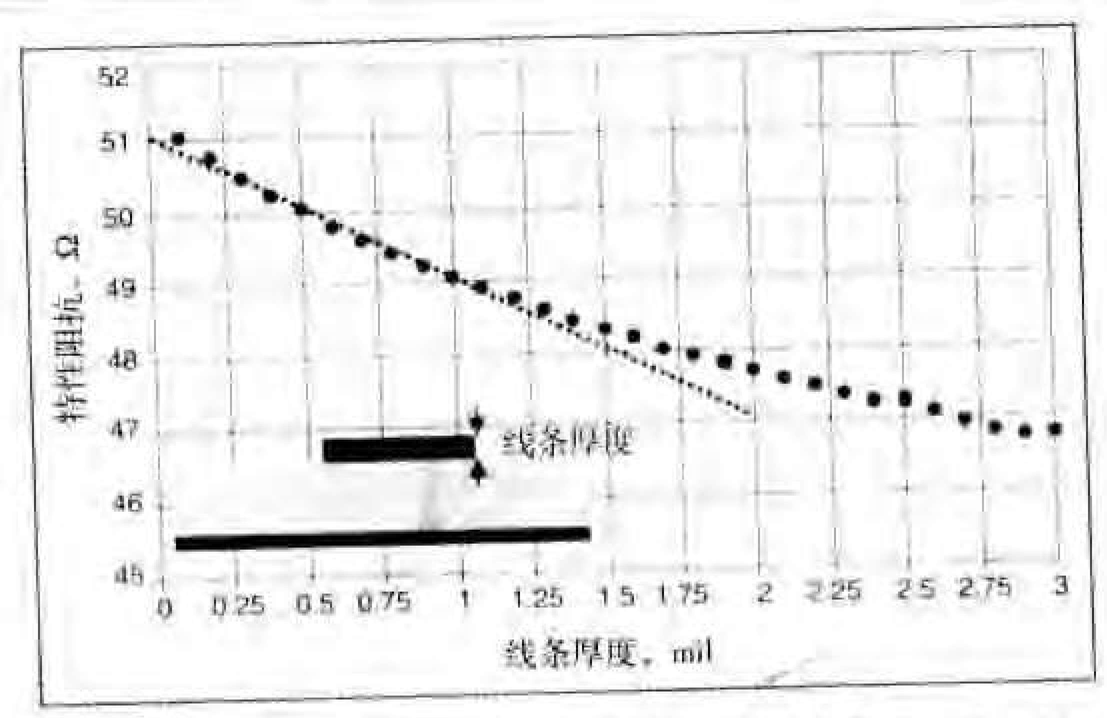


图7.35 当线条厚度变化时，标称值为50 Ω的微带线的特性阻抗。圆点为场求解器计算结果，直线斜率为2 Ω/mil。图中场求解器的结果由Ansoft的2D Extractor得到

如果微带线上面覆盖了一层很薄的阻焊层，边缘场电容就会增加，特性阻抗将会减小。对于上述这种微带线，如果使用0.1 mil厚的导线，介电常数为4。当阻焊层厚度增加时，特性阻抗随之减小，对应曲线如图7.36所示。从图中可以看出，当阻焊层很薄时，特性阻抗的下降速度约为2 Ω/mil。厚度在10 mil以上时，特性阻抗就不再受影响，因为外部的边缘场都被包含在10 mil阻焊层以内了。这也是对边缘场在上表面延伸程度的一种度量。

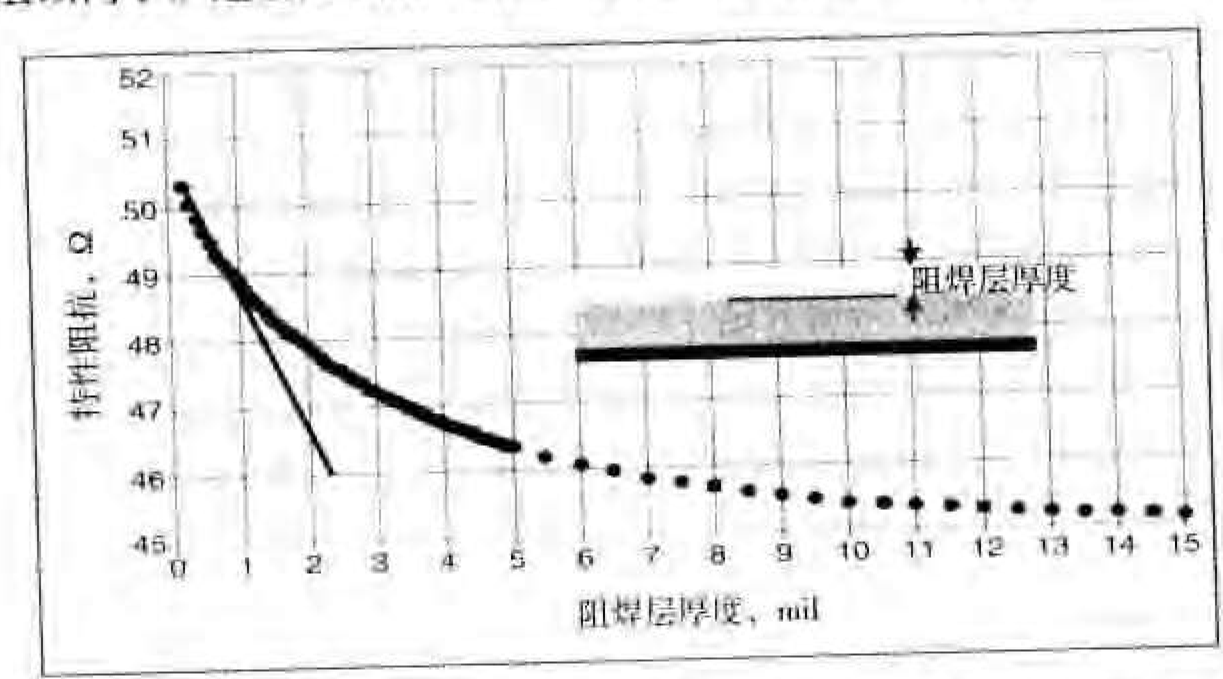


图7.36 介电常数为4，当阻焊层厚度增加时，标称值50 Ω的微带线的特性阻抗。圆点为场求解器的计算结果，直线斜率为2 Ω/mil。图中场求解器的结果由Ansoft的2D Extractor得到

当然，阻焊层厚度的典型值为0.5 mil到2 mil之间。可以看到，在这个范围内，阻焊层的存在使特性阻抗降低了2 Ω，这个值相当大。如果存在阻焊层，要达到期望阻抗就必须使线宽小于标称值，这样阻焊层就会使特性阻抗减小到期望值。

最后这个例子证明了特性阻抗与微带线表面上的介质分布有关。当然，对于带状线来说，所有的电力线都在介质内，顶平面上的阻焊层不会影响到特性阻抗。

除了特性阻抗受介质分布不均匀的影响之外，有电力线穿过的有效介电常数也受到介质分布的影响。在微带线中，有效介电常数与介质的具体结构有关，它决定了信号的传播速度。在前面章节中已详细讨论过，有效介电常数只能用场求解器精确计算得到。

7.18 n节集总电路模型

理想传输线电路元件是一个分布模型，它能非常精确地预计实际互连线的测量情况。对于1 in长传输线的测量阻抗与仿真阻抗，图7.37给出了它们在频域中的比较。可以看出，在测量带宽5 GHz内，两者相当吻合。

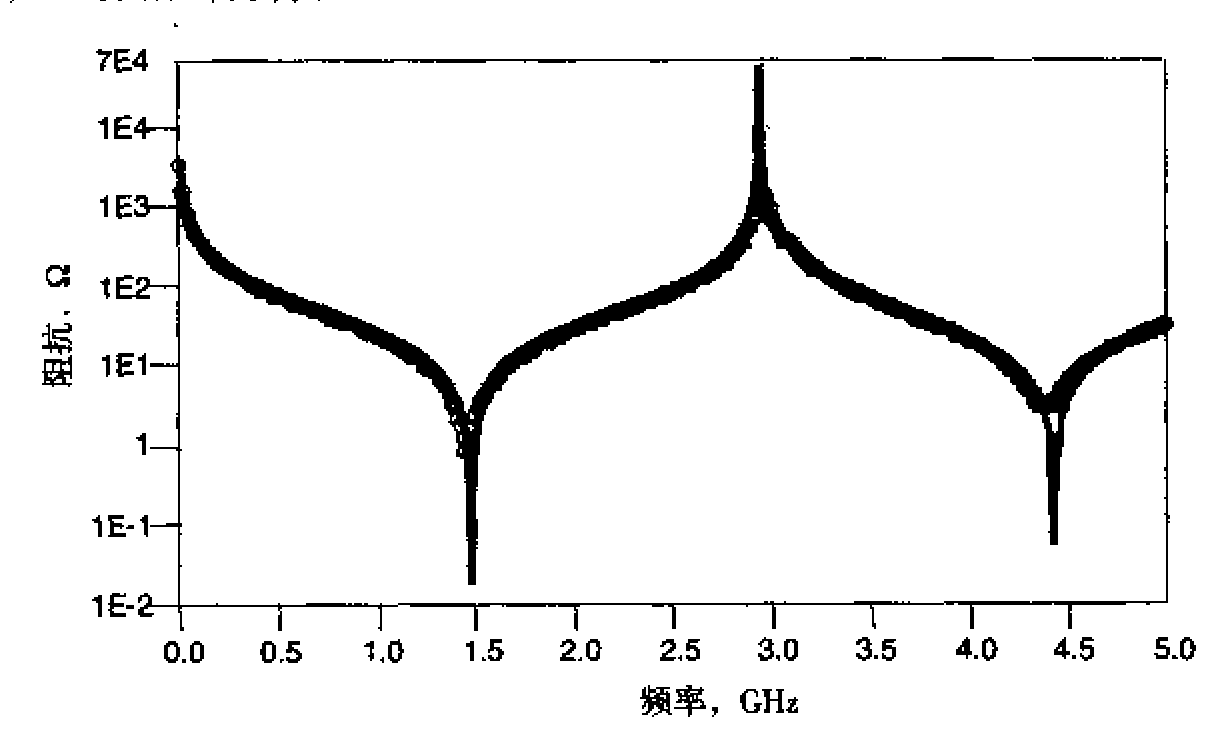


图7.37 1 in长、50 Ω传输线的测量阻抗（圆圈）与仿真阻抗（线）。这是个理想无损耗传输线的模型。在测量带宽内，两者吻合得相当好

提示 在较高的带宽内，实际互连线与理想传输线的性能非常吻合。理想传输线是实际互连线很好的模型。

可以用LC集总电路单元的级联来近似这个理想电路模型。这时产生的问题是，需要多少个LC电路单元才能达到给定的精度？如果电路单元太少又会发生什么情况呢？

可以使用仿真工具如SPICE来研究这个问题。先在频域中计算出从传输线前端看进去的输入阻抗，然后在时域中解释上面的运算结果。

在频域中，可以计算出末端开路时传输线的输入阻抗。在本例中，使用介电常数为4、长6 in的50 Ω传输线，它的时延TD为1 ns。

那么总电容为：$C_{total} = TD/Z_0 = 1\ ns/50\ \Omega = 20\ pF$，总电感为：$L_{total} = Z_0 \times TD = 50\ \Omega \times 1\ ns = 50\ nH$。

传输线的最简单近似就是单个LC模型，模型中L和C分别为传输线的总电容和总回路电感。这是理想传输线最简单的集总电路模型。

图7.38给出了理想分布传输线和单个LC集总电路模型的阻抗。低频时，单个LC电路模型可以很好地近似理想传输线，但这个模型的带宽仅约为100 MHz。事实上，带宽受限是由于理想传输线的电容并不是集中在一点上，而是沿着整条线分布，并且电容之间还有与每节导线长度对应的回路电感。从比较中可以清楚地看到，末端开路的传输线在低频时与理想电容非常相似。

当理想传输线长度为半波长的整数倍时，传输线的阻抗就会出现谐振峰值。谐振峰值的频率f_{res}由下式得到：

$$f_{res} = m \times \frac{f_0}{2} = m \times \frac{1}{2TD} \tag{7.42}$$

其中：

f_{res} 表示阻抗中峰值的频率

m 表示峰值的个数，即传输线上的半波数目

TD 表示传输线的时延

f_0 表示传输线上全波的频率

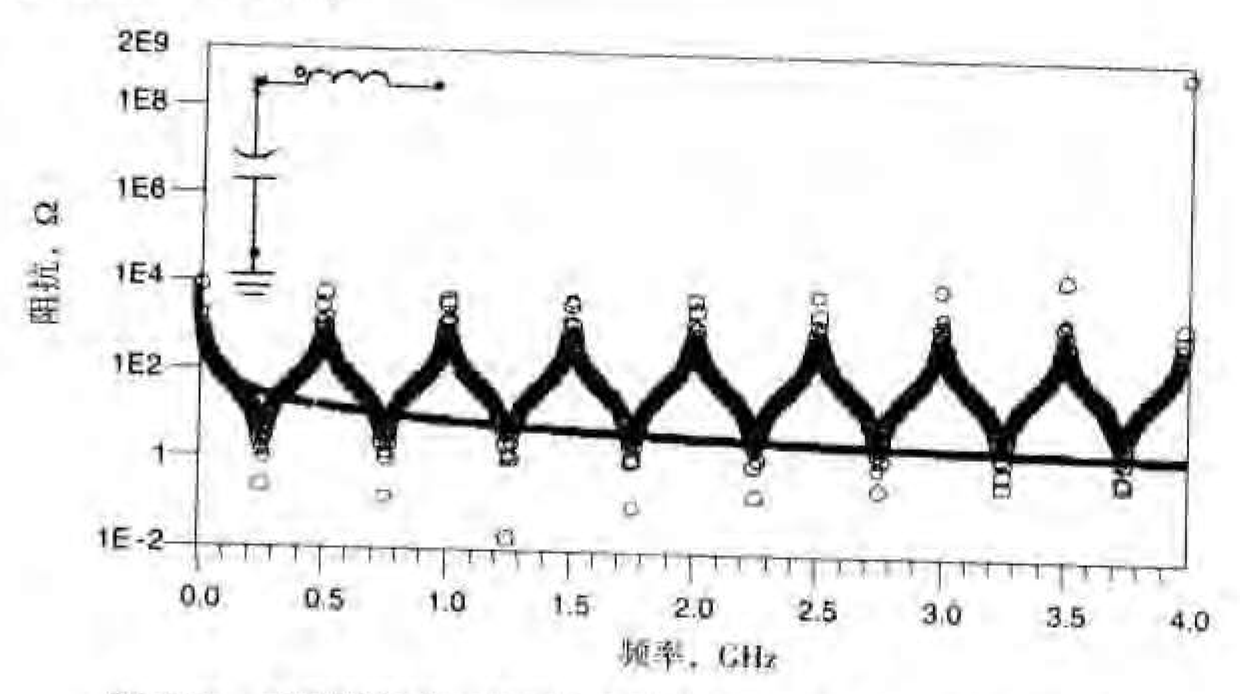


图 7.38　理想传输线（圆圈）和单个 LC 集总电路模型（曲线）的仿真阻抗。在 100 MHz 的带宽内，两者相当吻合

m = 1 时，第一个谐振频率为 1 × 1 GHz/2 = 0.5 GHz。这时传输线上只有一个半波，时延 TD 为 1 ns。m = 2 时，第二个谐振频率为 2 × 1 GHz/2 = 1 GHz，这时传输线上恰好有一个全波。图 7.39 画出了这些谐振的驻波模式。

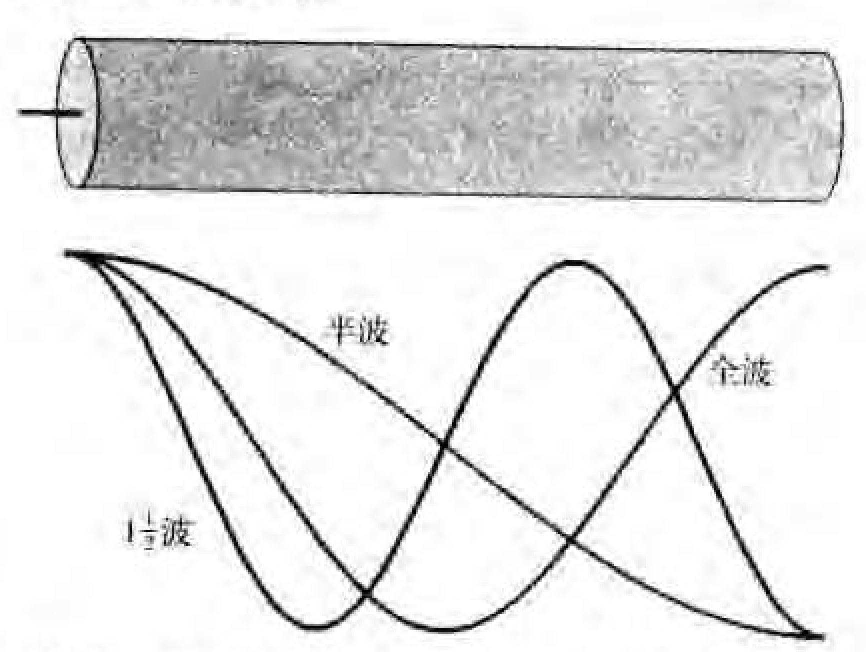


图 7.39　传输线上的电压波形。当传输线上有整数个半波时发生谐振

单节 LC 电路模型的带宽约为第一个谐振频率的四分之一，即约为 125 MHz。增加传输线的节数，就可以提高模型的带宽。如果把传输线分成两节，则每节都可以建成相同的LC模型，其中每节的 L 和 C 分别为：$L_{total}/2$ 和 $C_{total}/2$。图 7.40 给出了两节 LC 模型预计的阻抗与理想分布传输线阻抗的比较结果。这个模型的带宽约在第一个谐振峰值的二分之一处，即频率约为 250 MHz。

增加传输线的分节数，可以进一步扩展集总电路模型的带宽。图7.41给出了理想传输线和 16 节LC集总电路模型的比较，其中每节LC电路的电容C和电感L分别为：$L_{total}/16$ 和 $C_{total}/16$。

随着LC节数的增加，可以在更高的带宽内更好地近似理想传输线的阻抗特性。这个模型的带宽达到第4个谐振峰值，即频率约为2 GHz。

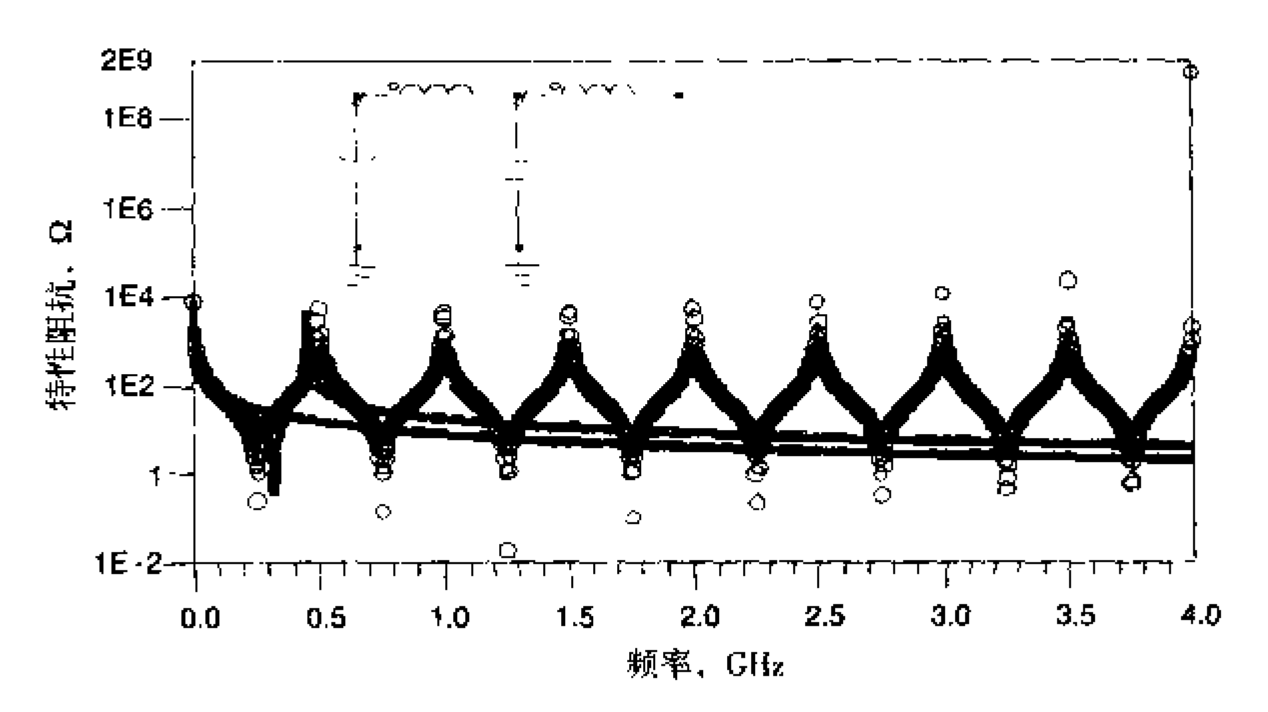


图7.40 理想传输线的仿真阻抗（圆圈）、一节LC和两节LC集总电路模型的仿真阻抗（曲线）

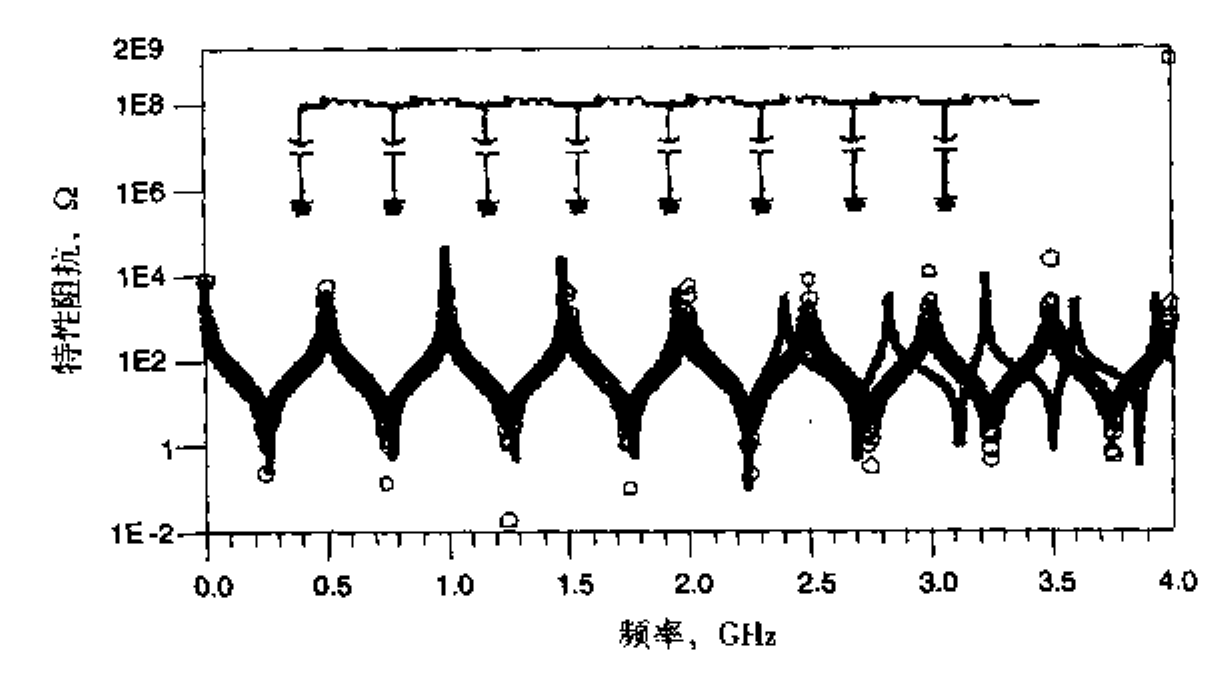


图7.41 理想传输线的仿真阻抗（圆圈）和16节LC集总电路模型的仿真阻抗（曲线）

提示 n节LC集总电路是理想传输线的近似，而且节数越多，近似的带宽就越高。

根据理想传输线的时延，可以估算出n节集总电路模型的带宽。上面的例子表明，LC模型的节数越多，带宽就越高。一节模型的带宽只有第一个谐振频率的四分之一，两节模型的带宽为第一个谐振频率的二分之一，16节模型的带宽为第4个谐振频率。可以归纳出吻合的最高频率——模型的带宽：

$$BW_{model} = \frac{n}{4} \times \frac{f_0}{2} \approx n \times \frac{f_0}{10} \tag{7.43}$$

或

$$n = 10 \times \frac{BW_{model}}{f_0} = 10 \times BW_{model} \times TD \tag{7.44}$$

其中：

BW_{model} 表示n节集总电路模型的带宽

n表示模型中LC的节数

TD 表示传输线的时延

f_0 表示全波的谐振频率，等于 1/TD

为了使关系式更简洁、更便于记忆，把它们近似为 $n = 10 \times BW_{model} \times TD$，而不采用 $n = 8 \times BW_{model} \times TD$。

提示 这是个非常重要的经验法则，它说明了要使模型的带宽达到 1/TD，需要 10 节 LC 电路。也就是说因为这个频率相当于传输线上仅有一个全波，为了更好地近似，每 1/10 个信号波长就必须对应一节 LC 电路。

例如，如果互连线的时延 TD = 1 ns，要求 n 节 LC 近似模型的带宽为 5 GHz，则至少需要 n = 10 × 5 GHz × 1 ns = 50 节。在最高频率时，传输线上有 5 GHz × 1 ns = 5 个波长。每个波长需要 10 节，因此要获得较好的近似效果，需要 5 × 10 = 50 节 LC 电路。

如果 TD 为 0.5 ns，要求的带宽为 2 GHz，那么需要 LC 电路的节数 n = 10 × 2 GHz × 0.5 ns = 10。

也可以估算出用单个LC电路近似传输线时的带宽有多高。或者说，在多高的频率范围内传输线可以近似成单个 LC 电路。单个 LC 电路的带宽为：

$$BW = n \times \frac{1}{10 \times TD} = 1 \times \frac{1}{10 \times TD} = 0.1 \times \frac{1}{TD} \tag{7.45}$$

如果传输线时延 TD = 1 ns，则单节 LC 模型的带宽为 0.1 × 1/1 ns = 100 MHz。如果 TD = 0.16 ns（即线长约 1 in），则单个 LC 模型的带宽为 0.1 × 1/0.16 ns = 600 MHz。传输线的时延越长，可以用单个 LC 模型近似的频率就越低。

我们已经估算了在要求的带宽内，描述一条传输线所需的节数。信号最高频率分量的每个波长约需要 10 节 LC 电路，所以 LC 电路的总节数取决于传输线中所传信号最高频率分量的全波数。

如果信号的上升时间为RT，则信号的带宽（最高有效正弦波频率成分）为 $BW_{sig} = 0.35/RT$。如果传输线的时延为TD，并用n节集总电路模型来近似，那么必须确保模型的带宽 BW_{model} 应至少大于信号带宽 BW_{sig}：

$$BW_{model} > BW_{sig} \tag{7.46}$$

$$n \times \frac{1}{10 \times TD} > \frac{0.35}{RT} \tag{7.47}$$

$$n > 3.5\frac{TD}{RT} \tag{7.48}$$

其中：

BW_{sig} 表示信号的带宽

BW_{model} 表示模型的带宽

RT 表示信号的上升时间

TD 表示传输线的时延

n 表示精确模型所需 LC 电路的最小节数

例如，如果上升时间为 0.5 ns，时延为 1 ns，则精确模型所需 LC 电路的个数为 n > 3.5 × 1/0.5 = 7。

如果上升时间等于传输线的时延，则此传输线的精确模型至少需要 3.5 节 LC 电路。在这种情况下，上升时间的空间延伸就等于传输线的长度。这揭示出如下所述的一个重要结论。

提示 用 n 节 LC 模型精确地描述一条传输线时，前沿的空间延伸至少需要 3.5 节 LC 电路。也就是说，每 1/3 前沿与传输线的相互作用可以用一个集总电路元件来近似。

这个结论如图 7.42 所示。在 FR4 中，若上升时间为 1 ns，前沿的空间延伸为 6 in，那么每 6 in 就需要 3.5 节 LC 电路来近似，即每 1.7 in 对应于一节 LC 电路。所以可以归纳出：如果上升时间为 RT，信号的速度为 v，那么每节 LC 电路对应的线长为（RT × v）/3.5。在 FR4 中，信号的速度约为 6 in/ns，当上升时间为 RT 时，每节 LC 电路对应的线长为 1.7 × RT，其中上升时间的单位为 ns。

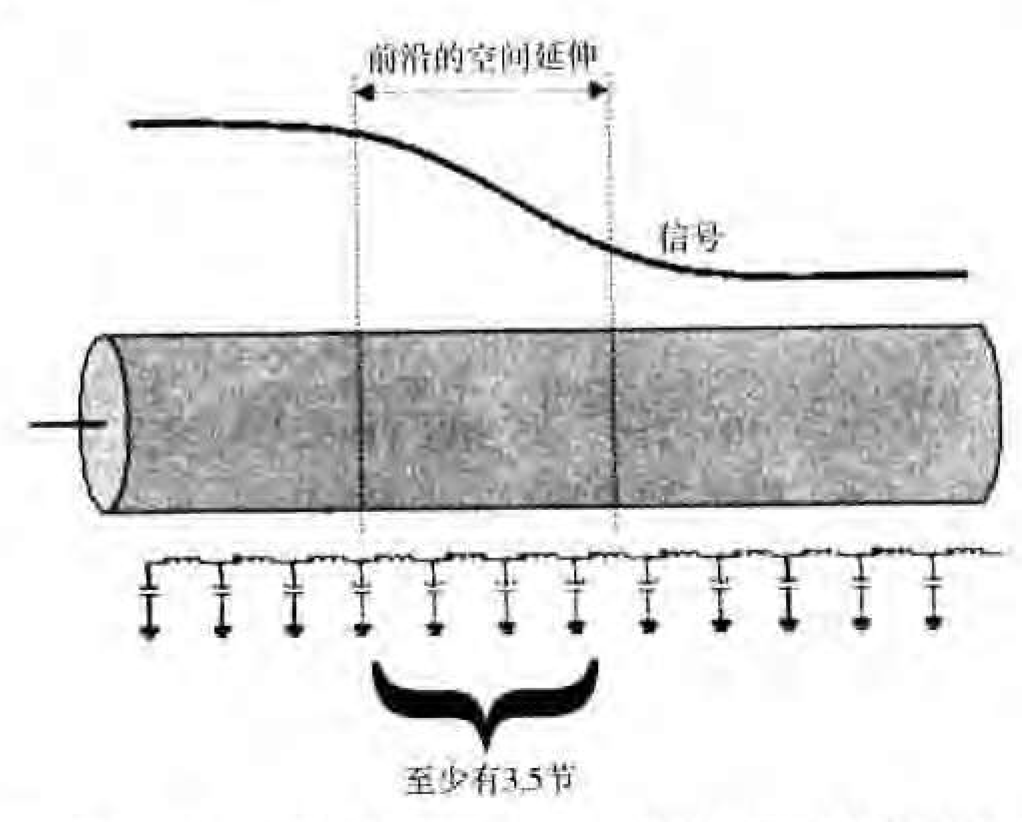


图 7.42 对于在信号带宽内互连线的精确模型，信号上升时间的空间延伸至少需要 3.5 节 LC 电路

提示 这揭示出一个非常有用的经验法则：当给定上升时间 RT（ns）时，n 节 LC 集总电路模型要达到足够高的带宽，每节 LC 电路对应的线长（英寸）必须小于 1.7 × RT in。

如果上升时间为 1 ns，则每个 LC 电路对应的线长就必须小于 1.7 in。如果上升时间为 0.5 ns，则每个 LC 电路对应的线长必须小于 0.5 × 1.7 = 0.85 in。

提示 当然，不论是在低频还是在高频，理想分布传输线模型总是均匀互连线的精确模型。

7.19 特性阻抗与频率的关系

到目前为止都是假设传输线的特性阻抗与频率无关。但是，我们已经知道，从传输线前端看进去的阻抗与频率有密切的关系。那么特性阻抗是否也随频率而变化呢？在这一节，假设传输线是无损耗的，在下一章才讨论有损传输线的情况。我们将看到，损耗对传输线的特性阻抗确实有微小的影响。

如前所述，理想无损传输线的特性阻抗与单位长度电容和单位长度电感的关系为：

$$Z_0 = \sqrt{\frac{L_L}{C_L}} \tag{7.49}$$

假设随着频率的变化，互连线的介电常数是个常数，那么单位长度电容也是恒定不变的。虽然在某些情况下，介电常数会有微小的变化，但对大多数材料来说这个假设是合理的。

前面曾讨论过，由于趋肤效应的影响，单位长度电感会随频率而变化。实际上，在低频时回路电感比较高，但是随着越来越多的电流分布在外表面，回路电感将下降。这说明在低频时，特性阻抗比较高，随着频率的升高，特性阻抗将下降到某一恒定值。

若频率远高于趋肤效应的频率，就认为所有电流都分布在导线的表面，并且当频率再升高时不随频率面变化。此时回路电感和特性阻抗都是常量。可以估算出 1 盎司铜导线的这个频率。在 10 MHz 时，铜的趋肤深度为 20 μm，而 1 盎司铜导线的厚度约为 34 μm。我们看到，特性阻抗大约是从 1 MHz 到 10 MHz 开始下降，而约在 100 MHz 时停止下降，此时趋肤深度只有 6 μm。

使用二维场求解器，可以计算出 1 盎司铜制成的 50 Ω 微带线的特性阻抗与频率的关系，如图 7.43 所示。

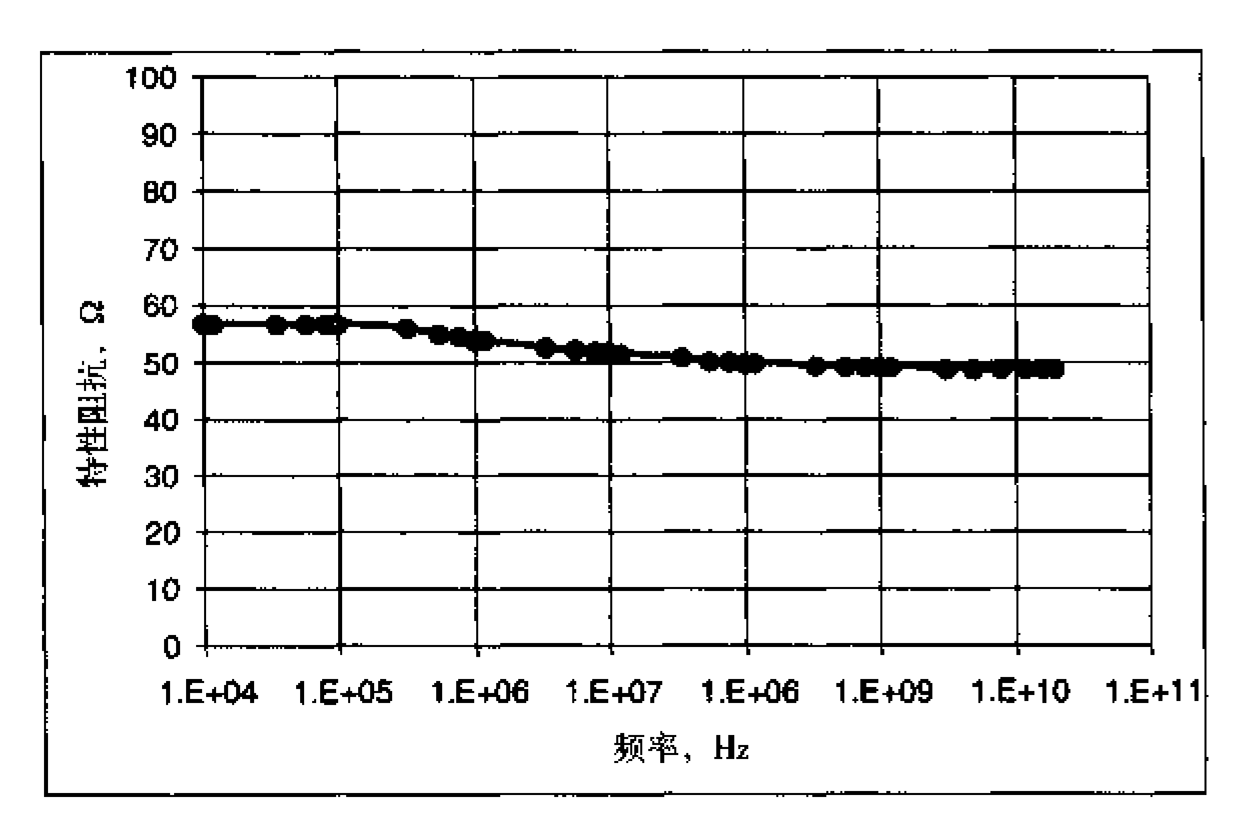


图 7.43　由于趋肤效应的影响，特性阻抗随着频率而变化。其中导线为 FR4 板上 1 盎司铜制成的 50 Ω 微带线，此图由 Ansoft 的 2D Extractor 计算得到

由图可知，在低频时，特性阻抗比较高，约在 1 MHz 开始下降，且直到 50 MHz 以前都一直在下降。从直流到高频，特性阻抗的总下降量约为 7 Ω，即变化小于 15%。

提示　约在 50 MHz 以上时，传输线的特性阻抗是个常量，不再随频率而变化。这个值就是通常用来估计各种高速信号性能的“高频”特性阻抗。

7.20　小结

1. 传输线是一种新的基础性理想电路元件，它精确地描述了均匀横截面互连线的所有电气特性。
2. 不再使用“地”这个词，而是用返回路径。
3. 信号在传输线中的传播速度等于导线周围材料中的光速，它主要由绝缘体的介电常数决定。
4. 传输线的特性阻抗描述了当信号在线上传输时所受到的瞬态阻抗。

5. 传输线的特性阻抗与单位长度电容和信号速度呈现相反变化的关系。
6. 从传输线前端看进去的输入阻抗随时间而变化，最初在往返时间内为传输线的特性阻抗，但随着终端、线长和测量时间的不同，输入阻抗可以为任意值。
7. 可控阻抗电路板的所有线条有相同的特性阻抗，这是确保信号完整性的必要条件。
8. 信号沿传输线传播形成一个电流回路，其中的电流沿信号路径流出并经返回路径回来。任何干扰返回路径的因素都会增加返回路径的阻抗，并产生地弹电压噪声。
9. 理想传输线可以用n节LC集总电路模型来精确地近似。要求的带宽越高，LC电路的节数就越多。
10. 为了确保精度，前沿的空间延伸应至少需要3.5节LC电路。
11. 理想传输线总是均匀互连线的精确模型，它与上升时间和互连线长度无关。

第8章　传输线与反射

提示　如果信号沿互连线传播时所受到的瞬态阻抗发生变化，则一部分信号将被反射，另一部分发生失真并继续传播下去，这一原理正是单一网络中多数信号完整性问题产生的主要原因。

反射和失真使信号质量下降。一些情况下，它们看起来就像是振铃。引起信号电平下降的下冲可能会超过噪声容限，造成误触发。图8.1示例了短传输线末端由阻抗突变造成的反射噪声。

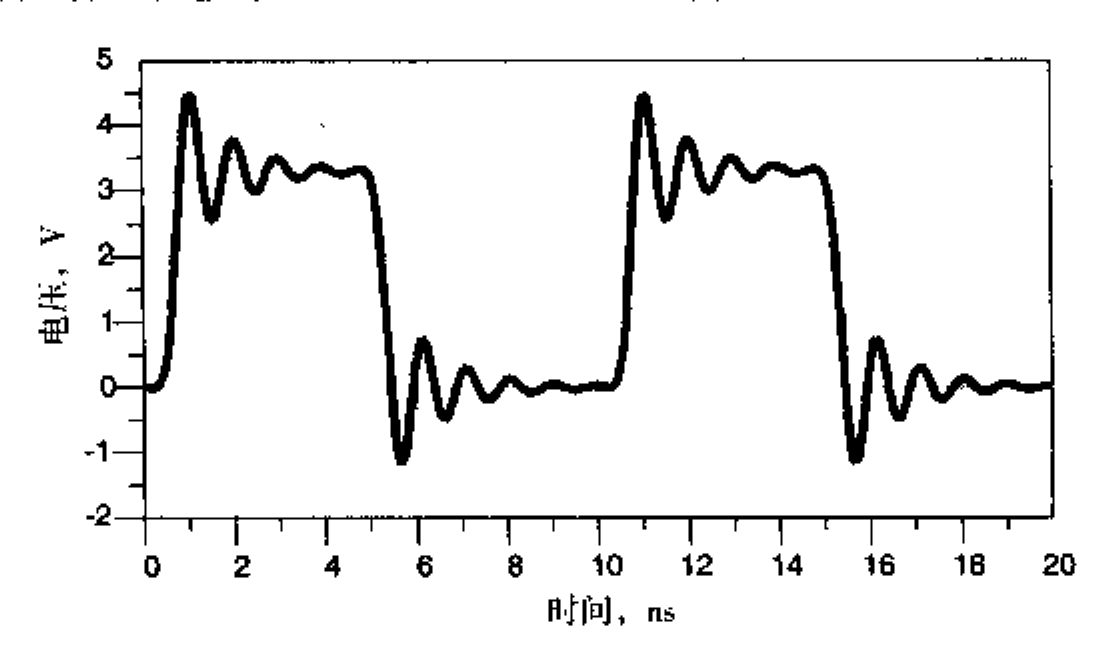


图8.1　在1 in长、阻抗可控互连线的接收端，由于阻抗不匹配和多次反射而产生的"振铃"噪声

只要信号遇到瞬态阻抗突变，反射就会发生，这可能是在线末端，或者是互连线拓扑结构发生改变的任何地方，如拐角、过孔、T型结构、接插件和封装处。通过理解反射的源头和使用各种工具来预测反射的大小，就可以完成满足系统性能要求的设计。

提示　为了得到最优的信号质量，设计互连线的目的就是尽可能保持信号受到的阻抗恒定。

首先，要保持互连线的特性阻抗恒定。因此，制造阻抗可控电路板变得越来越重要。减小桩线长度、使用菊花链代替分支结构、使用点对点的拓扑结构等设计技巧，都是为了保持瞬态阻抗恒定。

其次，这还意味着要根据拓扑结构的设计来调整阻抗，增加分立电阻，从而保证信号受到的瞬态阻抗恒定。

8.1　阻抗变化处的反射

信号沿持输线传播时，其路径上的每一步都有相应的瞬态阻抗。如果互连线的阻抗是可控的，那么瞬态阻抗就等于线的特性阻抗。无论什么原因使瞬态阻抗发生了改变，部分信号都将沿着与原传播方向相反的方向反射，而另一部分将继续传播，但幅度有所改变。将瞬态阻抗发生改变的地方称为阻抗突变，或简称突变。

反射的信号量由瞬态阻抗的变化量决定，如图8.2所示。如果第一个区域的瞬态阻抗是Z_1，第二个区域的是Z_2，则反射信号与入射信号的幅值之比为：

$$\frac{V_{reflected}}{V_{incident}} = \frac{Z_2 - Z_1}{Z_2 + Z_1} = \rho \tag{8.1}$$

其中：

$V_{reflected}$ 表示反射电压

$V_{incident}$ 表示入射电压

Z_1 表示信号最初所在区域的瞬态阻抗

Z_2 表示信号进入区域2时的瞬态阻抗

ρ 表示反射系数

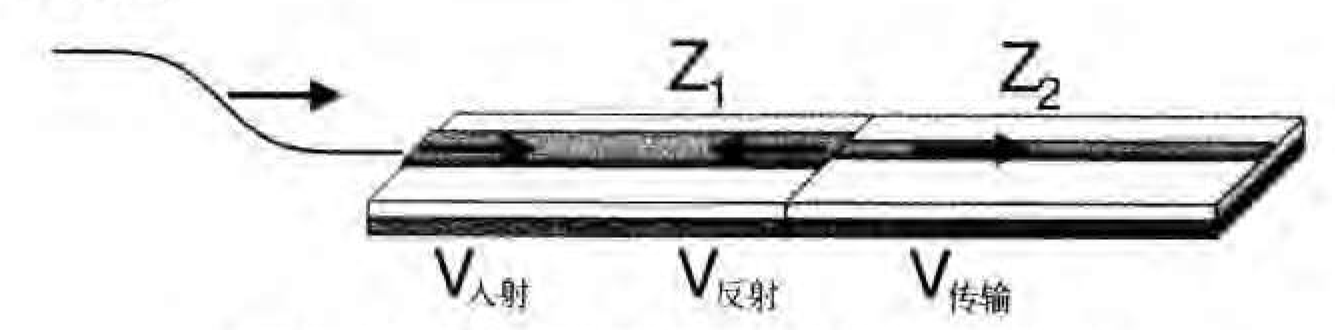


图8.2 只要信号受到的瞬态阻抗发生改变，就会有一些反射信号，同时继续传输的信号也有一定的失真

两个区域的阻抗差异越大，反射信号量就越大。例如，如果1 V信号沿特性阻抗为50 Ω的传输线传播，则其所受到的瞬态阻抗为50 Ω，当它进入特性阻抗为75 Ω的区域时，反射系数为（75–50）/（75+50）= 20%，反射电压为20% × 1 V = 0.2 V。

无论波形是什么形状，只要遇到分界面，波形的各个部分都有20%被反射回去。时域中，波形可能会有一个快速上升的边沿、倾斜的边沿，甚至是高斯边沿。同样，频域中，所有波形都为正弦波，每个正弦波都将反射，而且反射波的幅度和相位也可以从该关系式中计算出来。

通常，所关心的是反射系数ρ，它是反射电压与入射电压的比值。

提示 反射系数为第二个阻抗与第一个阻抗之差除以两者之和，这是十分重要的。这一差值在确定反射系数符号时起着十分重要的作用。

在考虑互连线上的信号时，判明其传播方向无疑是十分重要的。如果信号沿传输线传播时遇到阻抗突变，在突变处将产生另一个波。这第2个波将叠加在第1个波上，但它是向源端传播，其幅度等于入射电压的幅度乘以反射系数。

8.2 反射形成机理

反射系数描述了反射回源端的那部分电压。另外，传输系数描述了通过交界面进入第二区域的入射电压。只要瞬态阻抗改变，信号就会发生反射，这一特性正是单一网络中所有信号质量问题的根源。

为了减小由这一基本特性造成的信号完整性问题，在所有的高速电路板中都必须运用以下四个重要的设计要素：

1. 使用可控阻抗互连线；
2. 传输线末端至少有一个终端匹配；
3. 使用能使多分支产生影响最小的布线拓扑结构；
4. 最小化几何结构的不连续性。

然而，是什么引起了反射？为什么信号遇到阻抗突变时会发生反射？产生反射信号是为了协调两个重要的边界条件。

信号到达瞬态阻抗不同的两个区域（区域1、区域2）的交界面时，在信号/返回路径的导体中仅存在一个电压和一个电流回路。无论是从区域1还是从区域2看进去，在交界面两侧的电压和电流都是相同的。边界处不可能出现电压不连续，否则此处会有一个无限大的电场；也不可能出现电流不连续，否则会有一个无限大的磁场。

如果没有产生返回源端的反射电压，同时要维持分界面两侧的电压和电流相等，就得到了关系式 $V_1 = V_2$，$I_1 = I_2$。而 $I_1 = V_1/Z_1$，$I_2 = V_2/Z_2$，所以当两个区域的阻抗不同时，这四个关系式决不可能同时成立。

为了使整个系统协调稳定，区域1中产生了一个反射回源端的电压。它的惟一目的就是吸收入射信号和传输信号之间不匹配的电压和电流，如图8.3所示。

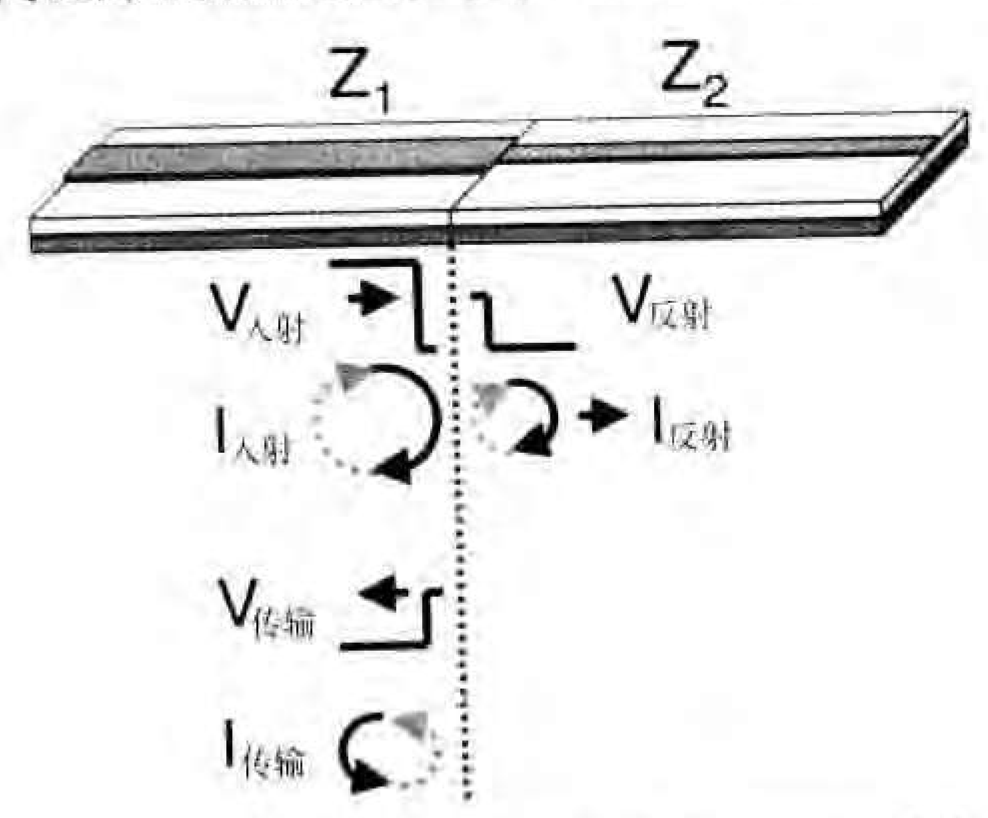


图8.3 入射信号穿越分界面时，产生了反射电压和电流，从而使分界面两侧的电压和电流回路相匹配

入射信号 V_{inc} 向着分界面传播，而传输信号 V_{trans} 向远离分界面的方向传播。当入射信号穿越分界面时，产生了一个新电压，而且此新波形仅在区域1中向源端传播。

分界面两侧电压相同的条件是：

$$V_{inc} + V_{refl} = V_{trans} \tag{8.2}$$

电流相同所需的条件就稍微复杂一点。区域1中，分界面处的总电流由两个电流回路决定，它们的传播方向相反，而且回路方向也相反。在分界面处，入射电流的方向是顺时针，反射电流的方向是逆时针。如果定义顺时针为正向，那么区域1的分界面处的净电流为 $I_{inc}-I_{refl}$。区域2中，电流回路是顺时针的，等于 I_{trans}。分别从分界面两侧看进去，电流相同的条件是：

$$I_{inc} - I_{refl} = I_{trans} \tag{8.3}$$

每个区域中的阻抗值为该区域中电压与电流的比值：

$$\frac{V_{inc}}{I_{inc}} = Z_1 \tag{8.4}$$

$$\frac{V_{refl}}{I_{refl}} = Z_1 \tag{8.5}$$

$$\frac{V_{trans}}{I_{trans}} = Z_2 \tag{8.6}$$

将这几个表达式代入电流表达式中，得到：

$$\frac{V_{inc}}{Z_1} - \frac{V_{refl}}{Z_1} = \frac{V_{trans}}{Z_2} \tag{8.7}$$

通过换算可得：

$$\frac{V_{inc}}{Z_1} - \frac{V_{refl}}{Z_1} = \frac{V_{inc} + V_{refl}}{Z_2} \tag{8.8}$$

即：

$$V_{inc}\left(\frac{Z_2 - Z_1}{Z_2 Z_1}\right) = V_{refl}\left(\frac{Z_2 + Z_1}{Z_2 Z_1}\right) \tag{8.9}$$

最终可得：

$$\frac{V_{refl}}{V_{inc}} = \frac{Z_2 - Z_1}{Z_2 + Z_1} = \rho \tag{8.10}$$

这就是反射系数的定义。用同样的方法可以推导出传输系数：

$$t = \frac{V_{trans}}{V_{inc}} = \frac{2 \times Z_2}{Z_2 + Z_1} \tag{8.11}$$

没有人知道到底是什么产生了反射电压，只是知道当产生之后，只有这样，交界面两侧的电压才可以相等，交界面处的电压才是连续的。同样，在交界面两侧也存在电流回路，电流也是连续的。这样，整个系统才是平衡的。

8.3 阻性负载的反射

传输线的终端匹配有三种特殊情况。现假设传输线的特性阻抗是50 Ω，信号由源端沿传输线到达有特殊终端的远端。

首先，如果传输线的终端为开路，即传输线的末端没有连接任何终端，则末端的瞬态阻抗是无穷大。这时，反射系数为（无穷 -50）/（无穷 + 50）= 1。

提示 切记在时域中，信号对所受到的瞬态阻抗是十分敏感的，第二个区域可以不是传输线，它可能是一个有相应阻抗的分立器件，如电阻、电容、电感或它们的组合电路。

这意味着在开路端将产生与入射波大小相同、方向相反——返回源端——的反射波。

如果观察传输线的末端——开路端的总电压，就会看到它是两个波的叠加。一个是幅度为1 V的信号向开路端传播，同时另一个也是1 V信号，但它向相反的方向传播。测量开路端的电压，得到这两个电压之和，即2 V，如图8.4所示。

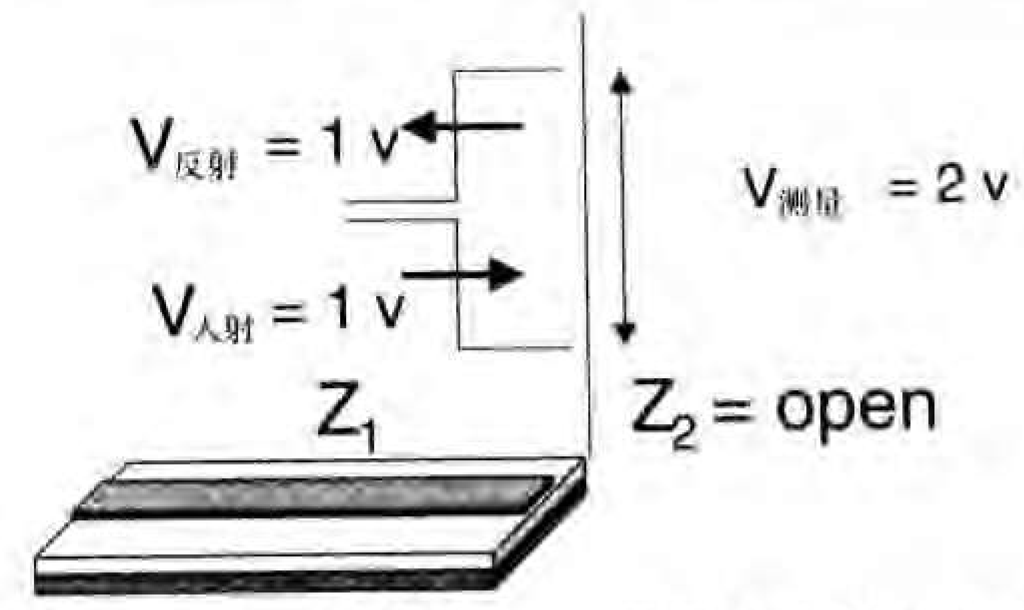


图 8.4　如果区域 2 是开路，则反射系数为 1。此时开路处有两个方向相反的波相叠加

提示　经常说信号到达传输线的末端时，其值翻倍。从数值上这是正确的，可实际上发生的情况并非如此。总电压即两个行波之和虽然是入射电压的两倍，但是这样说会引起错误的直觉。最好还是把末端电压看做入射电压与反射电压之和。

第二种特殊情况是传输线的末端与返回路径相短路，即末端阻抗为 0。此时，反射系数为 (0 – 50) / (0 + 50) = –1。1 V 入射信号到达远端时，将产生 –1 V 反射信号，它沿传输线向源端传播。

短路突变处测得的电压为入射电压与反射电压之和，即 1 V + (–1) V = 0。这是合理的，因为如果此处是严格按定义规定的短路，短路点两侧不可能有电压差。此处电压为 0 V 的原因就是它是从源端出发的正向行波和返回源端的负向行波之和。

最后一种特殊情况是传输线末端所接阻抗与传输线的特性阻抗相匹配。如果传输线的末端连接 50 Ω 电阻，则反射系数为 (50–50) / (50+50) = 0。此时不会存在反射电压，50 Ω 电阻两端的电压就仅是入射信号。

如果信号所受到的瞬态阻抗没有改变，就不会产生反射。在末端放置 50 Ω 电阻，可以使终端阻抗与传输线的特性阻抗相匹配，从而使反射降低为 0。

当末端为一般阻性负载时，信号所受到的瞬态阻抗在 0 到无穷大之间，这样，反射系数在 –1 到 +1 之间。图 8.5 给出了 50 Ω 传输线的终端电阻与反射系数之间的关系。

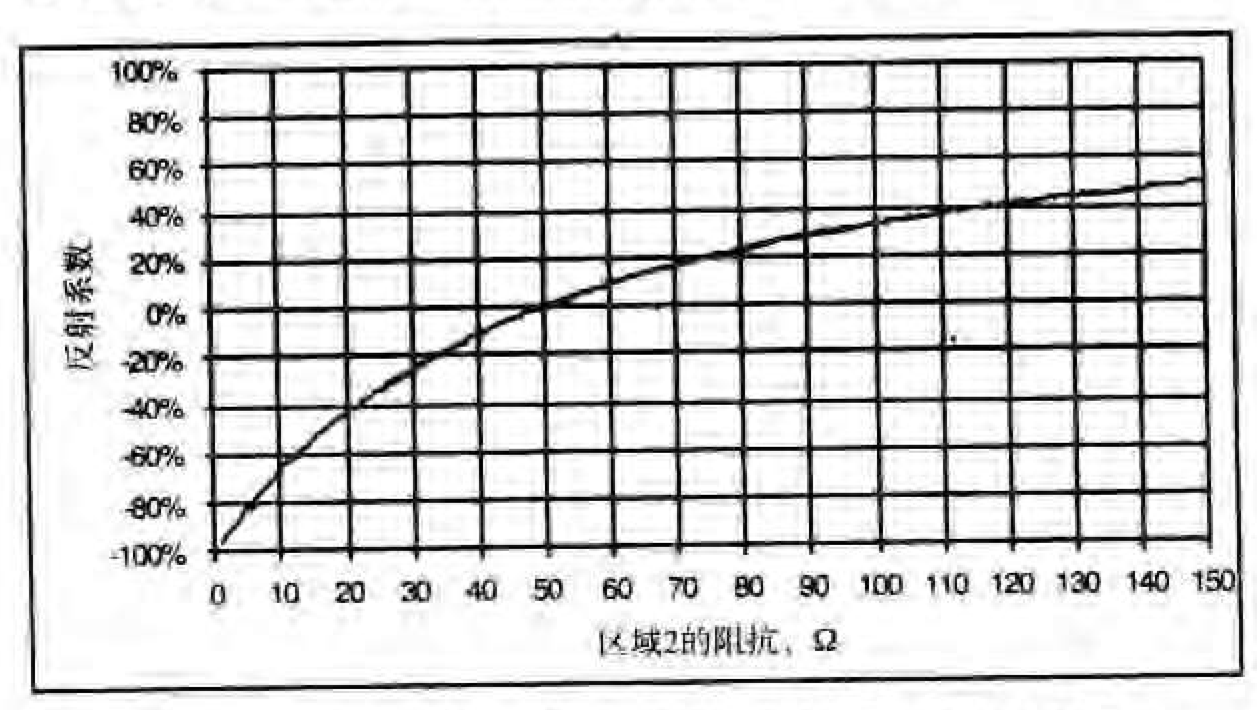


图 8.5　信号从 50 Ω 的区域 1 到区域 2 的各种阻抗时的反射系数

当区域2的阻抗小于区域1的阻抗时，反射系数为负，反射电压也是负电压。该负电压行波将返回源端。

提示 当区域2的阻抗小于区域1的阻抗时，电阻两端的电压总是小于入射电压。

如果传输线的特性阻抗为50 Ω，终端阻抗为25 Ω，则反射系数为（25−50）/（25+50）= −1/3。对于1 V入射电压，其中的−0.33 V将被反射回源端，终端的实际电压为这两个波之和：1 V + (−0.33) V = 0.67 V。

图8.6给出了1 V入射信号沿50 Ω传输线传播时，在终端负载两端测得的电压值。终端阻抗从0 Ω开始上升，所以在其两端测量的实际电压从0 V开始，当终端开路时达到2 V。

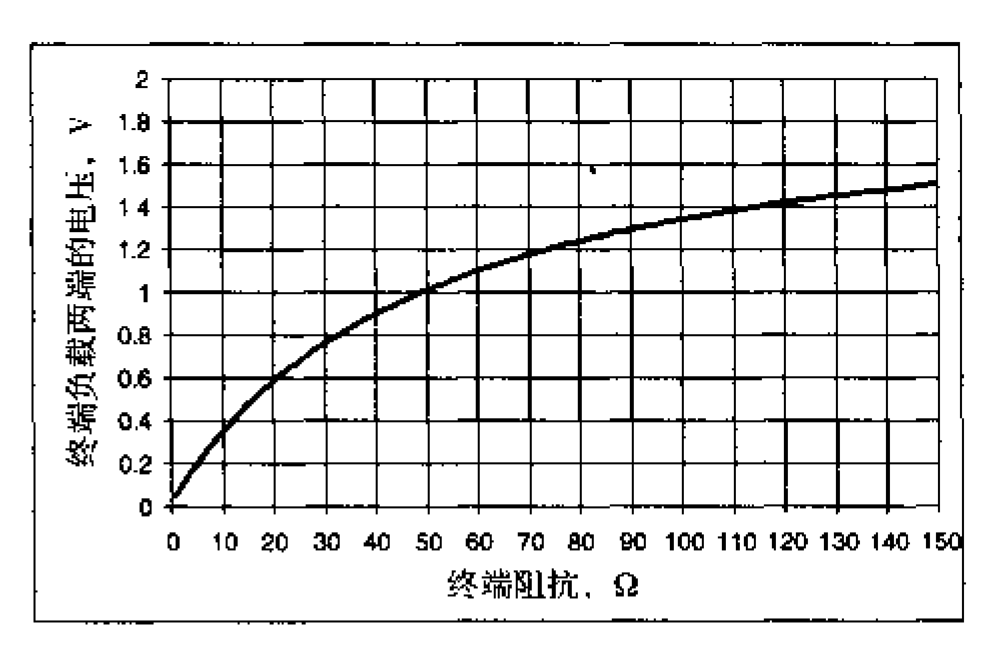


图8.6 对于1 V入射信号，终端两端的电压值。该电压为入射波与反射波之和

8.4 驱动源的内阻抗

信号进入传输线时，驱动源总存在内阻。对于典型的CMOS器件，其内阻在5 Ω到20 Ω之间。而比较老的晶体管－晶体管逻辑门（TTL），它的阻抗高达100 Ω。内阻对进入传输线的初始电压和后来的多次反射都有重要的影响。当反射波最终到达源端时，将源端的输出阻抗作为瞬态阻抗，该输出阻抗的值决定了反射波再次反射回远端的情况。

如果驱动器使用的是SPICE或IBIS模型，就可以从几次仿真中提取出驱动器的输出阻抗估计值。假设器件的等效电路模型为理想电压源与内阻的串联电路，如图8.7所示。当它驱动一个高阻抗时，就可以得到这个理想电压源的输出电压。如果在输出端串联一个10 Ω小电阻，并测量该电组两端的电压，就可以计算出驱动器的内阻：

$$R_s = R_t\left(\frac{V_o}{V_t} - 1\right) \tag{8.12}$$

其中：

R_s 表示驱动器内阻

R_t 表示输出端连接的终端电阻

V_o 表示驱动器的开路输出电压

V_t 表示终端电阻两端的电压

为了计算内阻，分别测量当驱动器连接大电阻（如10 kΩ）和连接小电阻（如10 Ω）时的输出电压。图8.8给出了使用一个普通CMOS驱动器的行为级模型仿真的输出电压。其中，

开路电压为 3.3 V，而连接的 10 Ω 电阻两端的电压为 1.9 V。从而由上式可以计算出内阻：10 Ω × (3.3 V/1.9 V−1) = 7.3 Ω。

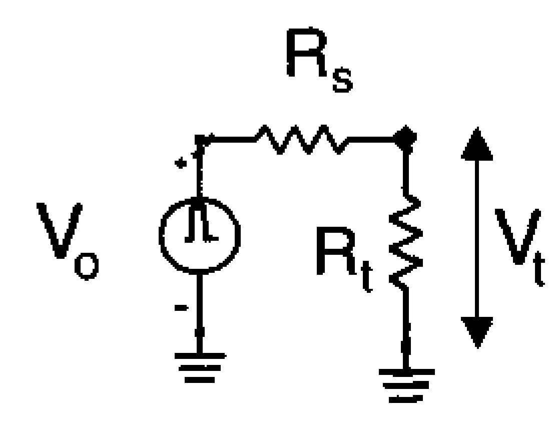


图 8.7　接有终端电阻的输出驱动器的简单模型

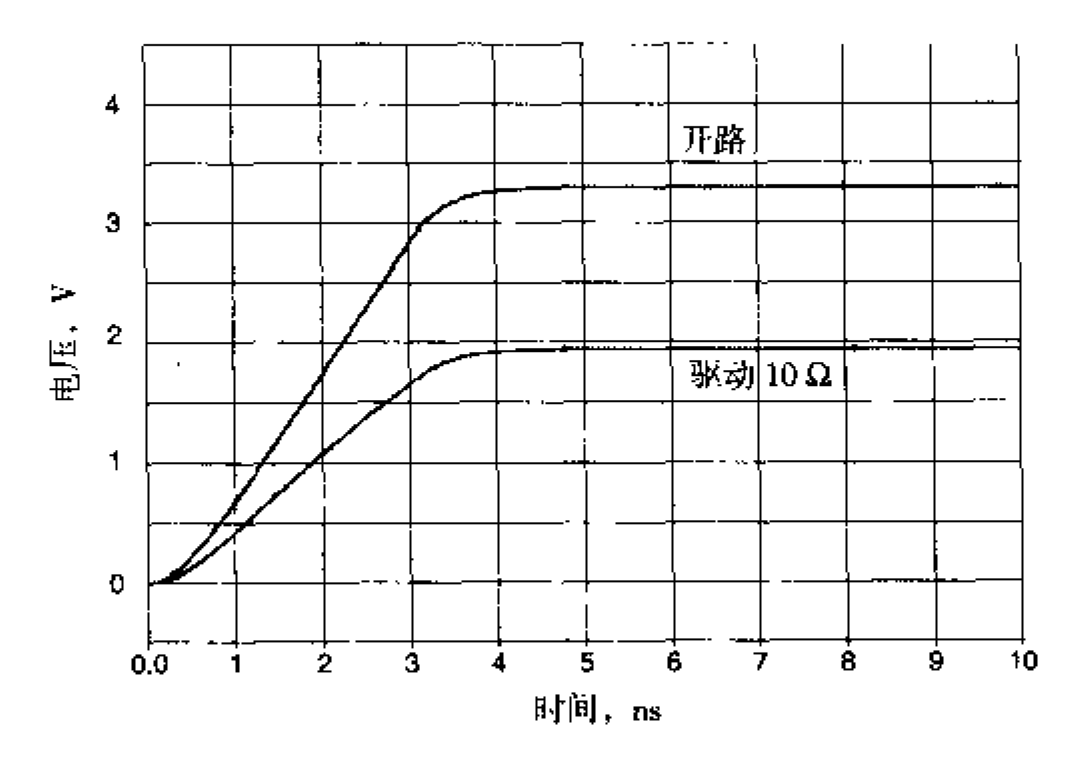


图 8.8　一个 COMS 驱动器分别连接 10 kΩ 和 10 Ω 电阻时仿真得到的输出电压。由这两个电压可以计算出驱动器的内阻。使用 Hyperlynx 行为级仿真器仿真典型的 CMOS IBIS 驱动器模型

8.5　反弹图

由上节可知，进入传输线的实际电压即入射电压是由源电压及内阻和传输线组成的分压器共同决定的。

如果已知传输线的时延 TD、信号通过每个区域的阻抗和驱动器的初始电压，就可以计算出每个交界面的反射电压，也可以预测出任意一点的实时电压。

例如，源电压是 1 V，内阻是 10 Ω，则实际进入时延为 1 ns 的 50 Ω 传输线的电压是 1 V × 50/ (10+50) = 0.84 V。这个 0.84 V 信号就是沿传输线传播的初始入射电压。

假设传输线的末端是开路，1 ns 后，0.84 V 信号到达线末端，并产生 +0.84 V 反射信号返回源端。在线末端，测得开路两端的总电压为两个波之和，即 0.84 V + 0.84 V = 1.68 V。

再经过 1 ns 后，0.84 V 反射波到达源端，又一次遇到阻抗突变。源端的反射系数是 (10 −50) / (10 + 50) = −0.67，这时将有 0.84 V ×(−0.67) = −0.56 V 反射回线远端。当然，这个新产生的波又会从远端反射回源端，即 −0.56 V 电压将被反射回来。线远端开路处将同时测得四个波：从一次行波中得到 2 × 0.84 V = 1.68 V，从二次反射中得到 2 ×(−0.56) V = −1.12 V，故总电压为 0.56 V。

-0.56 V 信号到达源端后仍然会再次反射，反射电压是 +0.37 V。在远端，以前的 0.56 V 加上新的0.37 V入射波和反射波，从而得到总电压0.56 V + 0.37 V + 0.37 V = 1.3 V。可以直接一步步地推算多次反射，但这很烦琐。在没有简单易用的仿真工具时，这些反射可以用反弹图或网格图来表示，如图 8.9 所示。

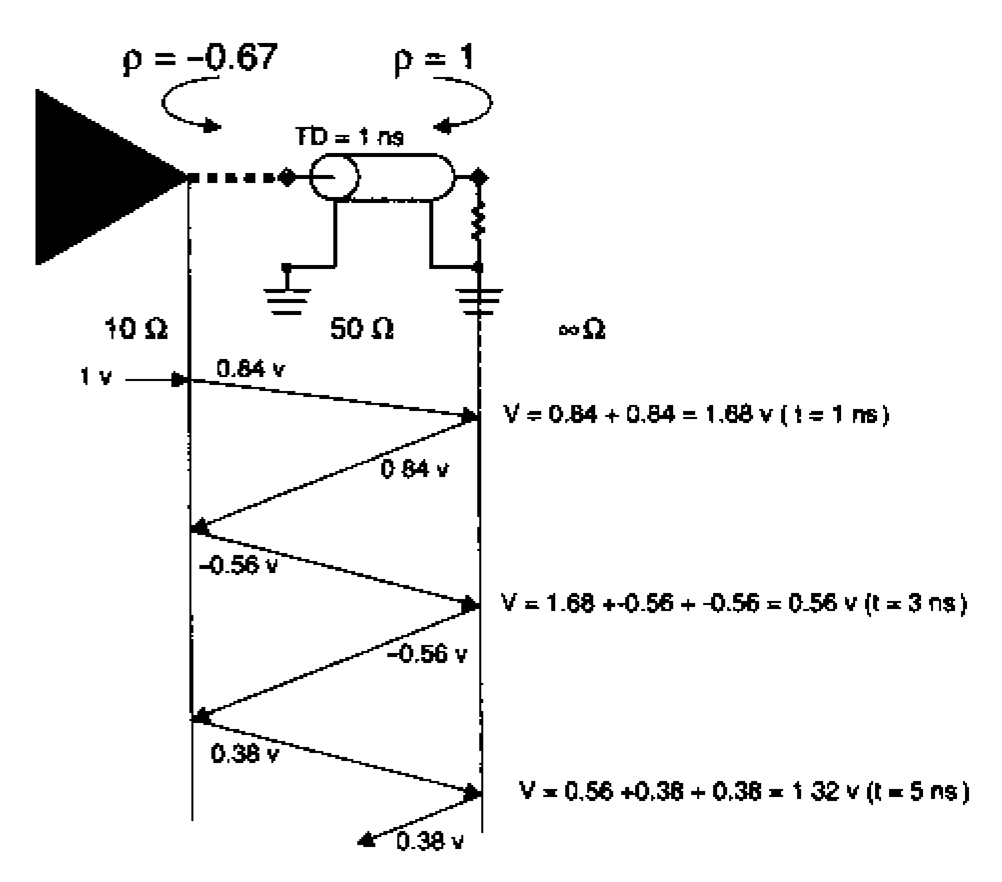


图 8.9　利用反弹图或网格图分析多次反射和远端接收器的时变电压

当内阻小于传输线的特性阻抗时，源端出现负反射，这将引起通常所说的振铃现象。图8.10给出了上例中信号上升时间远小于传输线的时延时，传输线远端的电压波形。这是在考虑了所有的多次反射和阻抗突变的情况下，用 SPICE 仿真器来预测的远端波形。

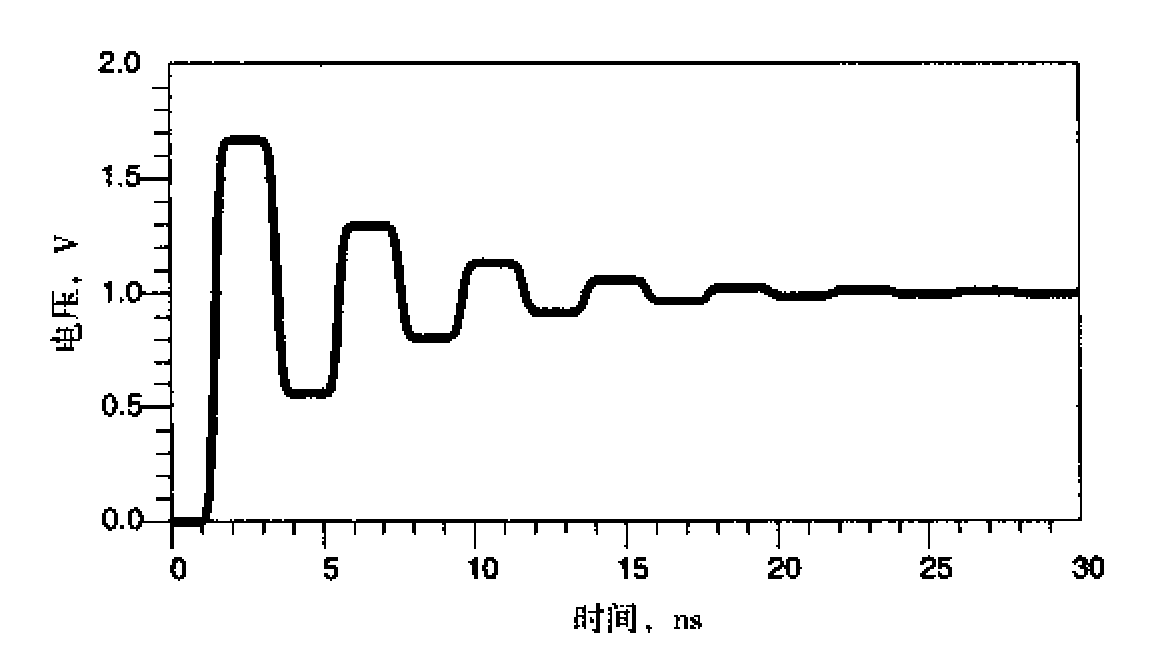


图 8.10　利用网格图仿真出传输线远端的电压。使用 SPICE 仿真得到

图中有两个重要的特性，首先是远端的电压最终逼近源电压 1 V，因为该电路是开路的，所以这是必然的结果——源电压最终是加在开路上的。

第二个重要效果是开路处的实际电压有时大于源电压。源电压仅 1 V，然而远端测得的最大电压是 1.68 V。高出的电压是怎么产生的？它是由传输线的分布参数 L 和 C 的谐振产生的。

8.6 反射波形仿真

根据反射系数的定义，可以计算出任意阻抗的反射信号。终端阻抗是电阻元件时，阻抗为常数，很容易求得反射电压。当终端是阻抗较复杂的器件（如电容、电感，或两者相结合）时，如果用手工计算反射系数和它如何随入射电压而改变，就变得困难且烦琐了。幸运的是，现在有简单易用的电路仿真工具可以使这些计算变得非常简单。

任意阻抗、任意波形所对应的反射系数和反射波形都可以用SPICE电路仿真器或行为级仿真器计算获取。在这两种仿真工具中，首先生成源端，然后加上理想传输线并连接上终端。当入射波传向线的末端，在所有阻抗突变处产生反射时，出现在终端和其他任意节点的电压都可仿真得到。

内阻、传输线的特性阻抗、时延以及终端阻抗可以有很多种不同的组合方式，每一种都可以方便地用仿真工具仿真。图 8.11 分别给出了信号上升时间从 0.1 ns 增加到 1.5 ns 和源端终端阻抗从 0 Ω 到 90 Ω 变化时，远端信号波形的变化，

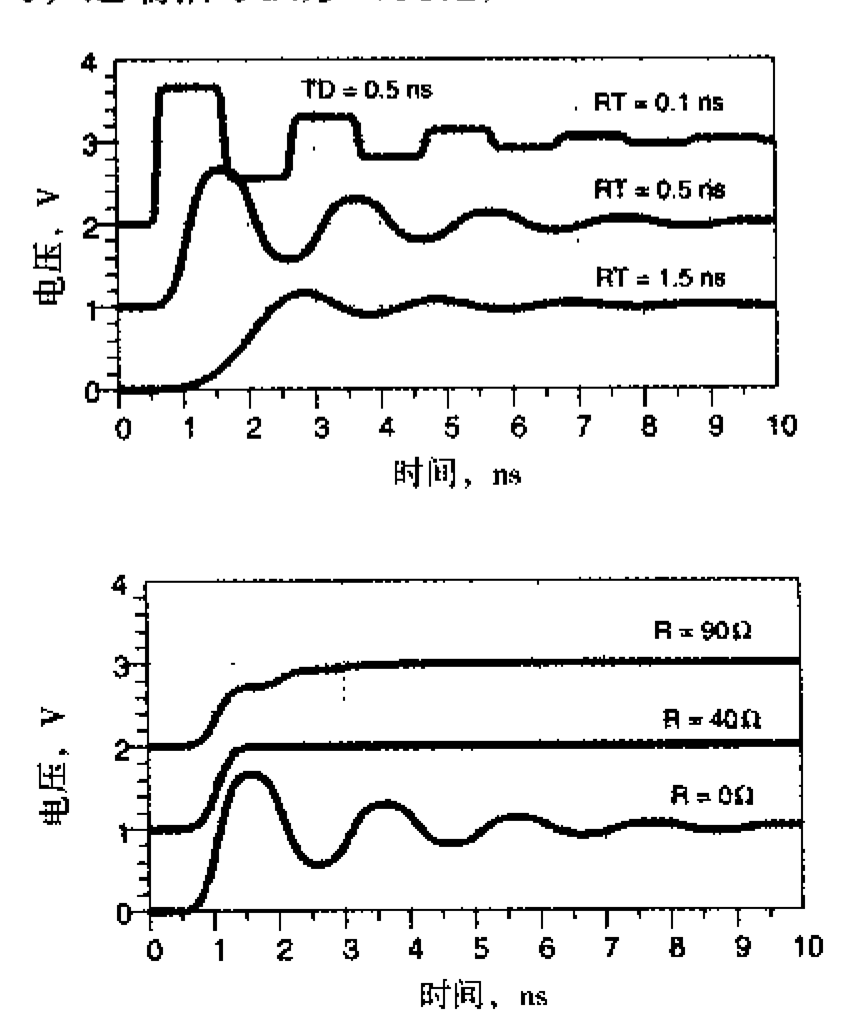


图 8.11　对于内阻为 10 Ω 的驱动器、特征阻抗为 50 Ω 的传输线，SPICE 仿真中可能出现的情况：上图是信号上升时间不同时远端的电压；下图是串联的远端终端电阻不同时远端的电压

提示　无论是使用SPICE电路仿真器还是行为级仿真器，都可以在考虑传输线所有特性的情况下对任意传输线电路的性能进行仿真。

8.7 使用 TDR 测量反射

除了通过仿真传输线电路而获得波形外，还可以使用称为时域反射计即 TDR 的特殊仪器从物理互连线的角度来测量反射波形。当表征自身没有电压源的无源互连线特性时，TDR是合适的测量仪器。当然，在测量有源电路的实际电压时，带高阻抗探针的高速示波器是最合适的工具。

TDR将产生快速上升沿，一般在35 ps到150 ps之间，同时测量仪器内部点的电压。图8.12为TDR内部工作情况的示意图。有一点很重要，就是不要忘记TDR只不过是一个快速阶跃信号发生器和高速采样示波器。

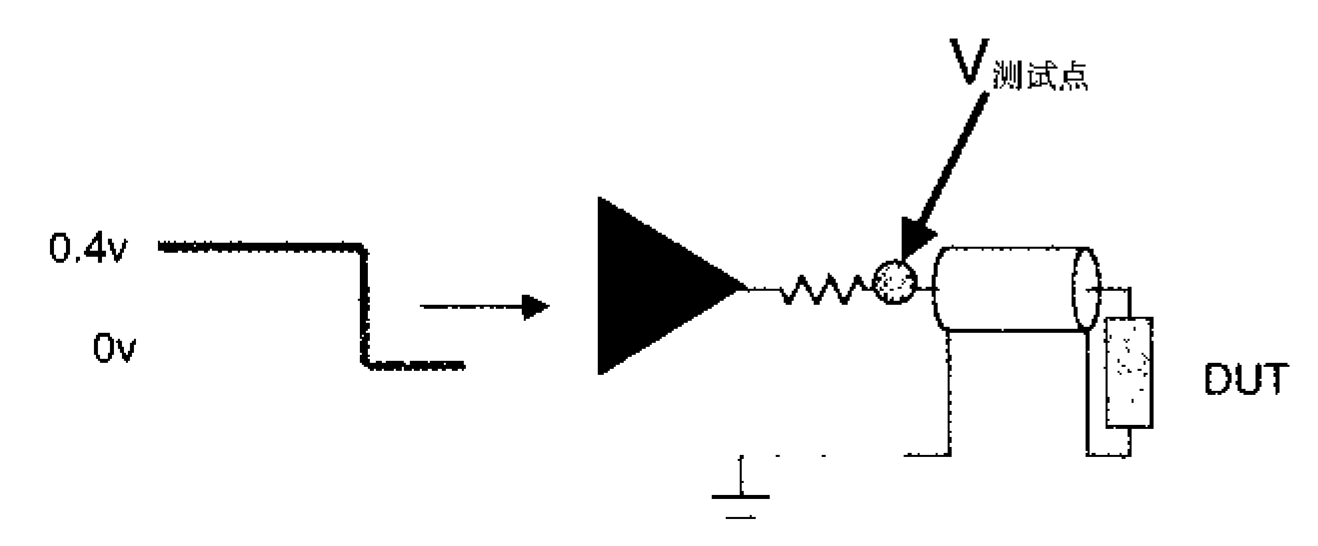


图8.12 TDR内部结构图：一个高速脉冲发生器产生快速上升的电压脉冲，它流经精确的50 Ω电阻，该电阻器串联一个很短的50 Ω同轴电缆，最后接到与DUT相连接的前面板。用高速采样示波器测得内部点的总电压，并显示在屏幕上

电压源是一个快速阶跃信号发生器，它输出的阶跃信号的幅度大约为400 mV，紧接电压源的是一个50 Ω校准电阻，其确保TDR的内阻是精确的50 Ω。紧靠该电阻的是实际测试点，高速采样放大器测的就是该点的电压值。与该点相连的是一根很短的同轴电缆，它把信号连接到前面板的SMA接头上。DUT就接插在这里。信号从源端进入DUT，并且在采样点处探测反射信号。

在阶跃信号产生之前，内部点的测量电压为0 V。信号进入分压器后，实际电压被测到。测试点处有两个电阻，第一个电阻是内部校准电阻，第二个是进入TDR内部的传输线。当400 mV阶跃信号到达校准电阻时，在测试点测得的实际电压是经过分压器分压后的电压。

测得的电压为400 mV × 50 Ω/（50 Ω + 50 Ω）= 200 mV。该电压是最初测得的，并在高速采样示波器中显示出来。200 mV信号继续沿内部同轴电缆到达DUT。

如果DUT是一个50 Ω终端，则此处没有反射信号，所以采样点处仅有的电压为前向波，其电压恒定为200 mV。如果DUT为开路，DUT处的反射电压为+200 mV。经过很短的时间后，该200 mV反射信号返回到采样点，此时测量并显示的是200 mV入射电压与200 mV反射电压之和，即显示的总电压值为400 mV。

如果DUT是短路，DUT处的反射电压为–200 mV。最初测量到的是200 mV入射电压，经过很短的时间后，–200 mV反射电压返回到源端，并被探头测量到。此时测量到的电压为200 mV入射信号加上–200 mV反射信号，即0 V。图8.13画出了这些情况下测量的电压。

提示 TDR可以测量出连接在仪器前端SMA接头上的各种互连所产生的反射电压，以及信号沿互连线传播的过程中，在所有突变处产生反射时，该电压随时间的变化情况。

当传输信号继续沿DUT传播时，如果有其他的瞬态阻抗发生改变的区域，那么新的反射电压就会产生，此电压将返回内部测试点处并显示出来。从这方面来说，TDR确实显示了信号受到的瞬态阻抗的变化。

入射信号沿着互连线传播，同时反射信号沿着互连线返回到测试点，所以从显示器上看到的时延正好是任意突变点的往返时延。

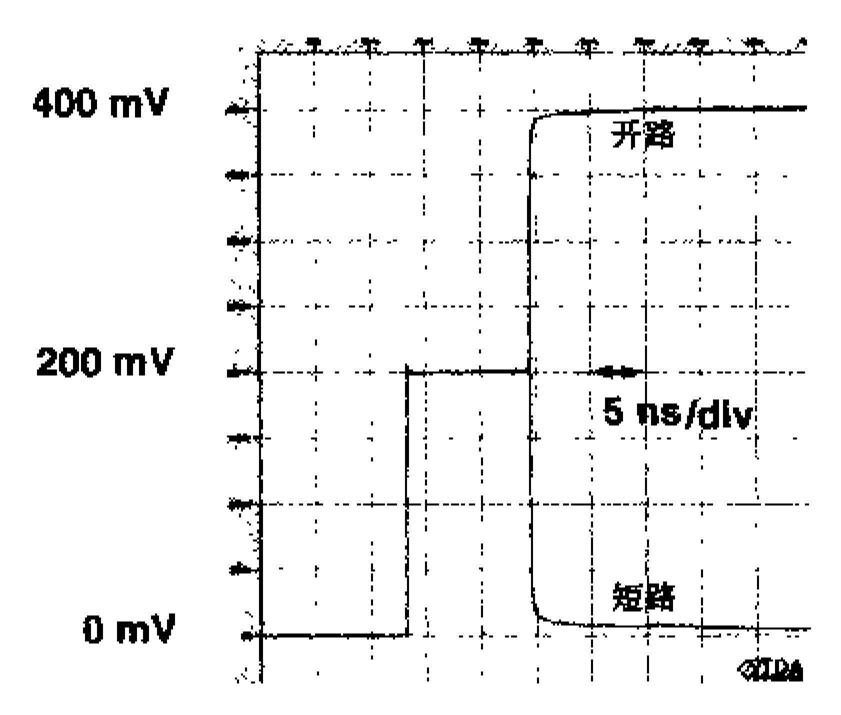


图 8.13　当 DUT 开路和短路时测得的 TDR 响应。数据由 Agilent 86100 DCA 测得，并用 TDA Systems IConnect 软件显示

例如，如果 DUT 是均匀的 4 in 长的 50 Ω 传输线，则因为它不是精确的 50 Ω，所以最初在 DUT 的入口处会有一个很小的反射电压，而当入射信号到达远端开路处时，就会有一个较大的反射信号返回测试点。此时的时延就是传输线的往返时延。如果传输线不是 50 Ω，那么在传输线两端就会发生多次反射。TDR 显示的是所有返回内部测试点的信号的叠加。图8.14给出了末端开路时，TDR 对 50 Ω 传输线和 15 Ω 传输线的响应情况。

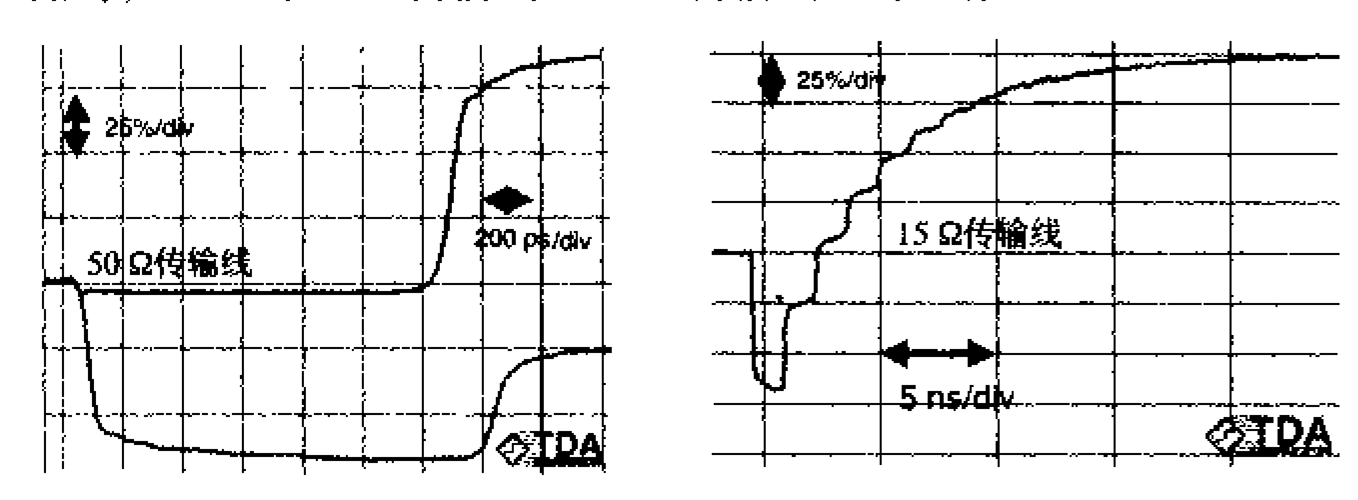


图 8.14　对 4 in 长、末端开路的 50 Ω 和 15 Ω 传输线，测量的 TDR 响应。左图：时基为 200 ps/div；右图：把时基扩大到 5 ns/div 时，15 Ω 传输线的反射。用 Agilent 86100 DCA 和 GigaTest Labs 探测台测量，用 TDA Systems IConnect 显示

理解了原理并有仿真、测量工具的支持使我们可以预测信号可能遇到的许多形式的阻抗突变。虽然其中一部分并不重要，在一些情况下可以忽略，但还有许多是非常重要的，必须仔细设计或设法避免。

提示　只有运用工程经验并将其量化，一些重要的影响才能被确定且加以控制，而次要因素也能确定并可以忽略不计。

8.8　传输线和非故意突变

只要信号受到的阻抗改变，就必有反射产生，而且反射对信号质量有严重的影响。预测阻抗突变对信号的影响，选择合适的设计方案是信号完整性工程的一个重要方面。

即使设计电路板时使用可控阻抗互连线，对于以下情况，信号也仍然会遇到阻抗突变：

1. 线的末端；
2. 封装引线；
3. 输入门电容；
4. 信号层间的过孔；
5. 拐角；
6. 桩线；
7. 分支；
8. 测试焊盘；
9. 返回路径上的间隙；
10. 过孔区域中的颈状；
11. 线交叉。

为了模拟这些情况，我们使用三种常用的等效电路模型从电器上描述非故意突变：理想电容、理想电感和短传输线（串联或并联）。图8.15给出了可能的等效电路模型，这些电路元件可以出现在线末端或中间。

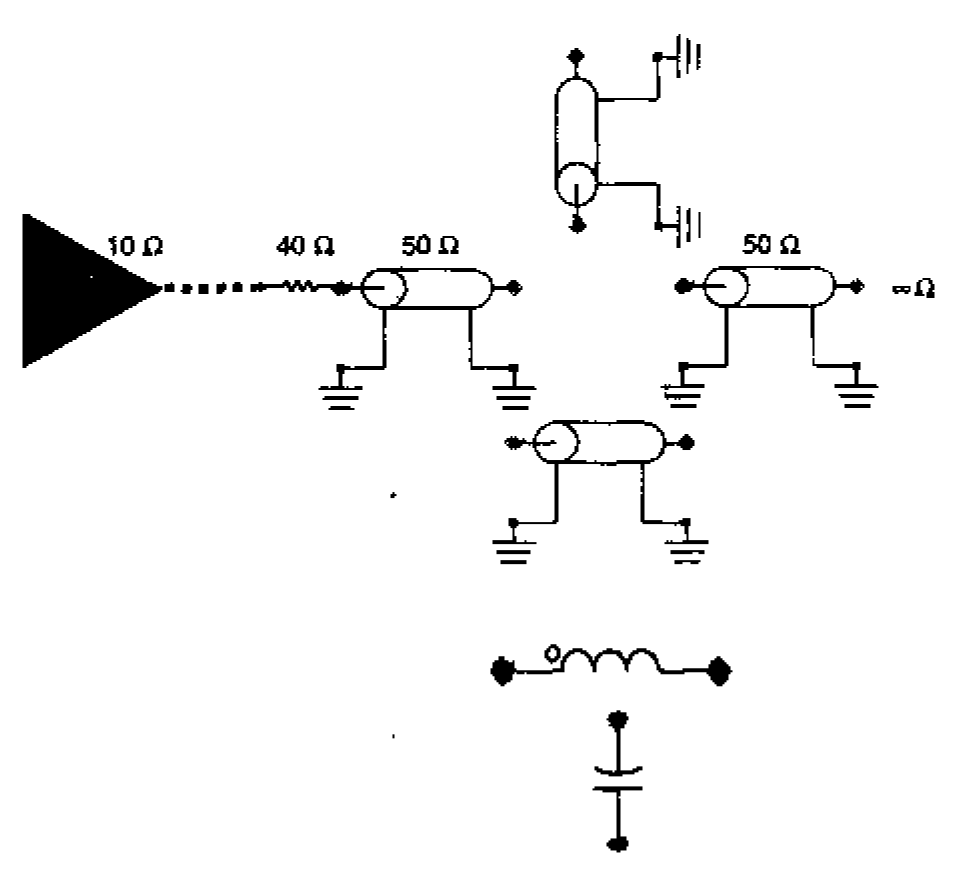


图8.15 用传输线电路来示例三种特殊阻抗突变的情况：短传输线的串联和并联、并联电容、串联电感

突变引起的信号失真程度受两个最重要参数的影响：信号的上升时间和阻抗突变的大小。电感和电容的瞬态阻抗是由电流、电压的瞬时变化率决定的。当信号通过电路元件时，电流和电压的变化率随时间改变，所以器件的阻抗也随时间变化。这意味着反射系数随时间、信号上升或下降时间特性的变化而变化，反射电压峰值与信号上升时间成比例。

总之，由于驱动器的阻抗和初始传输线的特性阻抗都对多次反弹有作用，这使得分析突变的影响变得复杂多了。

任何阻抗突变都会引起部分反射和信号失真。设计一个绝对没有反射的互连线是不可能的。多大的噪声是可以接收的，多大的噪声是过量的呢？这很大程度上取决于噪声预算和每个噪声源会分配多大的噪声电压。

提示 只有把产生突变的物理结构转换成相应的电路模型并进行仿真，才能充分明白这些因素以及阻抗突变所产生的影响，而经验法则只能在问题产生时提供工程预见和大致策略。

提示 除非特别指定，否则根据大致的经验法则，反射噪声应该被控制在电压摆幅的10%之内。对于3.3 V信号，反射噪声应该被控制在330 mV之内。某些噪声预算可能更加保守，反射噪声仅分配了5%。一般来说，噪声预算要求越严，解决方案就越昂贵。通常，某些噪声源的噪声会很严格地加以限制，因为调整的费用比较少；而另一些噪声源的噪声限制则要放宽，因为调整的费用比较多。就经验而言，我们一般只关心那些接近或超过信号摆幅10%的噪声。而在某些设计中，噪声小于5%就可能有点太苛刻了。

通过一些简单的情况，可以了解哪些物理因素会影响信号失真度，以及怎样在产生问题之前就从设计中发现并解决它们。基本上来说，设计可行性的最终评估必然由仿真结果决定。这就是为什么对于每一个关心信号完整性问题的工程师来说，能够方便地使用仿真器对某种情况进行分析是非常重要的原因。

8.9 何时需要端接

最简单的传输线电路由近端驱动器、短的可控阻抗互连线和远端接收器组成。如前所述，信号将在远端高阻抗开路端和近端低阻抗驱动器之间来回反弹。当导线很长时，多次反射会引起信号完整性问题，一般将其归结为振铃的范畴。如果导线足够短，则虽然依旧发生了反射，但它们却被上升或下降沿掩盖住了，可能不会引起问题。图8.16给出了50 Ω传输线的时延分别为信号上升时间20%，30%和40%时的接收端波形。

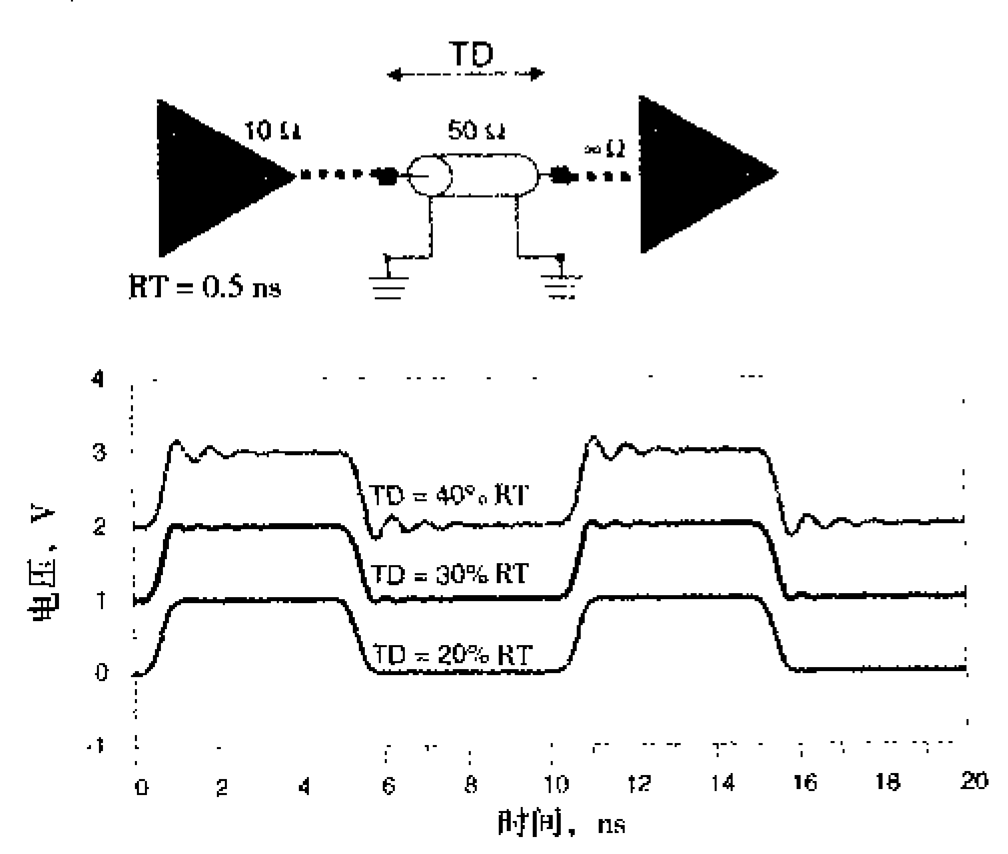


图8.16 当传输线的线长时延分别为信号上升时间20%、30%和40%时，在无终端端接传输线远端观测到的100 MHz时钟信号波形。当传输线时延超过信号上升时间20%时，振铃噪声就可能引起问题

当互连线时延为0.1 ns时，所有的反射都将发生，它们每0.2 ns（即往返时间）完成一个来回振荡。如果时延远小于上升时间，那么多次反射将被掩盖在上升沿中，几乎不能辨认，也就不能引起潜在的问题。根据上图可以粗略地估计出，当时延小于上升时间20%时，反射几乎是看不见的，但如果超过20%，振铃就开始有明显的作用效果。

提示 一个粗略的经验法则：当传输线时延TD>信号上升时间的20%时，就要开始考虑由于导线没有终端端接而产生的振铃噪声。时延大于上升时间20%时，振铃噪声会影响电路功能，必须加以控制，否则它将是造成信号完整性问题的隐患。如果TD<上升时间的20%，振铃噪声可以忽略，传输线不需要终端端接。

如果上升时间是1 ns，没有终端端接的传输线最大时延是20% × 1 ns = 0.2 ns。在FR4中，信号传播速度大约为6 in/ns，所以没有终端端接的传输线的最大长度约为6 in/ns × 0.2 ns = 1.2 in。

从而得到一个十分有用的经验法则：为了避免信号完整性问题，没有终端端接的传输线的最大长度大约为：

$$\mathrm{Len}_{max} < \mathrm{RT} \tag{8.13}$$

其中：

Len_{max} 表示没有终端端接的传输线的最大长度，单位为in

RT表示信号上升时间，单位为ns

提示 没有终端端接的传输线最大长度的英寸值等于信号上升时间的纳秒（ns）值，这是一个实用易记的经验法则。

如果上升时间是1 ns，则没有终端端接的传输线的最大长度约为1 in。如果上升时间为0.1 ns，则最大长度为0.1 in。我们将发现，对于确定何时振铃噪声会有严重的影响，这是一个非常重要的经验法则。同时，这也是为什么信号完整性问题近年来变得越来越重要，而在旧的生产工艺中却可以避免的原因。

若时钟频率是10 MHz，则时钟周期是100 ns，上升时间约为10 ns，那么没有终端端接的传输线的最大长度为10 in，实际上这比常见主板上的所有互连线都长。回溯时钟频率为10 MHz的时代，虽然互连线也相当于传输线，但反射噪声一直没有造成任何问题，因此说互连线对于信号是“透明的”。那时，我们不必担心阻抗匹配、终端端接，或者说传输线效应。

现在产品的形式没有变，互连线长度也没有变，但信号上升时间却减小了。已经有了上升时间很短、频率很高的时钟信号，所以电路板上几乎所有的互连线长度不可避免地都大于没有终端端接的传输线的最大长度，终端端接因此变得很重要。

目前，信号上升时间下降至0.25 ns，为了避免振铃噪声造成大的影响，没有终端端接传输线的最大长度大约为0.25 in。但是几乎所有互连线的长度都大于这个值，所以对于目前和未来的所有产品，端接策略是必需的。

8.10 点对点拓扑的通用端接策略

振铃是由源端和远端的阻抗突变、两端之间不断往复的多次反射引起的，所以如果能至少在一端消除反射，就可以减小振铃噪声。

提示 控制传输线一端或两端的阻抗从而减小反射的方法称为传输线的端接。典型的方法是在重要位置上放置一个或多个电阻。

一个驱动器驱动一个接收器的情况称为点对点的拓扑结构。图8.17示例了端接点对点拓扑结构的四种方法。最常用的方法是将电阻串联在驱动器端，这称为源端串联端接。端接电阻与驱动器内阻之和应等于传输线的特性阻抗。

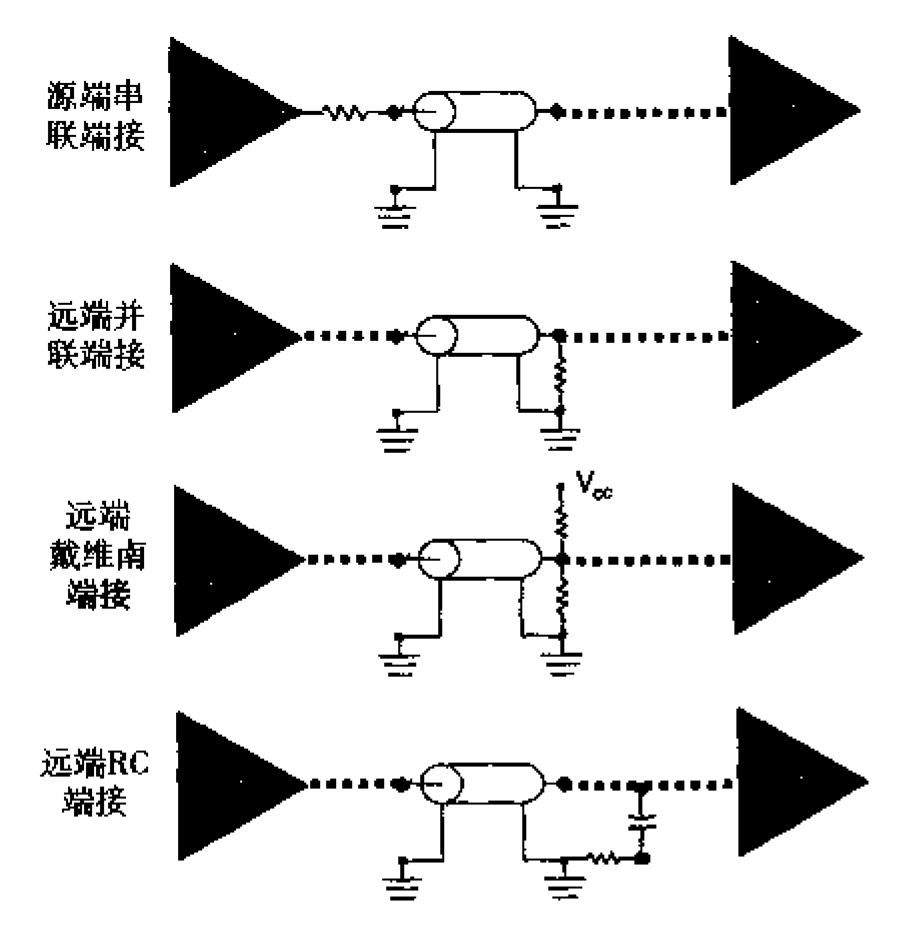


图 8.17　点对点拓扑结构四种常用的端接方法示意图。第一种源端串联端接是最常用的方法

如果驱动器内阻为 10 Ω，传输线特性阻抗是 50 Ω，那么端接电阻大约为 40 Ω。随着端接电阻被放在合适的位置，驱动器产生的 1 V 信号会遇到由 50 Ω 总电阻和 50 Ω 传输线构成的分压器。这样，0.5 V 将到达传输线。

乍一看，好像一半的电压触发幅度可能不够大。然而，当 0.5 V 信号到达传输线的开路端时，它又一次遇到阻抗突变。开路端的反射系数为 1，0.5 V 入射信号以 0.5 V 的振幅被反射回源端。在远端，开路处的总电压为 0.5 V 入射电压与 0.5 V 反射电压之和，即 1 V。

0.5 V 反射信号返回源端到达串联端接电阻时，往源端看进去的阻抗就是 40 Ω 串联电阻加上 10 Ω 内阻，即 50 Ω。而传输线的特性阻抗也为 50 Ω，信号所受到的瞬态阻抗没有发生改变，不会产生反射。此时，信号被端接电阻和内阻完全吸收。

这时在远端看到的是 1 V 信号而没有反射。图 8.18 给出了当有和没有 40 Ω 源端串联端接时，传输线远端的波形。

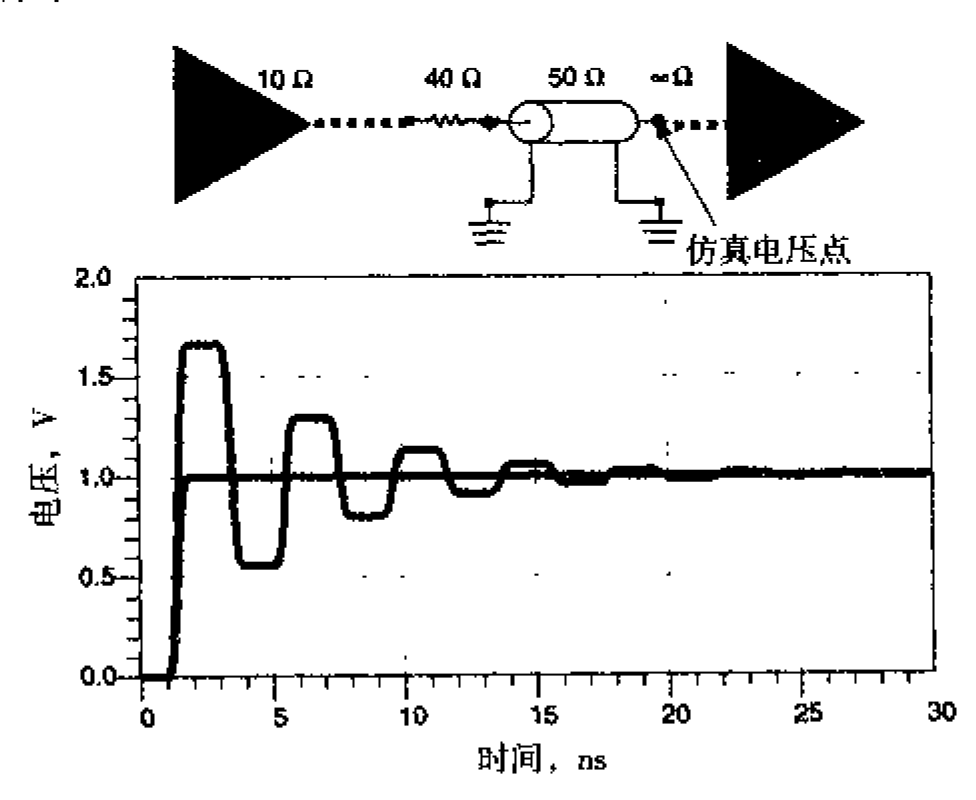


图 8.18　在传输线分别有和没有源端串联端接电阻时，其远端的快速上升边的电压信号

提示 理解反射的起源使我们能在传输线一端消除反射，防止产生振铃。信号的结果波形非常平滑，从而避免了信号完整性问题的出现。

在从驱动源出来的近端，紧接源端串联端接电阻之后所测量到的初始电压正是进入传输线的入射电压，大约为信号电压的一半。而在源端，必须等待反射波的到来，才能使此处的总电压达到全电压摆幅。要等待的时间等于往返时间，所以串联电阻之后的源端电压将形成台阶架形状。相对于信号的上升时间，传输线的往返时延越长，台阶架形状就持续得越长。这是源端串联端接传输线的基本特性，图 8.19 给出了源端测得的电压。

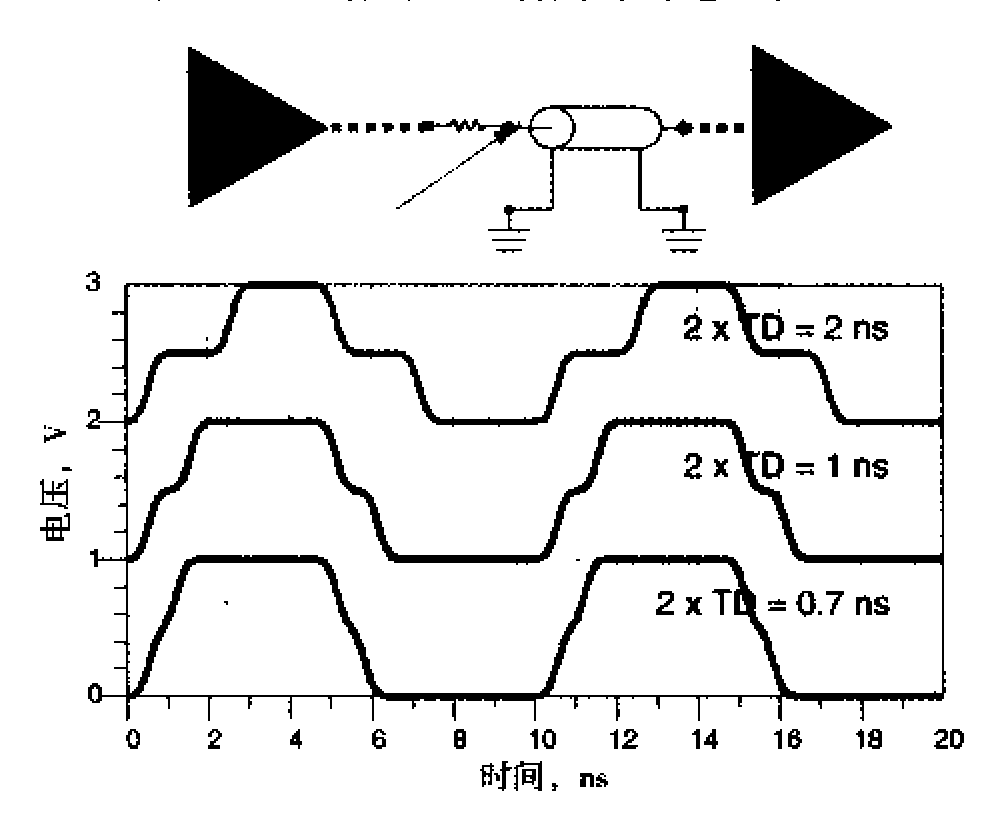


图 8.19 传输线具有源端串联电阻，随着线长度的增加，在源端测得的 100 MHz 时钟信号。信号上升时间为 0.5 ns

只要在源端附近没有别的接收器接收到该台阶架形状，就不会引发问题。当其他器件连接在源端附近时，台阶架形状就可能会造成问题，这时就要使用其他拓扑结构和终端端接方案。

在下面的例子中，都假设源阻抗已经与传输线的特性阻抗 50 Ω 相匹配。

8.11 短串接传输线的反射

电路板上的线条常常要通过过孔区域，或是要在元体密集区域布线，此时线宽必然变窄，收缩成颈状。如果传输线上有这么一小段的线宽变化，特性阻抗一般是变大。那么多长的线段以及多大的阻抗改变会造成问题呢？

决定短传输线段影响的三个特性是：突变引起的时延（TD）、突变处的特性阻抗（Z_0）以及信号的上升时间（RT）。如果时延大于上升时间，从电气上讲突变处就较长，反射系数将很大。反射系数的最大值与突变处前端的反射有关。

$$\rho = \frac{Z_2 - Z_1}{Z_2 + Z_1} \tag{8.14}$$

如果线条的颈状造成阻抗从 50 Ω 变化到 75 Ω，反射系数将为 0.2。图 8.20 给出了一些传输线较长的突变造成的反射信号和传输信号。

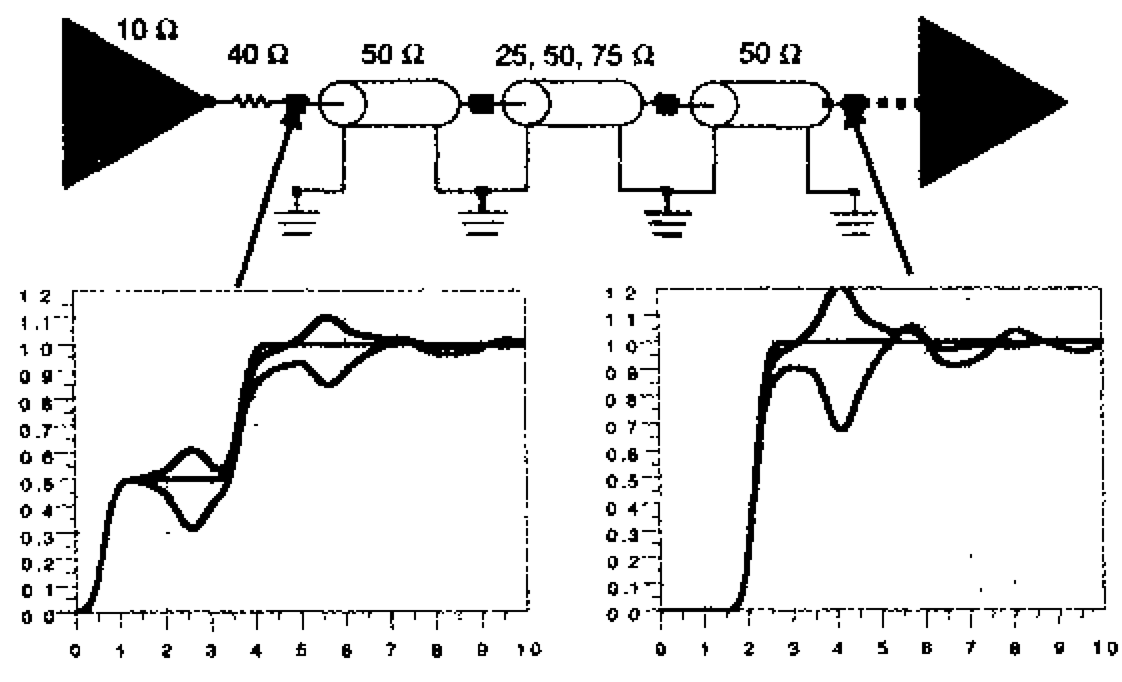


图 8.20　在传输线电路中，有一段电气上较长且均匀的突变，当突变的阻抗变化时，传输线上的反射信号和传输信号

阻抗突变引起了信号来回振荡，从而形成了反射噪声。这就是要设计均匀特性阻抗互连线的原因。为了保特反射噪声低于电压摆幅 5%，就需要保证特性阻抗的变化率小于 10%。这就是为什么电路板上阻抗的典型指标为 +/-10%。

注意，不管在第一个界面处发生的反射如何，它总是在与第二个界面处发生的反射大小相等，方向相反，因为 Z_1 和 Z_2 值互换了。这样，如果突变长度很短，来自两端的反射就可以互相抵消，对信号完整性的影响就可以忽略。图 8.21 为传输线上有 25 Ω 短突变时的反射信号和传输信号。如果突变处的时延小于信号上升时间 20%，它就不会造成问题，从而得到了与前面相同的经验法则，即可允许的阻抗突变最大长度为：

$$\mathrm{Len}_{\max} < \mathrm{RT} \tag{8.15}$$

其中：

$\mathrm{Len}_{\max}$ 表示阻抗突变处的最大长度，单位为 in

RT 表示信号上升时间，单位为 ns

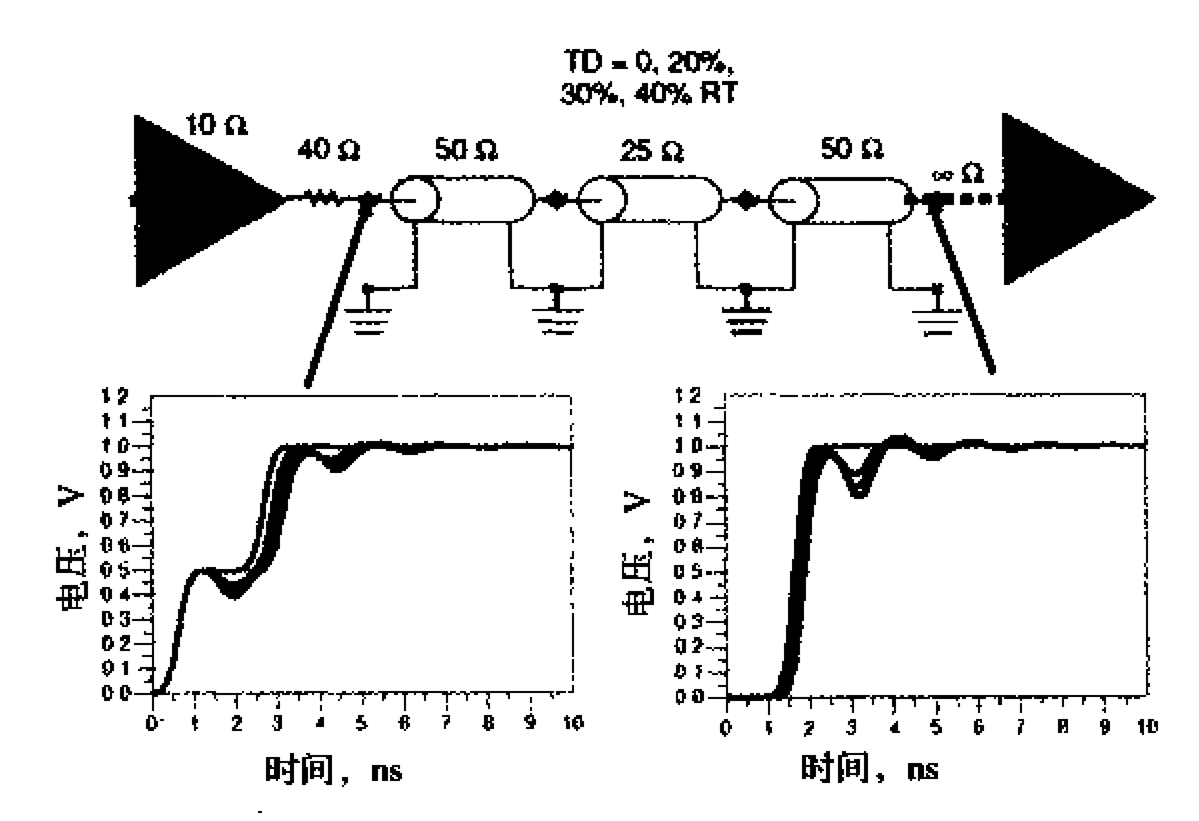


图 8.21　在传输线电路中，有一段电气上较短且均匀的突变，当突变段的时延从信号上升时间的 0% 上升到 40% 时，传输线上的反射信号和传输信号

提示　如果突变处的时延小于信号上升时间20%，则突变对信号质量造成的影响可以忽略。这就是经验法则：突变处的长度（英寸）应小于信号上升时间（ns）。

如果信号上升时间为0.5 ns，则长度小于0.5 in的颈状就不会产生信号完整性问题。

8.12　短桩线传输线的反射

在传输线中常常加上分支使信号到达多个输出端。如果分支很短，就称为桩线。桩线通常是BGA封装过程的产物。用汇流排将所有的引脚汇流在一起，这样键合用的压焊块就比较容易镀上金。制造中汇流排会被断开，留下一些短桩线连接到各个信号线上。

因为所有的反射都必须考虑到，分析桩线的影响就变得很复杂。信号离开驱动器后，遇到了分支点。这时信号遇到的是两段传输线的并联阻抗，此阻抗较低，所以负反射将回到源端。另一部分信号将沿两个分支继续传播。当桩线上的信号到达桩线末端时，它将反射回分支点，再从分支点反射到桩线末端，就这样在桩线中来回振荡。同时，每当与分支点发生交互时，桩线中的部分信号都将回到源端和远端。每个交界处都是一个反射点。

应用SPICE或行为仿真器是估计桩线对信号质量影响的惟一可行方法。决定桩线对信号质量影响的两个重要因素是信号上升时间和桩线的长度。在这个例子中，假设桩线位于传输线的中间，并且其特性阻抗和主线的相同。图8.22给出了当桩线长度从上升时间的20%提高到60%时，仿真得到的反射信号和传输信号。

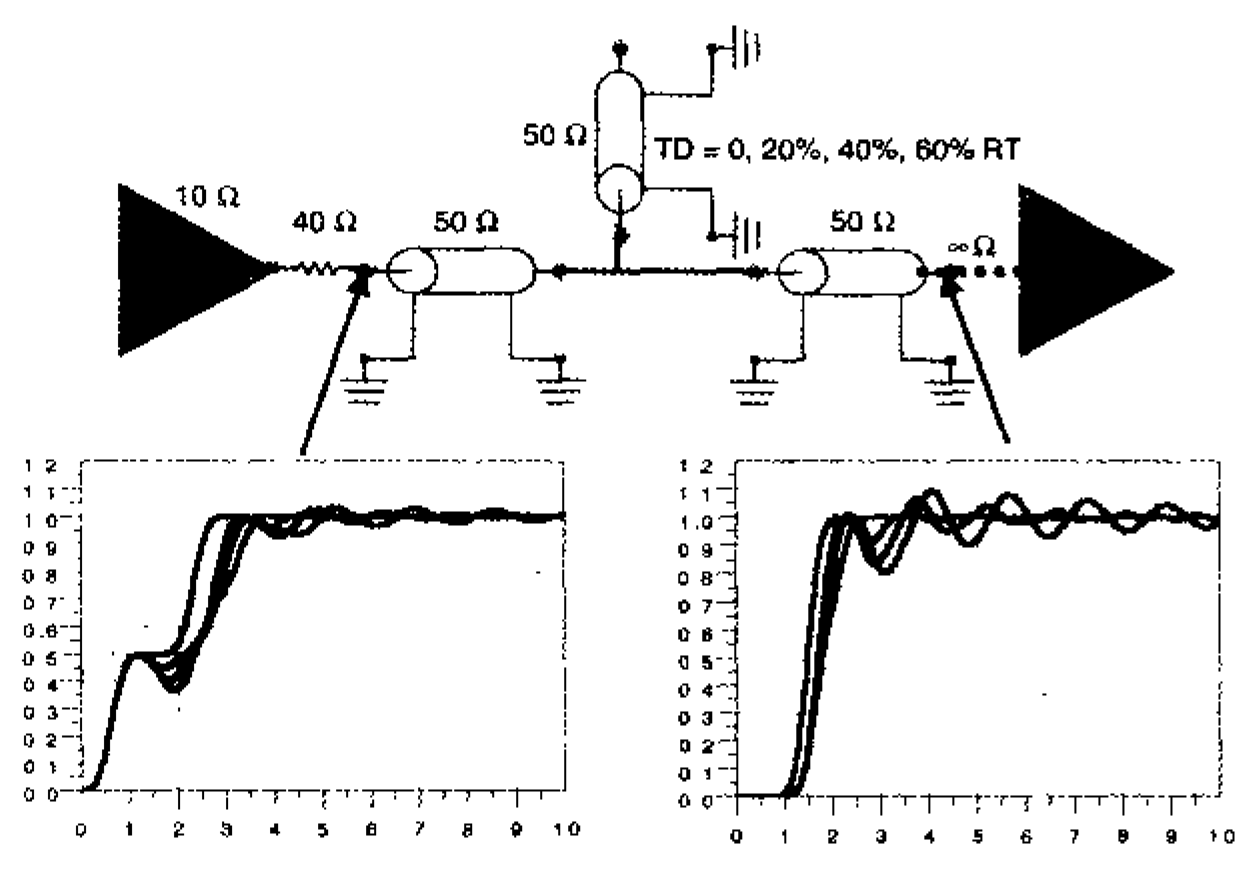


图8.22　传输线电路中间有短桩线，而且桩线时延从信号上升时间的20%提高到60%时，传输线上的反射信号和传输信号

提示　一个大致的经验法则：如果桩线长度小于信号上升边的空间延伸的20%，其影响可以忽略。相反，如果其长度大于信号上升边的空间延伸的20%，则对信号质量就会有很大的影响，这时必须通过仿真来估计它是否可以接受。

例如，如果驱动器的上升时间是1 ns，则可以使用时延小于0.2 ns的桩线，其长度大约为1 in。这时又得到一条经验法则：

$$\text{Lstub}_{max} < \text{RT} \tag{8.16}$$

其中：

Lstub_{max} 表示桩线可允许的最大长度，单位为 in

RT 表示信号上升时间，单位为 ns

这是一个简单易记的经验法则。例如，若上升时间为 1 ns，就要确保桩线长度小于 1 in。如果上升时间为 0.5 ns，桩线就要短于 0.5 in。这很明显，随着上升时间变短，为控制桩线足够短以期不影响信号质量的设计会越来越困难。

对于 BGA 封装，在制造中常常不可避免地使用电镀桩线，这些桩线一般都小于 0.25 in。若信号上升时间大于 0.25 ns，这些电镀桩线就不会引发问题，但如果上升时间低于 0.25 ns，它们将必然造成问题，这时就必须另外选择没有电镀桩线的制造技术。

8.13　容性终端负载的反射

所有实际接收器都有门输入电容，一般约为 2 pF。另外，接收器的封装信号引线与返回路径间也可能约有 1 pF 电容。如果传输线末端排列着三个存储器，则此处的负载可能为 10 pF。

当信号沿传输线到达末端的理想电容时，决定反射系数的瞬态阻抗将随时间的变化而变化。因为，时域中电容的阻抗为：

$$Z = \frac{V}{C\frac{dV}{dt}} \tag{8.17}$$

其中：

Z 表示电容器的瞬态阻抗

C 表示电容器的电容量

V 表示信号的瞬态电压

如果信号上升时间小于电容的充电时间，那么最初电容器两端的电压将迅速上升，这时阻抗很小。随着电容器充电，电容器两端的电压变化率 dV/dt 缓慢下降，这使电容器阻抗明显增大。如果时间足够长，电容器充电达到饱和，电容器就相当于断路。

这意味着反射系数随时间的变化而变化。反射信号将先下跌再上升到开路状态时的情形，这个情确波形是由传输线特性阻抗（Z_0）、电容器的电容量和信号上升时间决定的。图 8.23 给出了电容器容量分别为 2 pF，5 pF 和 10 pF 时，仿真得到的反射信号和传输信号的波形。

传输电压模式的长期效果就像是通过电阻向电容器充电。电容器对信号上升沿进行滤波，对接收端信号来说，它就相当于一个“时延累加器”。它与 RC 电路的充电方式非常相似，而 RC 电路中电容器两端的电压随时间常数的指数增加，根据这一关系，可以估计出新的上升时间和信号升至幅度中间值的时延增加量，即时延累加。这时的时间常数为：

$$\tau_e = R \times C \tag{8.18}$$

这个时间常数是电压上升到电压终值的 1/e 或 37% 所需要的时间。10%~90% 的上升时间与 RC 时间常数的关系为：

$$\tau_{10-90} = 2.2 \times \tau_e = 2.2 \times R \times C \tag{8.19}$$

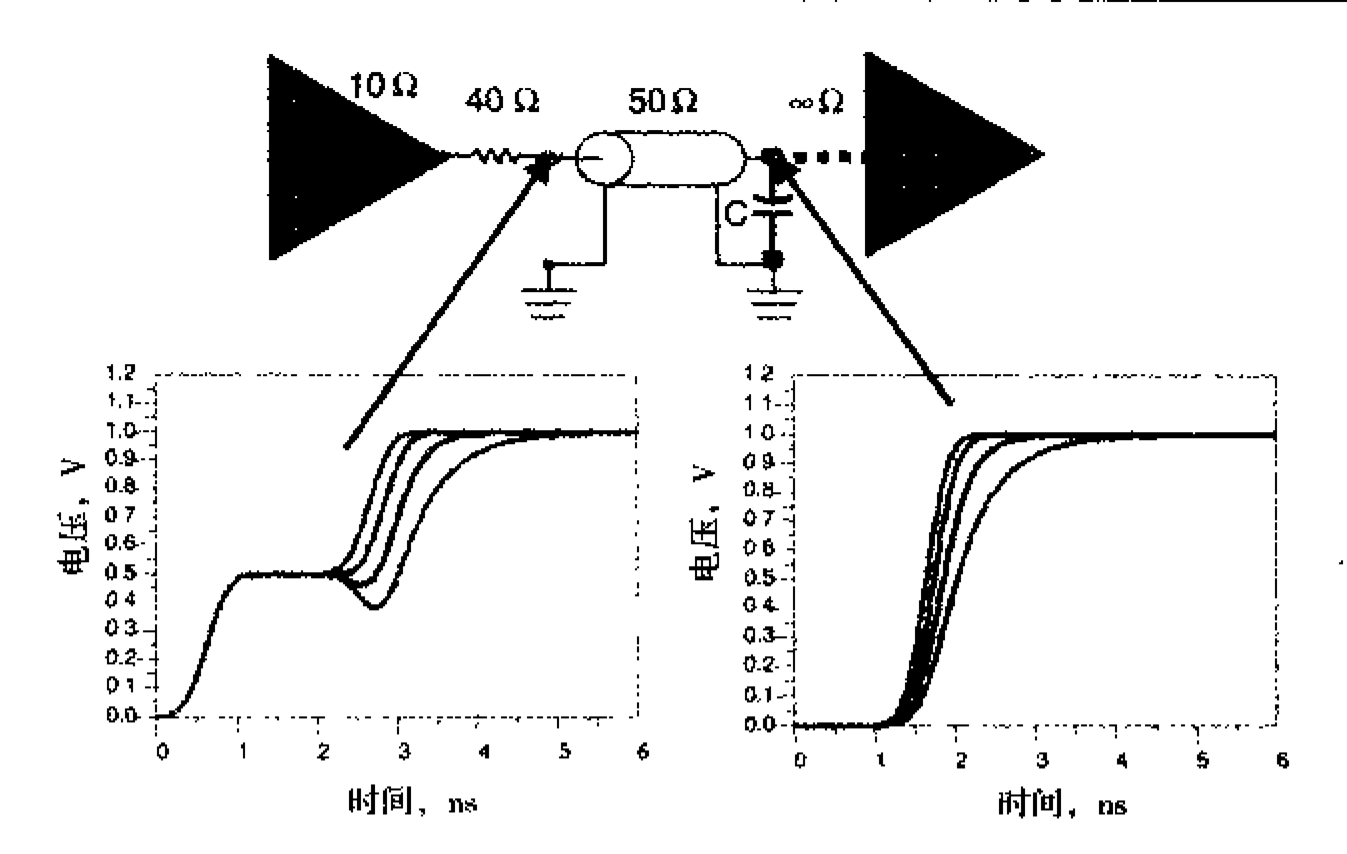


图8.23 对于上升时间为0.5 ns的信号，当传输线电路远端容性负载的电容量分别为0，2 pF，5 pF和10 pF时，传输线上的反射信号和传输信号

在带容性负载的传输线末端，电压的变化看起来就像是RC在充电。其中C是负载的电容量，R是传输线特性阻抗Z_0。传输信号的10-90上升时间主要由RC充电电路决定，其大约为：

$$\tau_{10-90} = 2.2 \times Z_0 \times C \tag{8.20}$$

如果传输线的特性阻抗为50 Ω，电容量为10 pF，则10-90充电时间是2.2 × 50 Ω × 10 pF = 1.1 ns。如果初始信号的上升时间比1.1 ns的充电时间短，则传输线末端的容性负载将占主导地位，并决定接收端的上升时间。如果初始信号的上升时间大于10-90充电时间，末端的电容器将使信号上升时间累加上约等于10-90 RC上升时间的时延。

提示 *必须重视由传输线的特性阻抗和输入接收器的容性负载决定的10-90 RC上升时间。当10-90 RC上升时间与初始信号的上升时间相当时，远端的容性负载就对时序有一定影响。*

电容量为2 pF、特性阻抗为50 Ω时，10-90 RC上升时间大约为2.2 × 50 × 2 = 0.2 ns。当上升时间为1 ns时，这个附加的0.2 ns延迟几乎无法辨认，也就不重要了。但当上升时间为0.1 ns时，0.2 ns的RC时延就是一个重要的时延累加值了。当驱动远端的多个负载时，在所有时序分析中加入RC时延累加值就变得非常重要了。

8.14 连线中途的容性负载反射

测试焊盘、过孔、封装引线或连接到互连线中途的短桩线，都起着集总电容器的作用。图8.24给出了线条上接入电容器时的反射电压和传输电压。最初，电容器的阻抗很低，反射回源端的信号幅度有轻微的下降。所以，如果在靠近线条的前端处有接收器，这种下滑将使得信号边沿变成非单调的，就可能会产生问题。

初始传出的信号并没有受到什么影响，但当信号在末端发生反射后，它将向源端方向返回。当它再次到达电容器时，带负值符号的部分信号将反射回远端。这些反射回接收器的信号为负电压，使接收端信号下降形成下冲。

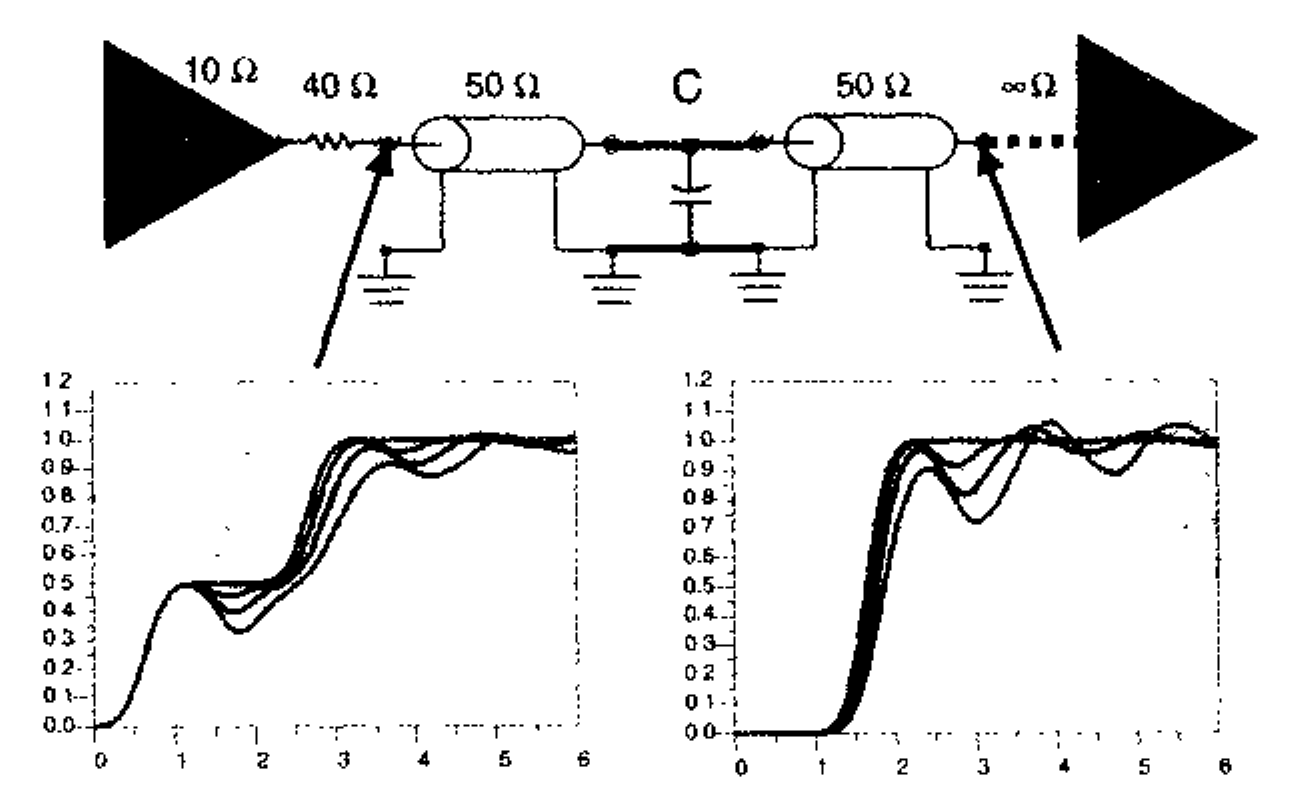


图 8.24　对于上升时间为0.5 ns的信号，当传输线电路中的容性突变的电容量分别为0，2 pF，5 pF和10 pF时，传输线上的反射信号和传输信号

传输线中理想电容器的影响由信号上升时间和电容量决定。电容量越大，电容阻抗就越小，负反射电压就越大，从而接收端的下冲也就越大。同理，上升时间越短，电容器阻抗就越小，下冲也就越大。如果对于某上升时间RT，某电容量 C_{max} 勉强可以接受，则这时如果上升时间减小，最大可允许的电容量也必须减小。比值 RT/C_{max} 似乎必须大于某个值。

上升时间与电容量比值的单位是欧姆，但这是什么阻抗呢？它就是时域中电容器的阻抗：

$$Z_{cap} = \frac{V}{C\frac{dV}{dt}} \tag{8.21}$$

因为，如果信号是线性上升边，而且其上升时间是RT，则dV/dt等于V/RT，电容器阻抗为：

$$Z_{cap} = \frac{V}{C\frac{dV}{dt}} = \frac{V}{C\frac{V}{RT}} = \frac{RT}{C} \tag{8.22}$$

其中：

Z_{cap} 表示电容器阻抗，单位为 Ω

C 表示突变处的容量，单位为 nF

RT 表示信号上升时间，单位为 ns

在信号上升过程中，信号路径与返回路径之间的电容好像是一个并联阻抗 Z_{cap}。这个路接在传输线上的并联阻抗引起了反射，如图8.25所示。为了避免该阻抗造成严重的问题，希望该阻抗能大于传输线的阻抗。换句话说，就是 $Z_{cap} >> Z_0$。开始时，可以认为是 $Z_{cap}>5 \times Z_0$。对电容器和上升时间的要求可以用以下式子表示：

$$Z_{cap} > 5 \times Z_0 \tag{8.23}$$

$$\frac{RT}{C_{max}} > 5 \times Z_0 \tag{8.24}$$

$$C_{max} < \frac{RT}{5 \times Z_0} \tag{8.25}$$

其中：

Z_{cap} 表示信号上升过程中电容器的阻抗，单位为 ns

Z_0 表示传输线的特性阻抗，单位为 Ω

RT 表示信号上升时间，单位为 ns

C_{max} 表示反射噪声不产生问题时可允许的最大电容，单位为 nF

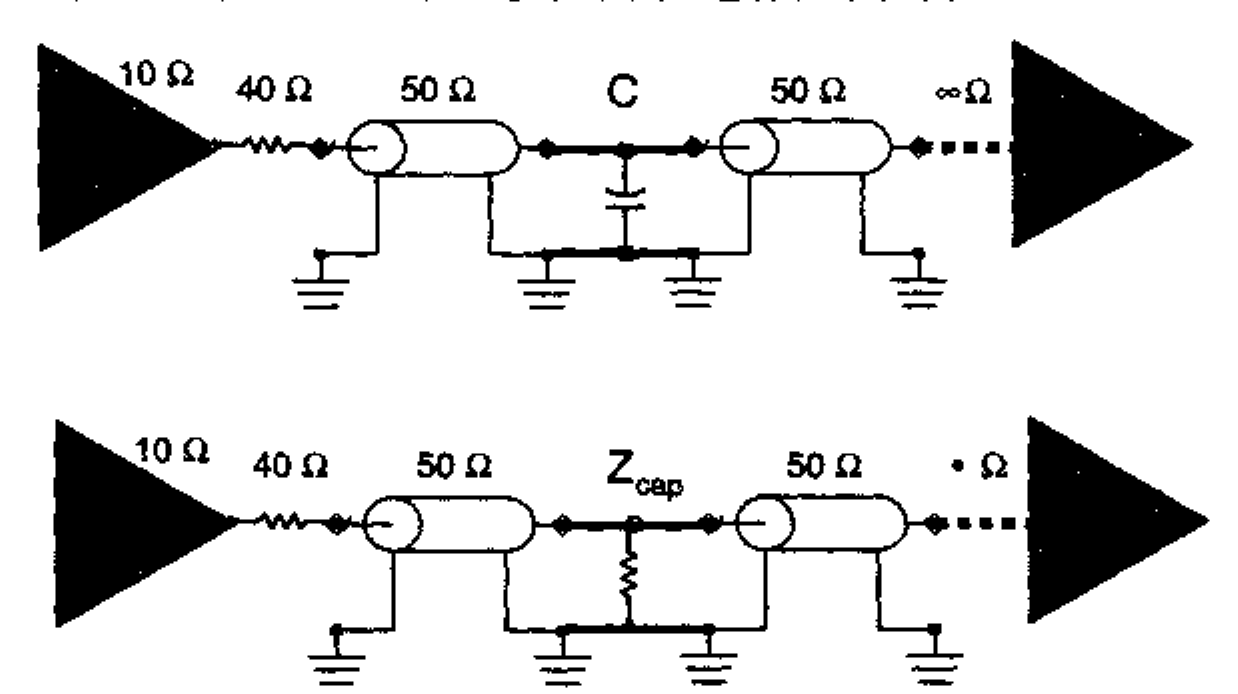


图 8.25 当信号边沿经过与传输线并联的容性突变时，可以把这个突变描述成并联阻抗

如果特性阻抗是 50 Ω，则所允许的最大电容为：

$$C_{max} < \frac{RT}{5 \times 50} = 0.004 \times RT \qquad (8.26)$$

其中：

TR 表示信号上升时间，单位为 ns

C_{max} 表示反射噪声不产生问题时可允许的最大电容，单位为 nF

这是一个十分简单的经验法则的由来。

提示 为了避免容性突变造成过量的下冲噪声，应使电容量（pF）低于信号上升时间（ns）的 4 倍。

如果上升时间是 1 ns，最大可允许的电容量为 4 pF。如果上升时间为 0.25 ns，则不引起下冲问题的最大可允许的容性突变为 0.25 × 4 = 1 pF。同理，如果容性突变为 2 pF，那么不影响信号质量的最短上升时间为 2 pF/4 = 0.5 ns。

这一粗略的限制说明如果系统上升时间为1 ns，则不会影响信号质量的容性突变约为4 pF。同理，如果空接插件的电容量为2 pF，上升时间就要大于0.5 ns。然而，如果上升时间是0.2 ns，这就会产生问题，因此在制作硬件前进行性能仿真是非常关键的。此时，需要寻找其他替代接插件或者替代的设计。

8.15 容性时延累加

容性负载产生的第一类影响就是接收端的下冲噪声。第二类更加复杂的影响则是远端信号接收时间被延迟。电容与传输线就如同一个RC 滤波器，所以传输信号的 10-90 上升时间将增加，信号越过电压门限 50% 的时间也将增加。传输信号的 10-90 上升时间约为：

$$RT_{10\text{-}90} = 2.2 \times RC = 2.2 \times \frac{1}{2} Z_0 C = Z_0 C \tag{8.27}$$

50% 处的时延累加量称为时延累加，约为：

$$\Delta TD = RC = \frac{1}{2} Z_0 C \tag{8.28}$$

其中：

$RT_{10\text{-}90}$ 表示信号上升时间的 10% 到 90%，单位为 ns

ΔTD 表示通过电压门限 50% 的时延增加量，单位为 ns

Z_0 表示传输线的特性阻抗，单位为 Ω

C 表示容性突变，单位为 nF

系数 1/2 是因为传输线的前一半使电容充电，而后一半则使电容放电，所以使电容充电的有效阻抗实际上是特性阻抗的 1/2。

例如，50 Ω 传输线中，对于 2 pF 容性突变，传输信号的 10-90 上升时间约增加 50 × 2 pF = 100 ps。50% 门限的时延累加约为 0.5 × 50 × 2 pF = 50 ps。图 8.26 给出了对于三个不同的容性突变，接收端信号到达 50% 门限时，仿真得到的上升时间和时延。根据预测，2 pF，5 pF 和 10 pF 电容对应的时延累加应分别为 50 ps，125 ps 和 250 ps，这些估计值与实际仿真值非常接近。

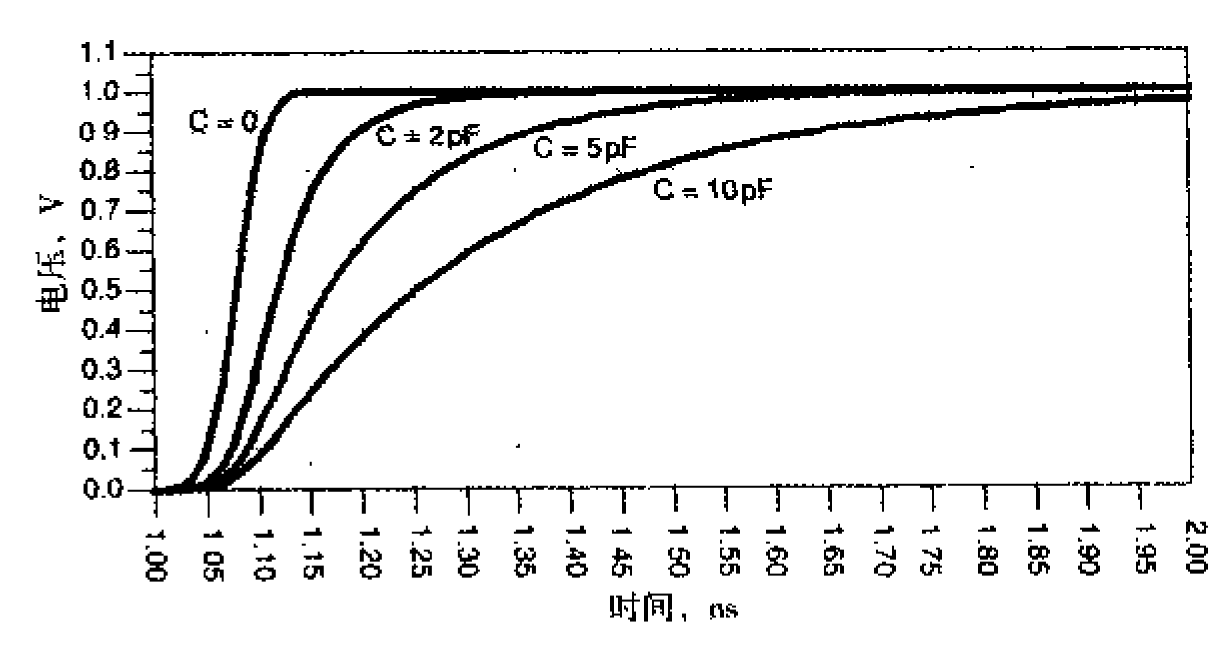


图 8.26　信号上升时间为 50 ps 时，50 Ω 导线中的不同容性突变所引起的接收端时延增量。基于简单的经验法则估计的时延累加值分别为 50 ps, 125 ps 和 250 ps

要保证由测试焊盘、接插件焊盘和过孔引起的容性突变低于 1 pF 是很困难的。每皮法焊盘约增加 0.5 × 50 × 1 pF = 25 ps 时延，从而延长了信号上升时间。在高速串接中，如 OC-48 数据率甚至更高的情况，其上升时间大约为 50 ps。每个过孔焊盘或接插件都可能增加 25 ps 时延，从而使信号上升时间增加 50 ps。所以一个过孔很容易使上升时间翻倍而造成严重的时序问题。

使用低特性阻抗是减小时延累加影响的一种方法。对于同样的容性突变，特性阻抗越低，时延累加就越小。

8.16　拐角和过孔的影响

当信号沿均匀互连线传播时，不会产生反射和传输信号的失真。如果均匀互连线上有一个 90 度弯曲，则此处的阻抗发生改变，信号将出现部分反射和失真。任何均匀互连线中的 90 度

拐角一定会造成阻抗突变，影响信号质量。图8.27给出了测量的上升时间为50 ps的信号的TDR响应，它反应了两个临近的90度拐角处的阻抗突变。这种效应很容易测量得到。

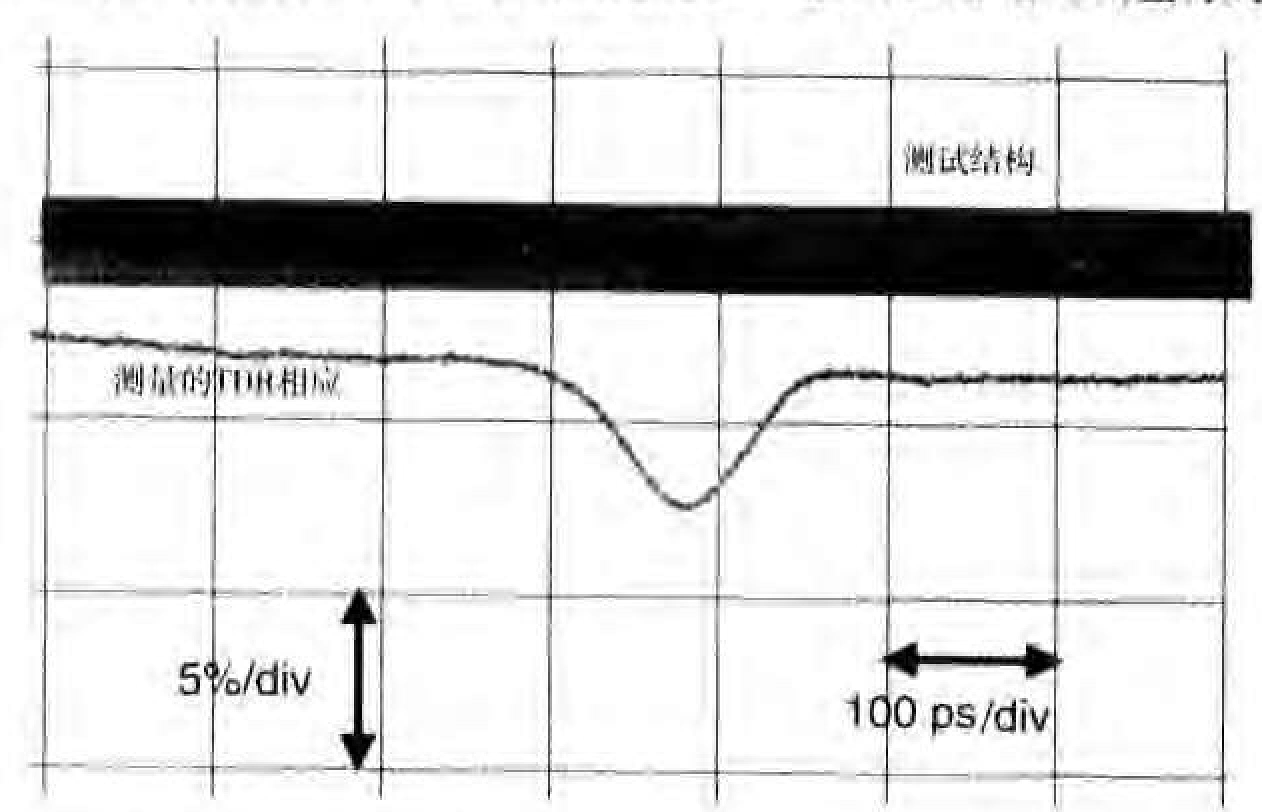


图8.27 有两个临近的90度拐角，65 mil宽的50 Ω均匀传输线上的TDR响应。原信号上升时间约为50 ps。数据由Agilent DCA 86100和GigaTest Labs探测台测量

将90度拐角变成两个45度拐角就可以减少这种影响，而使用线宽固定的弧形拐角比其他任何形状的效果要好得多。但是拐角造成的信号失真是否会产生问题？突变是否大到令人担心的地步？什么情况下拐角会造成问题？获取答案的惟一方法是进行定量计算，而做到这一点的惟一途径就是了解拐角影响信号完整性的根本原因。

可能会认为90度拐角致使电子在其周围加速，从而导致过量的辐射和失真。如前所述，导线中的电子实际上是以大约1 cm/s的速度缓慢移动的，拐角一点儿也不会影响电子速度。拐角尖端处的电场很高也是事实，但这是直流效应，它是由导线外边缘的尖锐程度引起的。很高的直流电场会使拐角处的细丝变长并引发长期可靠性问题，但不会影响信号质量。

提示 弯曲处的额外线宽是使拐角影响信号传输的惟一因素，它如同一个容性突变。正是这个容性突变引起了反射和传输信号的时延累加。

如果拐角处导线的线宽固定，那么整根导线的线宽没有变化，信号在拐角中的任何点处受到的瞬态阻抗将相同，也就不会产生反射。我们可以粗略地估计拐角处的额外金属，图8.28举例说明了拐角就是正方形的一部分。拐角肯定小于正方形，可以把它粗略近似成一个正方形金属的一半。

可以根据正方形的电容量和导线的单位长度电容估计出拐角的电容量：

$$C_{corner} = 0.5 \times C_{sq} = 0.5 \times C_L \times w \tag{8.29}$$

导线的单位长度电容与其特性阻抗之间的关系为：

$$C_L = \frac{83}{Z_0}\sqrt{\varepsilon_r} \tag{8.30}$$

从而拐角处的电容量估计大约为：

$$C_{corner} = 0.5 \times C_L \times w = 0.5 \times w \times \frac{83}{Z_0}\sqrt{\varepsilon_r} \approx \frac{40}{Z_0} \times \sqrt{\varepsilon_r} \times w \qquad (8.31)$$

其中：

C_{corner} 表示每个拐角的电容量

C_L 表示单位长度电容，单位为 pF/in

w 表示导线的线宽，单位为 in

Z_0 表示导线的特性阻抗，单位为 Ω

ε_r 表示介电常数

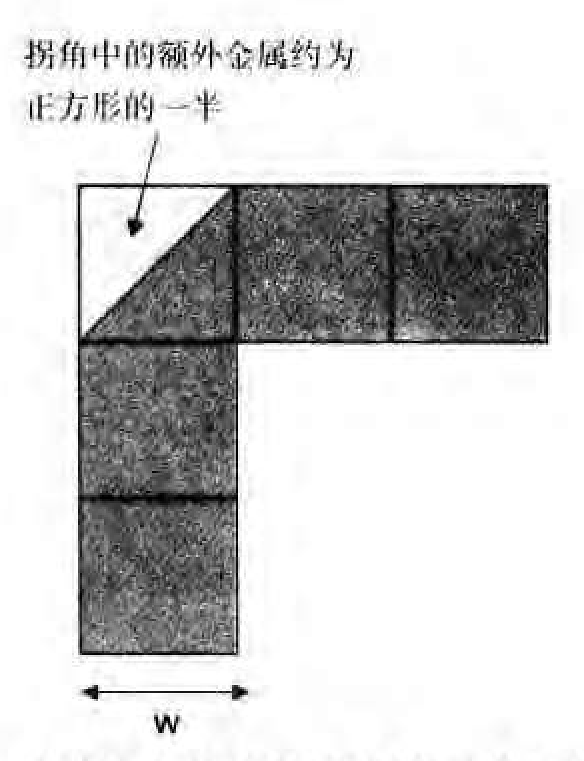


图 8.28 拐角的额外区域可简单估计为正方形的一半

例如，对于前面测量的 65 mil 宽的导线，两个 90 度拐角的电容量约为 40/50 × 2 × 0.065 = 0.1 pF = 100 fF。如果是两个拐角相临近，突变总容量则为 200 fF。使用 TDR，可以估算出由突变造成的过量电容。图 8.29 对比了中间有 200 fF 集总电容的均匀传输线的测量响应和仿真响应。两者非常吻合说明了两个拐角造成的突变可以用一个 200 fF 电容来模拟，它同 200 fF 电容的简单模型非常接近。

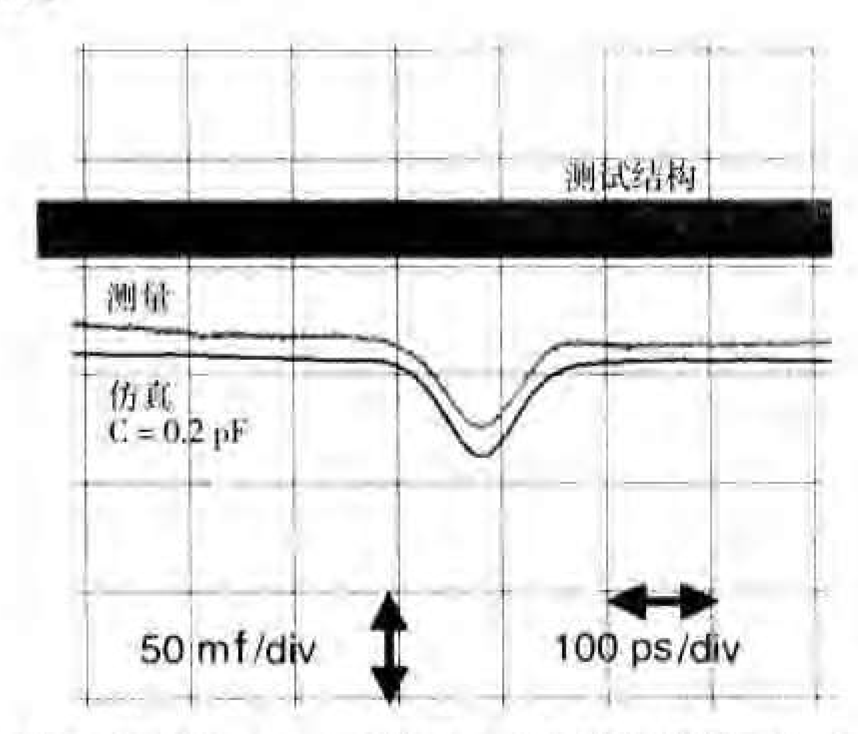


图 8.29 有两个临近的 90 度拐角、65 mil 宽的 50 Ω 均匀传输线的 TDR 响应的测量值和仿真值。原信号的上升时间约为 50 ps。图中基于 0.2 pF 电容的仿真结果明显有略微下移。使用 Agilent DCA 86100 和 GigaTest Labs 探测台测量，TDA Systems IConnect software 仿真

由此可以得到一个简单易记的经验法则。

提示 50 Ω传输线上一个拐角的电容量（fF，1 fF = 1 × 10^{-15} F）约等于两倍线宽（密耳）。

在保持阻抗仍为50 Ω的同时减小线宽，拐角的电容量将下降，其作用会变得不那么明显。对于高密度电路板中线宽为5 mil的典型信号线，一个拐角的电容量大约为10 fF。10 fF电容（也可以写做0.01 pF）产生的反射噪声如果对信号上升时间有影响，其数量级必须在4~3 ps左右，而经计算，此电容引起的时延累加大约为0.5 × 50 × 0.01 pF = 0.25 ps。所以，5 mil宽的导线上拐角的电容量不太可能对信号完整性有很大的影响。

如果过孔把信号线连接到测试焊盘，或者是过孔穿越所有板层把信号线连接到相邻层上，则筒状孔壁的电容量通常会超过板中不同层之间的电容量，这使过孔看起来像是信号的集总容性负载。过孔的电容量与筒状孔壁的尺寸、出砂孔以及顶层和底层上焊盘的尺寸有密切的关系，其范围从0.1 pF到大于1 pF。任何与信号线连接的过孔都可以看做是容性突变。在高速串接中，它是导线上信号质量的一个主要制约因素。

图8.30给出了一块10层板中的15 in长的均匀导线上分别有和没有通孔时，测得的TDR响应，其中导线的阻抗约为58 Ω，线宽为8 mil，信号上升时间约为50 ps。导线中，SMA接插件的过孔和线上通孔的电容量均约为0.4 pF 当信号传播到中途并返回时，由于介质损耗使信号的上升边退化，会致使这两个过孔产生的反射电压不相同。其他沿线反射电压的变化是由于制造工艺的不同而引起阻抗的变化产生的。

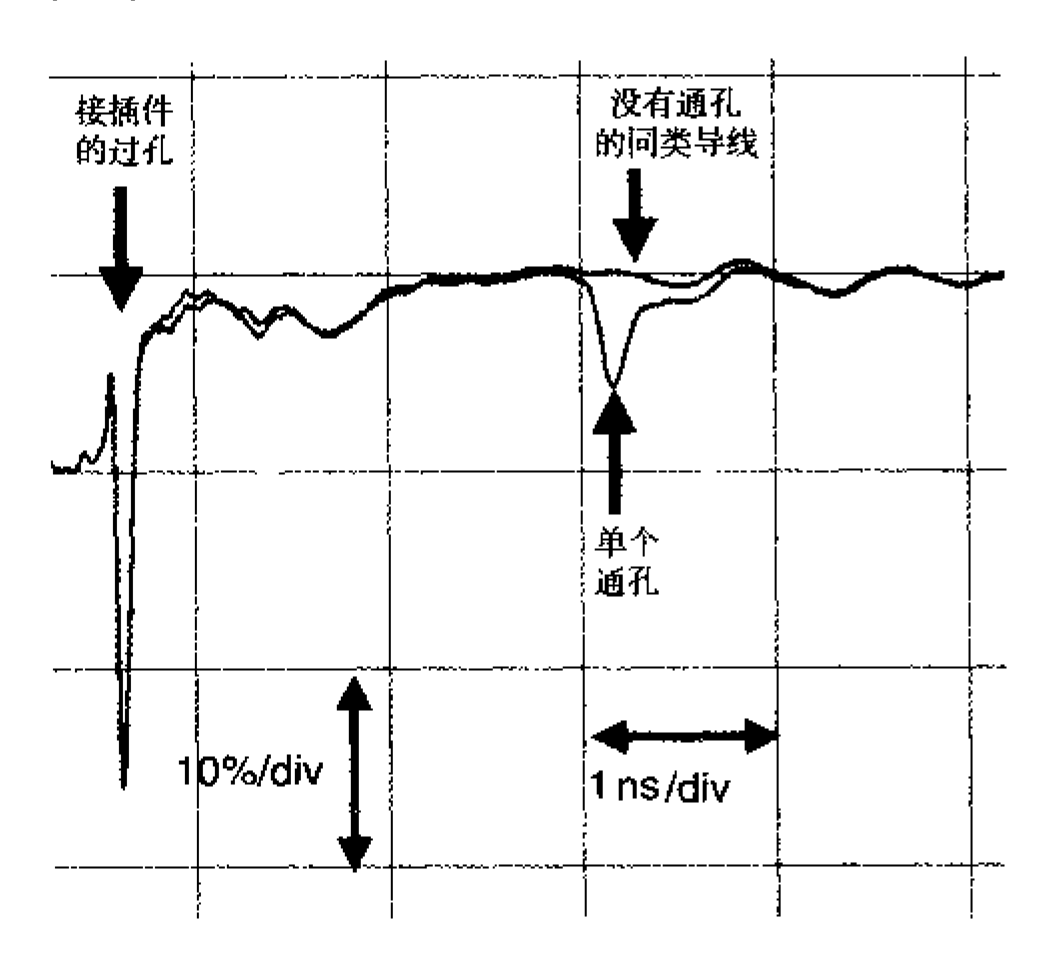


图8.30 导线中途分别有和没有造成容性突变的通孔时，均匀传输线上的TDR测量响应。线前端的接插件的过孔也是一种容性突变。由Doug Brooks和UltraCAD提供采样，由Agilent DCA 86100和GigaTest Labs探测台、TDA Systems IConnect测量

这个过孔可以近似为0.4 pF电容，我们预测这单个过孔产生的时延累加大约为0.5 × 50 × 0.4 pF = 10 ps。图8.31说明这个传输信号的时延比相同导线上没有过孔时增加了9 ps，这与经验法则的估值非常接近。

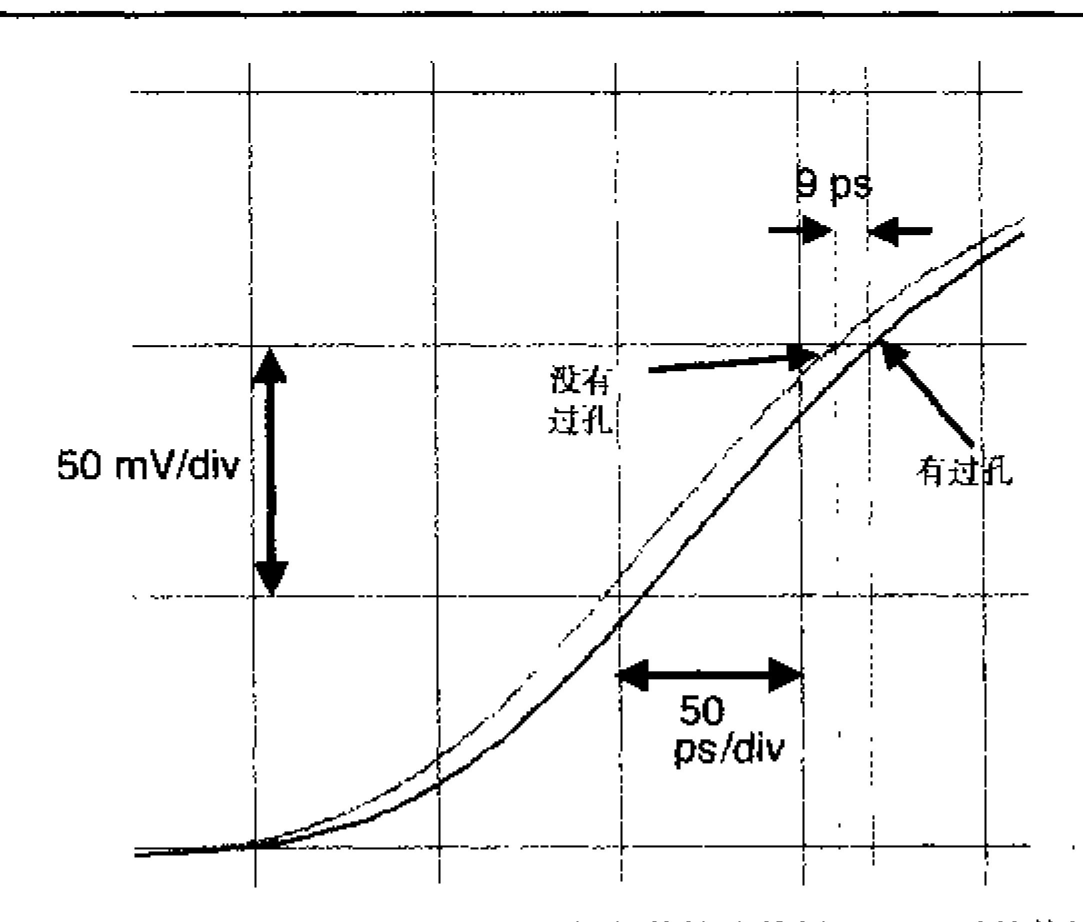


图 8.31　分别有一个通孔和没有通孔时，沿均匀传输线传播了 15 in 后的传输线号。图中说明过孔使时延增加了 9 ps。由 Doug Brooks 和 UltraCAD 提供采样，由 Agilent DCA 86100 和 GigaTest Labs 探测台、TDA System IConnect 测量

8.17　有载线

当传输线上存在一个小容性负载时，信号将失真，而且信号上升边也会退化。每个分立电容会降低它附近的阻抗。如果在导线上分布了多个容性负载（如接插件的汇流排上每隔 1.2 in 就有一个 2 pF 接插件桩线，或者像存储器的汇流排上每 0.8 in 就分布一个 3 pF 的封装和输入门电容），而且它们的间距小于上升边的空间延伸，则每个容性突变处引起的反射就会相互抵消。此时，导线的特性阻抗似乎降低了。其上均匀分布着容性负载的传输线称为有载线。

每个突变看上去像是一个低阻抗区域。当上升时间小于电容间的时延时，对于信号而言，每个突变都是彼此独立的。当上升时间大于电容间的时延时，低阻抗区域相互交叠，导线的平均阻抗下降。

图 8.32 给出了 3 个上升时间互不相同时，有载线的反射信号。该例中，导线的标称阻抗是 50 Ω，每隔 1 in 分布一个 3 pF 电容，共有 5 个电容，最后 10 in 导线是没有负载的无载线。每个电容固有的 10-90 上升时间约为 $2.2 \times 0.5 \times 50\,\Omega \times 3\,pF = 150\,ps$。即使初始上升时间为 50 ps，在通过第一个电容后，上升时间也增加到 150 ps，而且每通过一个电容都会继续增加。

最初几个电容器可以认为是独立的突变，但传输信号上升时间的增加使后几个电容的作用相互抵消。当信号上升时间大于容性突变间的时延时，均匀分布的容性负载会降低导线的特性阻抗。在有载线上，这些附加的电路板特性使导线的单位长度电容增加。单位长度电容越大，特性阻抗就越低，时延也就越长。

对于均匀的无载传输线，特性阻抗、时延与单位长度电容和单位长度电感之间的关系为：

$$Z_0 = \sqrt{\frac{L_L}{C_{0L}}} \qquad (8.32)$$

$$TD_0 = Len\sqrt{L_L C_{0L}} \tag{8.33}$$

其中：

Z_0 表示无载传输线的特性阻抗，单位为 Ω

L_L 表示单位长度电感，单位为 pH/in

C_{0L} 表示无载传输线的单位长度电容，单位为 pF/in

Len 表示导线长度，单位为 in

TD_0 表示无载传输线的时延，单位为 ps

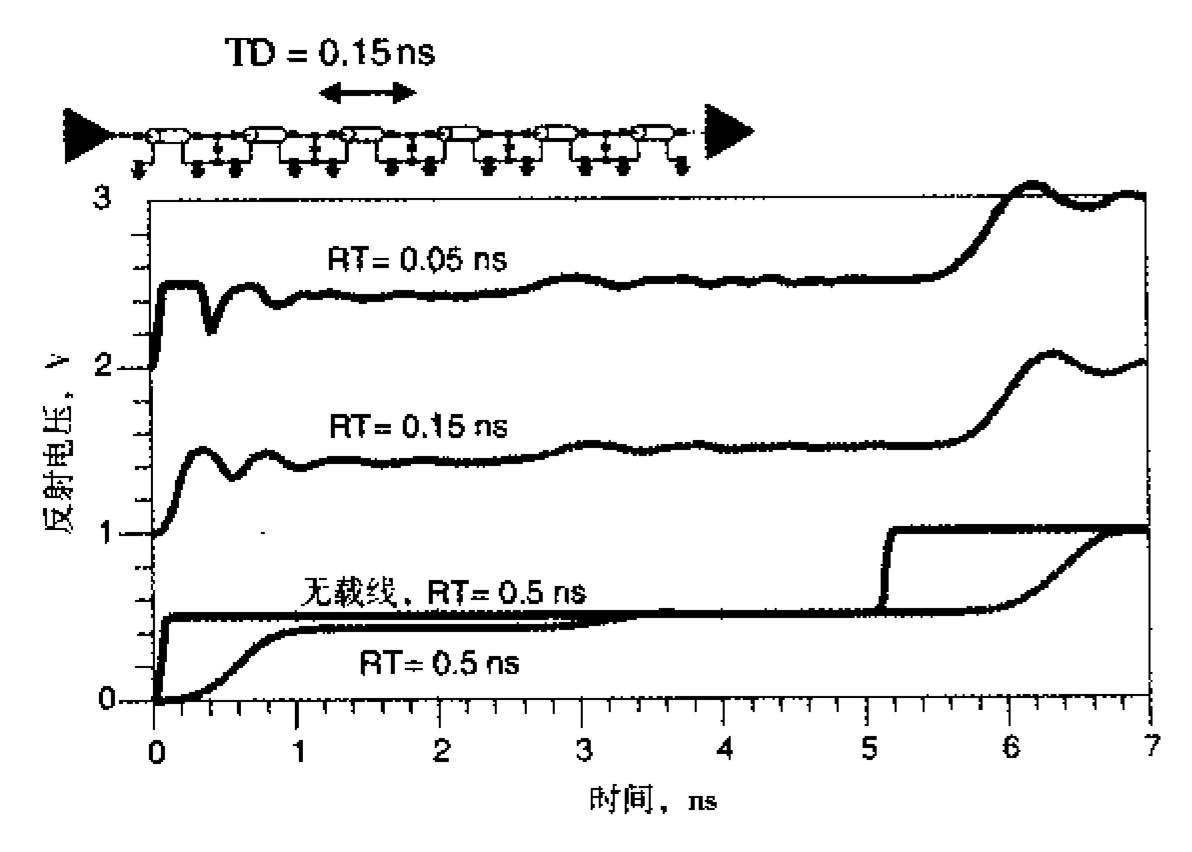


图 8.32　有载线上 3 pF 电容间的时延为 0.15 ns 时，其上的反射信号。随着上升时间增加，每个电容引起的反射将相互抵消

若导线上每隔 d_1 就分布一个容性负载 C_1，则导线的单位长度分布电容将从 C_{0L} 上升到（$C_{0L} + C_1/d_1$），从而导线的特性阻抗和时延变为：

$$Z_{Load0} = \sqrt{\frac{L_L}{C_{0L} + \frac{C_1}{d_1}}} = Z_0\sqrt{\frac{C_{0L}}{C_{0L} + \frac{C_1}{d_1}}} = Z_0\sqrt{\frac{1}{1 + \frac{C_1}{C_{0L}d_1}}} \tag{8.34}$$

$$TD_{Load} = Len\sqrt{L_L\left(C_{0L} + \frac{C_1}{d_1}\right)} = TD_0\sqrt{\left(1 + \frac{C_1}{C_{0L}d_1}\right)} \tag{8.35}$$

其中：

Z_0 表示无载传输线的特性阻抗，单位为 Ω

Z_{Load0} 表示有载线的特性阻抗，单位为 Ω

L_L 表示单位长度电感；单位为 pH/in

C_{0L} 表示无载传输线的单位长度电容，单位为 pF/in

C_1 表示每个分立电容的电容量，单位为 pF

d_1 表示两个分立电容之间的距离，单位为 in

Len 表示导线长度，单位为 in

TD_0 表示无载传输线的时延，单位为 ps

TD_{Load} 表示有载线区域的时延

50 Ω 导线的单位长度电容约为 3.4 pF/in，当附加的分布式容性负载与此值相当时，特性阻抗和时延就有明显的改变。例如，如果一个多支路汇流排上每隔 1 in 就有一个内存条输入门电容的 3 pF 负载，则单位长度上附加的负载电容为 3 pF/in，负载特性阻抗降低到 $0.73 \times Z_0$，时延提升到 $1.37 \times TD_0$。

随着导线的特性阻抗的降低，用于终端端接的电阻也应随之降低。或者采用相反的做法，在有分布式电容的区域内，通过减小线宽，使无载阻抗变大。这样，最后的效果是使得有载线的阻抗接近于期望阻抗值。

8.18　感性突变产生的反射

连接到传输线上的任何串联连接都有一些相应的串联回路电感。所有改变信号所在层的过孔、串联终端电阻、各种接插件、每一个工程变更线都有一些额外的回路电感，信号把这些回路电感认为是附加在传输线上的突变。

如果信号路径上存在突变，则虽然信号路径与返回路径间有局部互感，回路电感也主要由信号路径上的局部自感决定。如果返回路径上存在突变，则返回路径上的局部自感就决定回路电感。在这两种情况下，由于信号是沿信号路径和返回路径传播的电流回路，所以信号对回路电感很敏感。

对于边沿快速上升的入射信号，串联回路电感最初像是一个高阻抗元件，所以产生返回源端的正反射。图 8.33 给出了在返回路径上有一小段间隙时，均匀传输线上的反射信号。

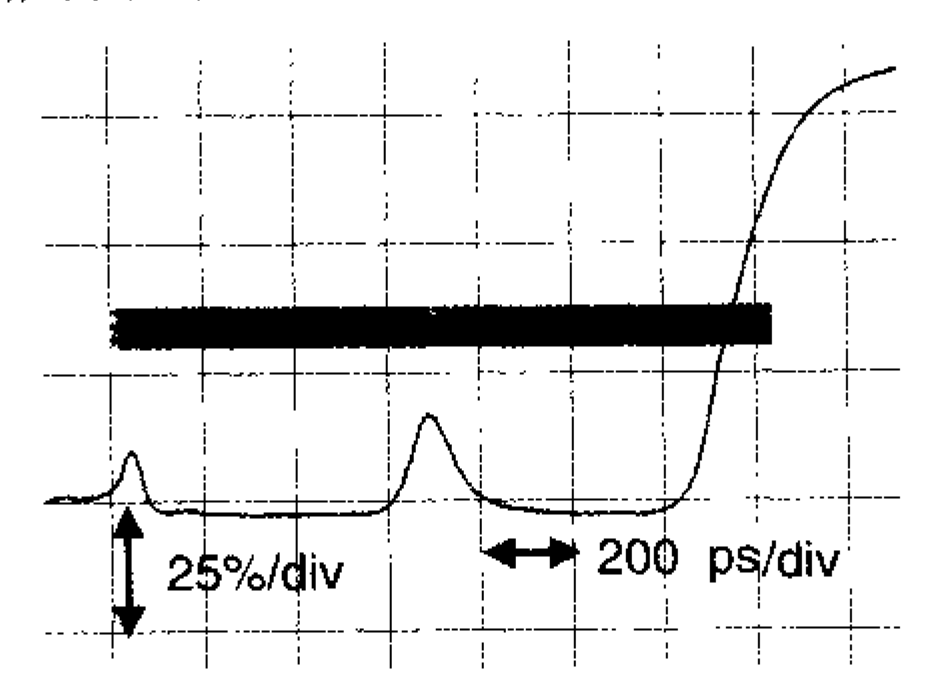


图 8.33　返回路径上的间隙造成感性突变时，均匀传输线上产生的 TDR 反射信号。信号的上升时间约为 50 ps。使用 Agilent DCA 86100 和 GigaTest Labs 探测台测量，TDA Systems IConnect 仿真

图 8.34 为不同感性突变情况下源端、接收端的信号。近端信号的形状为先上升后下降，称之为非单调性，即信号不是稳定一致地单调上升。这一特性本身并不会造成信号完整性问题。然而，如果近端有接收器，并且它接收到的信号先是超过 50% 点再下降到 50% 点以下，就有可能造成误触发。这种信号非单调性在任何地方都应尽量避免。在远端，传输信号出现过冲，并有一个时延累加。

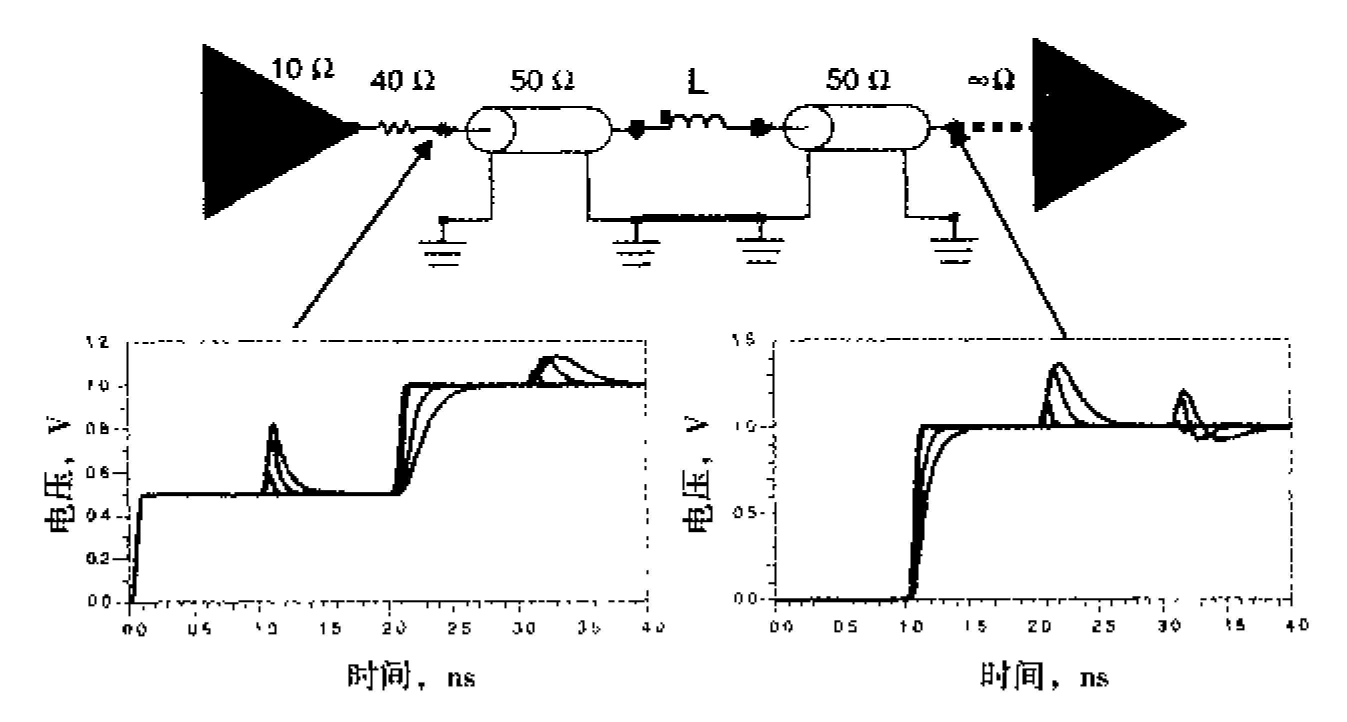


图 8.34 上升时间为 50 ps 的信号分别通过电感值 L = 0，1 nH，5 nH 和 10 nH 的感性突变时，在源端和接收端的信号波形

总之，电路中可允许的最大电感总量取决于噪声容限和电路的其他特性，这意味着每一种情况必须通过仿真来估计是否可行。然而，可以按分立电感的串联阻抗突变上升到大于导线特性阻抗的 20% 为限，来粗略地估算多大的电感算是大大。此时，反射信号大约为信号摆幅的 10%，对反射噪声而言，这通常是可以允许的最大噪声了。

当信号的上升沿通过电感时，如果电感的阻抗小于特性阻抗，而且信号的上升沿是线性上升，则电感的阻抗约为：

$$Z_{inductor} = \frac{V}{I} = \frac{L\frac{dI}{dt}}{I} = \frac{L}{RT} \tag{8.36}$$

其中：

$Z_{inductor}$ 表示电感的阻抗，单位为 Ω

L 表示电感值，单位为 nH

RT 表示信号的上升时间，单位为 ns

为了确保电感的阻抗低于导线阻抗的 20%，可允许的最大感性突变约为：

$$Z_{inductor} < 0.2 \times Z_0 \tag{8.37}$$

$$\frac{L_{max}}{RT} < 0.2 \times Z_0 \tag{8.38}$$

$$L_{max} < 0.2 \times Z_0 \times RT \tag{8.39}$$

其中：

L_{max} 表示可允许的最大串联电感，单位为 nH

Z_0 表示导线的特性阻抗，单位为 Ω

RT 表示信号的上升时间，单位为 ns

例如，如果导线的特性阻抗为 50 Ω，信号上升时间为 1 ns，则可允许的最大串联电感约为 $L_{max} = 0.2 \times 50 \times 1\ ns = 10\ nH$。这就是一个简单的经验法则。

提示　通过粗略的估算，50 Ω 导线上可允许的最大额外回路电感（nH）为信号上升时间（ns）的 10倍。同理，如果突变处存在回路电感，则为了使反射噪声不超过噪声预算，可允许的最短上升时间（ns）为电感值（nH）的 1/10。

如果接插件上残留5 nH回路电感，则此接插件可使用的最短上升时间为5 nH/10 = 0.5 ns。如果信号的上升时间为 0.1 ns，则所有的感性突变应小于 10 × RT = 10 × 0.1 = 1 nH。

根据这个估计，就可以估算出对于轴向引脚电阻器和SMT终端电阻器有用的上升时间。轴向引脚电阻器的串联回路电感约为 10 nH，而 SMT电阻器约为 2 nH。

提示　为了保证反射信号不造成问题，使用轴向引脚电阻器时，信号的最短上升时间约为 10 nH/10 ≈ 1 ns。而对于 SMT 电阻器，信号的最短上升时间约为 2 nH/10 ≈ 0.2 ns。

当信号的上升时间在亚纳秒范围内，轴向引脚电阻器就不是合适的器件了，应该避免使用。当上升时间达到100 ps时，设计人员就应该使用回路电感尽可能低的 SMT 电阻器。高性能 SMT 电阻器两个最重要的设计特点是长度短、返回平面要尽可能接近表面。另一种方法就是使用集成到电路板上或封装中的电阻器，它的回路电感远小于 2 nH。

感性突变会引起反射噪声和时延累加。若上升时间很短，信号的上升时间由串联电感决定，则传输信号的 10-90 上升时间约为：

$$TD_{10\text{-}90} = 2.2 \times \frac{L}{2Z_0} = \frac{L}{Z_0} \tag{8.40}$$

$$TD_{added} = 0.5 \times \frac{L}{Z_0} \tag{8.41}$$

其中：

$TD_{10\text{-}90}$ 表示传输信号的 10-90 上升时间，单位为 ns

L 表示突变处的串联回路电感，单位为 nH

Z_0 表示导线的特性阻抗，单位为 Ω

TD_{adder} 表示 50% 处的时延累加，单位为 ns

例如，10 nH 突变使 10-90 信号上升时间提高到 10/50 = 0.2 ns，累加到中间点的时延约为此值的一半，即 0.1 ns。图 8.35 给出了突变分别为 1 nH，5 nH 和 10 nH 时，仿真得到的接收信号时延。

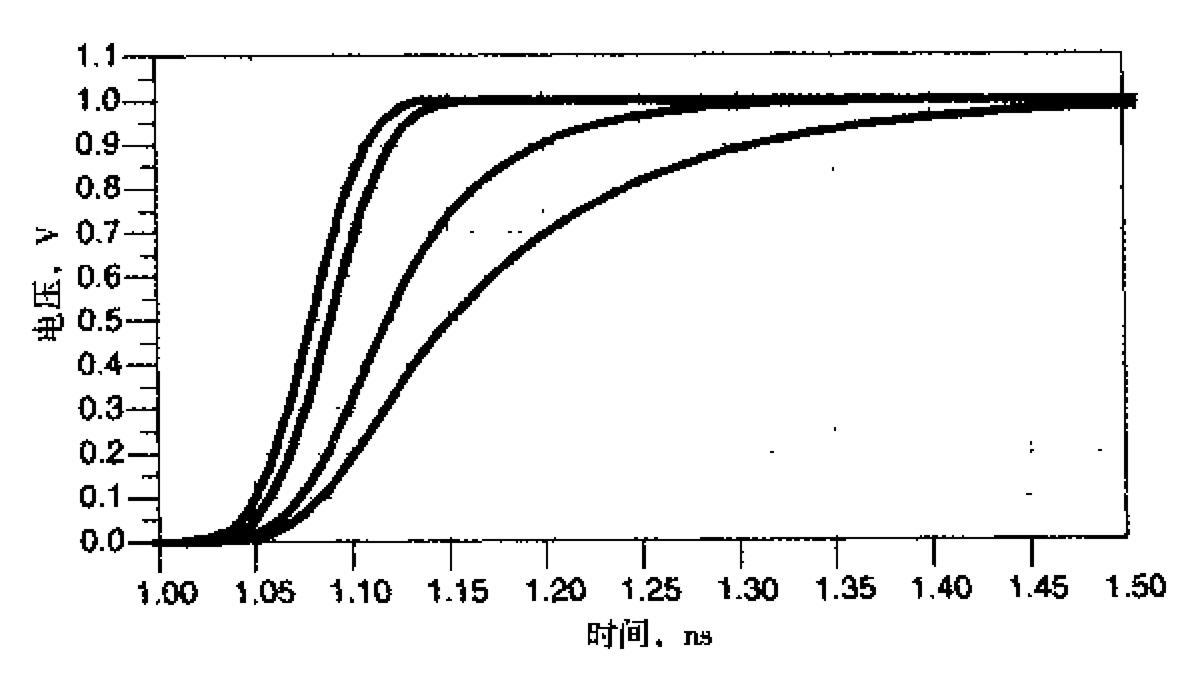


图 8.35　对于上升时间为 50 ps 的信号，当感性突变分别为 0，1 nH，5 nH 和 10 nH 时，接收信号的时延累加。估计的时延累加为 0，10 ps，50 ps 和 100 ps

8.19 补偿

设计中常常要用到专用的接插件，电路中的串联回路电感是不可避免的，如果不加以控制，它就可能造成过量的反射噪声。补偿技术可以用来抵消部分这样的噪声。

这个概念就是尽量让信号感受不到很大的感性突变，而是遇到与导线特性阻抗相匹配的一段传输线。总之，理想传输线可以用n节LC网络实现一阶近似。在这种情况下，导线任一部分的特性阻抗为：

$$Z_0 = \sqrt{\frac{L_L}{C_L}} = \sqrt{\frac{L}{C}} \tag{8.42}$$

其中：

Z_0 表示导线的特性阻抗，单位为Ω

L_L 表示单位长度电感，单位为nH/in

L 表示任一段导线的总电感，单位为nH

C_L 表示单位长度电容，单位为nF/in

C 表示任一段导线的总电容，单位为nF

在感性突变两侧各加一个小电容，可以将感性突变转变成一段传输线，如图8.36所示。在这种情况下，电感器的视在特性阻抗为：

$$Z_1 = \sqrt{\frac{L_1}{C_1}} \tag{8.43}$$

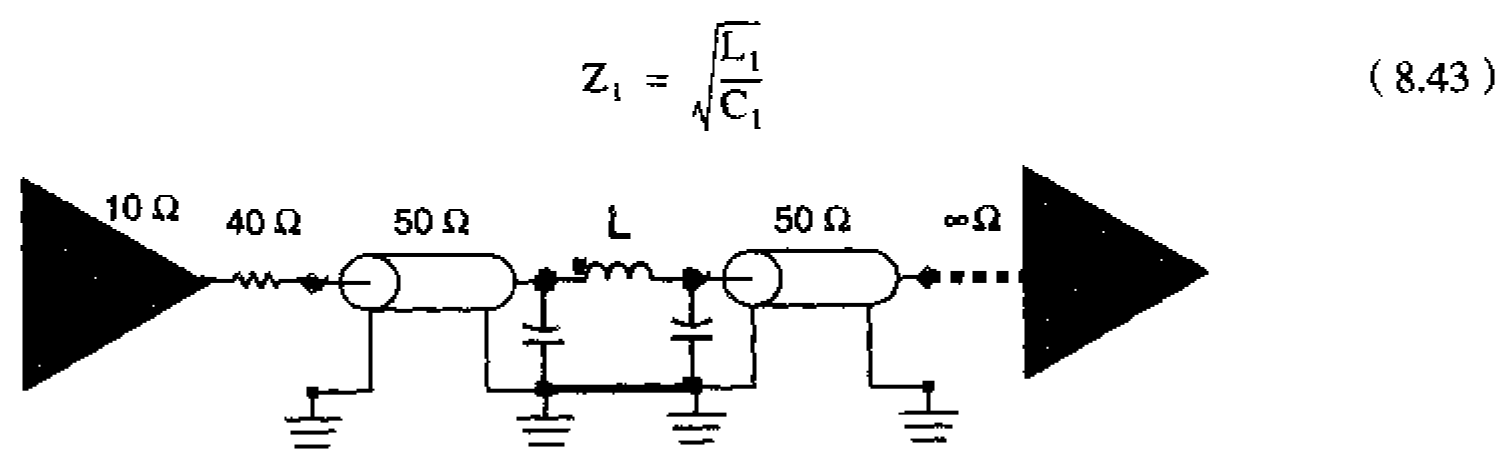


图8.36 用于感性突变的补偿电路。在感性突变两侧加足够的电容可以使其看起来像是50 Ω传输线的一部分

为了最小化反射噪声，就要找到合适的电容值，使接插件的视在特性阻抗 Z_1 等于电路其余部分的特性阻抗 Z_0。基于这个关系式，添加的电容为：

$$C_1 = \frac{L_1}{Z_0^2} \tag{8.44}$$

其中：

C_1 表示附加的补偿电容，单位为nF

L_1 表示突变处的电感，单位为nH

Z_0 表示导线的特性阻抗，单位为Ω

例如，如果接插件的电感为10 nH、导线的特性阻抗为50 Ω，则所要加上的总补偿电容为10/50 × 50 = 0.004 nF = 4 pF。最优的补偿方式是将4 pF电容分为两部分，分别加在电感的两侧，即各为2 pF。

图8.37给出了没有接插件、无补偿接插件和有补偿接插件三种情况下的反射和传输信号。根据系统的上升时间，反射噪声有时能降低75%。

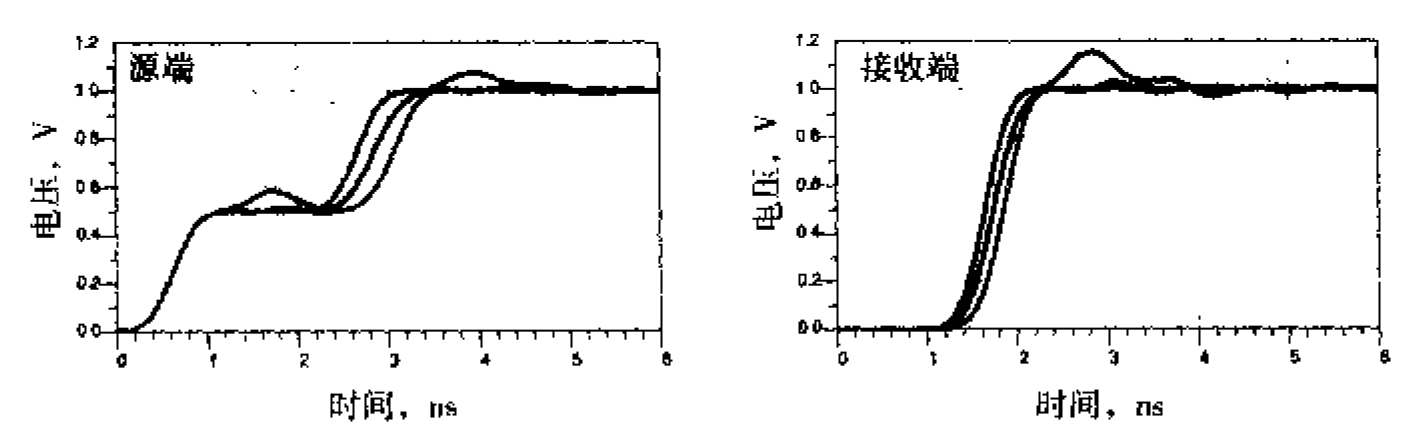


图8.37 没有接插件、无补偿接插件和电感两侧分别有2 pF电容的有补偿接插件情况下，10 nH容性突变和0.5 ns信号上升时间所对应的源端和接收端的信号

这一技术适用于所有的感性突变，如过孔、电阻等。根据焊盘上的电容和电感总量，可以把实际突变看成是容性的或感性的。

提示 互连线设计目标就是控制焊盘和其他特征，使它们的结构看起来像是均匀传输线的一部分。用这种方法，一些感性突变（如过孔）的现象几乎可以消失。

8.20 小结

1. 信号无论在何处遇到阻抗突变都会发生发射，而且传输信号也会失真。这是单一网络信号质量问题的主要根源。
2. 一个粗略的经验法则：只要传输线的长度（in）比信号上升时间（ns）长，就需要终端端接，以避免过量的振铃噪声。
3. 源端串联端接是点对点互连线中最常用的终端端接方式。添加串联电阻，并使此电阻器与源阻抗之和等于导线的特性阻抗。
4. 对于涉足信号完整性问题的工程师而言，SPICE仿真器或行为仿真器是不可缺少的。许多这样的仿真器价格低廉，容易使用，它们可以对由于阻抗突变而产生的多次反射进行仿真。
5. 一个粗略的经验法则：为了确保反射噪声小于5%，应保证导线特性阻抗的变化小于10%。
6. 一个粗略的经验法则：如果短传输线突变的长度（in）小于信号上升时间（ns），突变造成的反射就不会引发问题。
7. 一个粗略的经验法则：如果短桩线的长度（in）小于信号上升时间（ns），桩线造成的反射就不会引发问题。
8. 导线远端的容性负载引起时延累加，但不会引发信号质量问题。
9. 一个粗略的经验法则：如果导线中途的容性突变电容量（pF）大于信号上升时间（ns）的4倍，就会造成过量的反射噪声。
10. 导线中途容性负载所引起的时延累加（ns）约为电容量（pF）的25倍。
11. 拐角会产生电容，其电容量（fF）约是线宽（mil）的两倍。
12. 均匀分布的容性负载会降低导线的有效特性阻抗。
13. 可允许的感性突变值（nH）约为信号上升时间（ns）的10倍。
14. 在电感两侧添加电容，可以使信号误认为遇到的是均匀传输线的一部分，从而把感性突变造成的影响降到最低。这种方法可以用来控制过孔，使其对于高速信号也做到几近消失。

第9章　有损线、上升边退化和材料特性

边沿快速变化的信号经过一段长传输线之后，输出信号的上升边将变长。图9.1是上升边为50 ps（皮秒）的信号在FR4（一种玻璃纤维板）上经过36 in长、50 Ω的线条后测得的响应。从图中可以看出上升边几乎增加到1 ns（纳秒）。由传输线损耗引起的上升边退化将会引起符号间干扰（ISI）和眼图的塌陷。

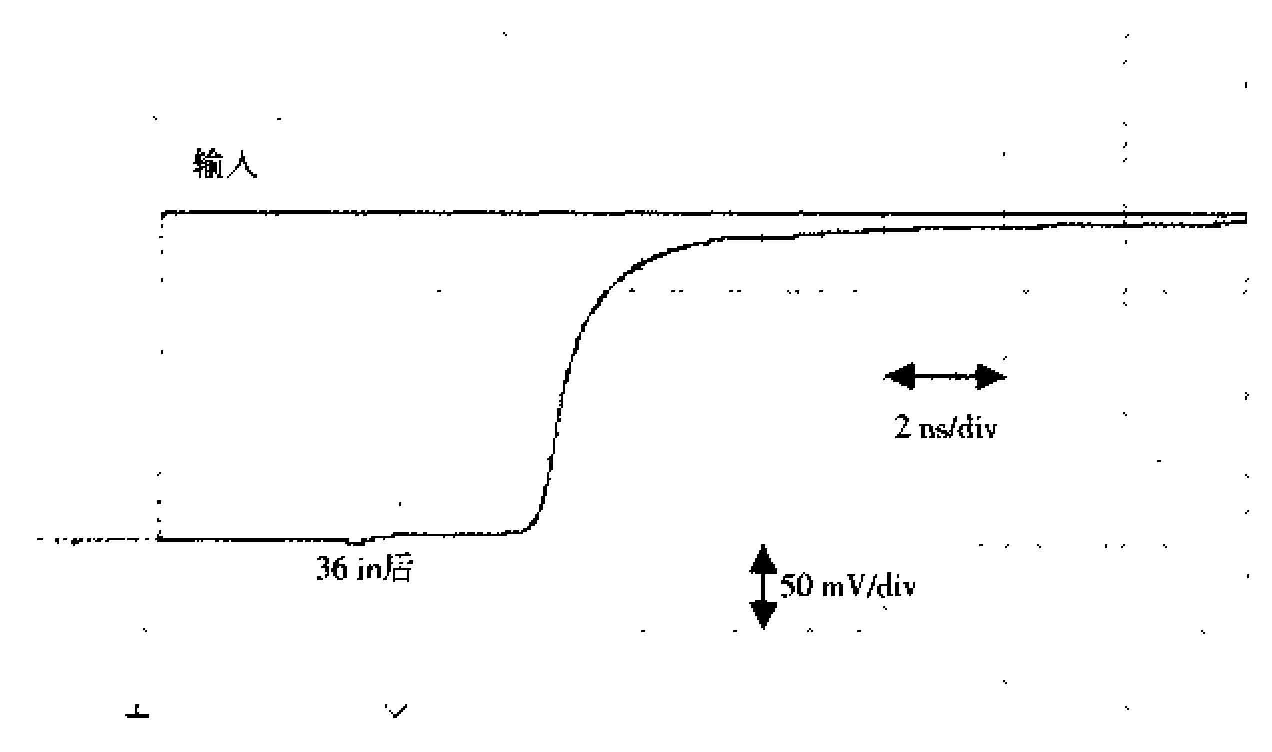


图9.1　经过50 Ω、36 in长传输线的输入和输出信号，其中输入信号的上升边为50 ps，而输出信号的上升边则为1 ns

对于所有时钟频率高于1 GHz、传输长度超过10 in的信号，例如在高速串接和千兆比特以太网中，传输线损耗是首要的信号完整性问题。

提示　*在实际传输线中传播的信号，其上升边变长是由于信号的高频分量衰减要比低频分量衰减大得多。*

在频域中分析与频率有关的损耗是最简单的。实际上，由损耗线产生的问题是与时域有关的，所以最终必须在时域中分析总的响应。在这一章中，首先在频域中理解损耗机理，然后转换到时域来估计对信号完整性的影响。

9.1　有损线的不良影响

如果损耗与频率无关，低频分量与高频分量的衰减相同，那么整个信号将在幅度上一致地降低，而上升边仍保持不变。图9.2说明了这一点。可以在接收端加上增益以补偿衰减的影响，常数衰减不会影响上升边、时序和抖动。

当信号沿着实际有损传输线传播时，高频分量的幅度减小而低频分量的幅度保持不变。由于这种选择性的衰减，信号的带宽降低。随着信号带宽的降低，信号的上升边会增长。正是这与频率有关的损耗使得上升边退化。

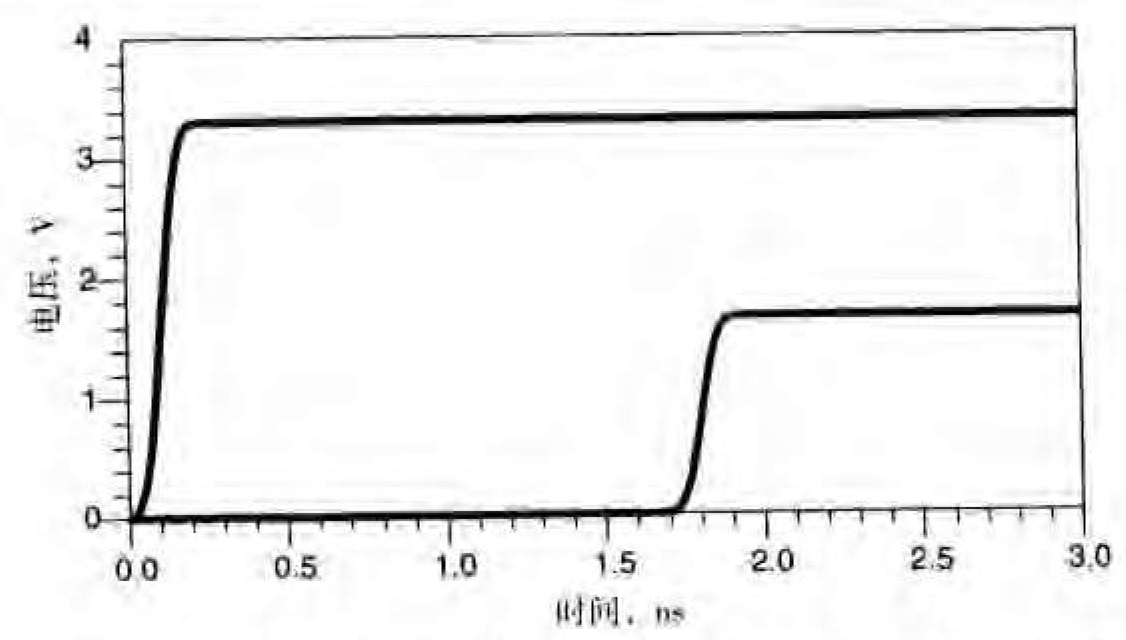


图9.2 当损耗与频率无关时上升边为100 ps的信号传播仿真，其中损耗仅对信号的幅度造成了影响

如果上升边的退化与位周期相比很小，位序模式将比较稳定并与前面的经历无关。在一个位周期结束时，信号就已经稳定并达到终值了。位流中某一位的电压波形将与之前的那一位相独立，无论前一位是高还是低，也不管它位居高或低多长时间。在这种情况下，就不存在符号间干扰（ISI）。

然而，如果上升边的退化使得接收到的上升边显著增长，当前某位的实际电平值将与信号在先前高或低状态上停留多长时间有关。如果之前的长时间内位序模式为高，接着降低一位后立即再升高，则此位低电平无论如何都没有时间降低到最低电压值。可见，单个位的实际电平准确值取决于之前的位序模式，这就叫做符号间干扰或ISI，图9.3说明了这一点。

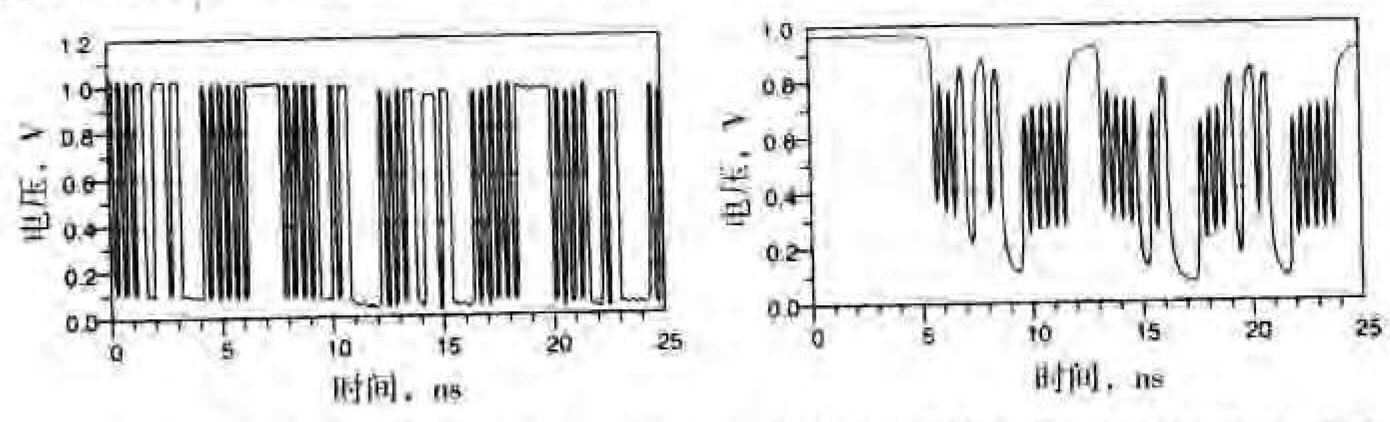


图9.3 5 GHz时钟驱动伪随机位流。左图：上升边远小于位周期时的位序模式；右图：上升边与位周期相当时的位序模式，它引起电压电平与模式有关和符号间干扰

与频率相关的损耗和上升边退化引起的重要后果就是符号间干扰：位序模式的准确波形取决于之前的那些位。这极大地影响了接收机分辨高低电平信号的能力，从而加大了错误率。

提示 此外，信号到达电平切换阈值的时间依赖于先前的数据模式。符号间干扰是引起抖动的一个主要因素，如果上升边相对于位周期很短，就不存在符号间干扰。

接收机中，描述高速串接的信号质量的常用度量手段之一就是眼图。伪随机位流的模式可以代表所有可能的位流模式，选用时钟参考点作为（同步）触发点，就可以进行仿真或测量，从位流中取出接收到的每一个周期去覆盖前一个接收到的周期，这样许许多多的周期将被叠加在一起，这组叠加的波形看起来像是睁开的眼睛，称为眼图。

眼图的闭合是对位错误率的度量，眼图的睁开度越小，位错误率越高。因此，睁大的眼图说明位错误率低和信号质量好。睁开的眼睛间交叉重叠区域的水平宽度是对抖动的度量。睁开

眼图的塌陷是由与频率有关的损耗直接引起的，它又是对符号间干扰的间接度量。图9.4即为用眼图的塌陷程度来表示的有损耗和无损耗时的5 GHz时钟波形。

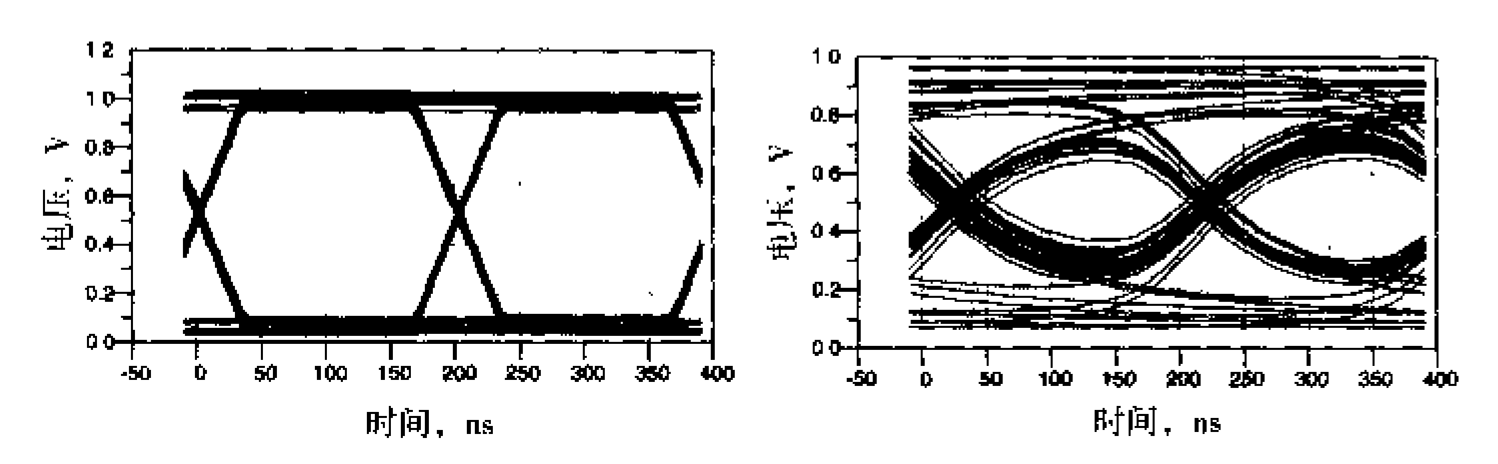


图9.4　5 GHz时钟的伪随机位流的眼图。左图：少许的损耗；右图：用同样的位序模式，但损耗很大。图中给出眼图的塌陷程度、交叉重叠区域的宽度表示抖动的严重程度

9.2　传输线中的损耗

传输线的一阶近似模型是n节LC模型，通常称为无损耗模型。它考虑了传输线的两个重要特性：特性阻抗和时延，但是没有考虑信号传播时的电压损耗。

模型中需加入损耗以便精确地预测接收的波形。当信号沿着传输线传播时，接收端有五种方式的能量损失：

1. 辐射损耗；
2. 耦合到邻近的线条上；
3. 阻抗不匹配；
4. 导线损耗；
5. 介质损耗。

与其他的损耗相比，总的辐射损耗非常小，这种损耗机理不影响有损线的分析，然而它在电磁干扰（EMI）中则很重要。

耦合到邻近线上的损耗很重要，它将引起信号上升边的退化。对这种影响可以很精确地建立模型，这样可以预测动态线和静态线上受影响后的波形。对于紧耦合的传输线，一条线上的信号将受到相邻线间能量耦合的影响。所以在关键网络传真时，这一点必须包含其中，这样才能精确地预测性能和传输的信号。这一问题在下一章中讨论。

提示　阻抗突变对传输信号的失真有着极大的影响，它直接引起接收信号的上升边退化。就算是无损耗线，阻抗突变也会引起上升边的退化。这就是传输线、过孔和接插件的精确模型对于准确地预测信号质量非常重要的原因，并且这也是在设计高速互连线时要将突变最小化的原因。

如果上升边退化是由于少了信号的高频分量，那么高频分量到哪里去了？毕竟，容性和感性突变其本身并不吸收能量。高频分量被反射到源端，最终由终端电阻或源端驱动器阻抗吸收和消耗。

图9.5所示例子为5 GHz时钟信号通过一条短的、理想的无损耗传输线，线上串联着4个过孔焊盘，每一个为1 pF负载，总共为4 pF的容性负载。最终的50%处上升边退化约为1/2 × 50 × 4 pF = 100 ps，相当于位周期的一半。阻抗突变和它对上升边退化的影响在前面章节中讨论过。

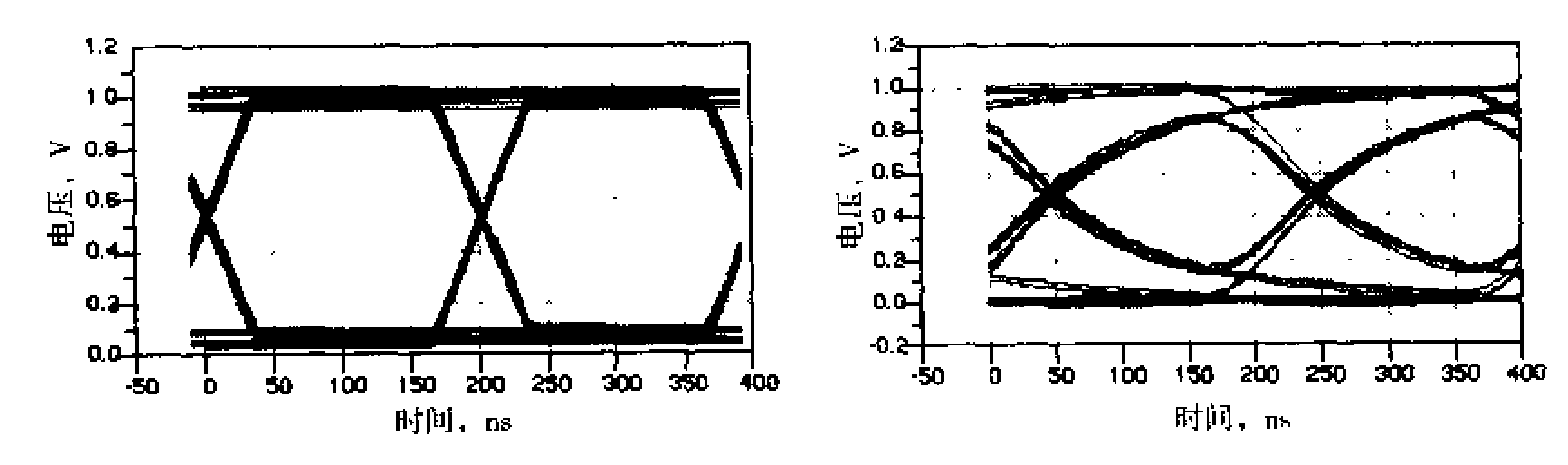


图 9.5　5 GHz 时钟伪随机位流的眼图。左图：少许损耗；右图：无损耗的同样位序模式，但是存在由 4 个过孔引起的 4 pF 容性突变

最后两种损耗机理是传输线上信号衰减的根本原因，在其他的模型中不予考虑。导线损耗是指信号路径和返回路径导线上的能量损失，这最终由导线的串联电阻引起。介质损耗是指介质中的能量损失，这是由特殊的材料特性——材料的耗散因子引起的。

提示　通常，FR4 上线宽 8 mil、特性阻抗为 50 Ω 的传输线，频率约高于 1 GHz 时，介质损耗比导线损耗要大得多。频率在 2.5 GHz 或者更高的高速串接中，介质损耗占主导地位。所以说叠层材料的耗散因子非常重要。

9.3　损耗源：导线电阻和趋肤效应

在信号路径和返回路径中，信号所感受到的串联电阻与导线的体电阻率和电流传播通过的横截面有关。直流时，电流在信号导线中均匀分布，电阻为：

$$R = \rho \frac{Len}{w \times t} \tag{9.1}$$

其中：

R 表示传输线的电阻，单位为 Ω

ρ 表示导线的体电阻率，单位为 Ω · in

Len 表示线长，单位为 in

w 表示线宽，单位为 in

t 表示导线的厚度，单位为 in

如果返回路径是一个平面，则直流电流的分布就在横截面上铺展开，且返回路径电阻比信号路径电阻小得多，可以忽略不计。

典型的 5 mil 宽、1.4 mil 厚（1 盎司铜）、1 in 长的铜导线，其信号路径的直流电阻大约为 $R = 0.72 \times 10^{-6}\ \Omega \cdot in \times 1\ in / (0.005 \times 0.0014) = 0.1\ \Omega$

在频率达到约 100 GHz 之前，铜和其他所有金属的体电阻率完全是个常数，与频率无关。乍一看，可能认为线电阻也是与频率无关的常量，这仅是理想电阻的性能。就像前面章节中讲到的那样，由于趋肤效应的影响，电流在高频时将重新分布。

高频时，铜导线中电流经过的横截面的厚度约等于趋肤深度 δ：

$$\delta = 2.5\sqrt{\frac{1}{f}} \tag{9.2}$$

其中：

δ表示趋肤深度，单位为μm

f表示正弦波频率，单位为GHz

1 GHz时，微带线信号路径中的电流穿透的铜线每一面的厚度约为2.5 μm。10 MHz时，即0.01 GHz时，穿透厚度约为25 μm。这是粗略的近似，通常用二维场解析器（2D field solver）计算信号路径和返回路径中的实际电流分布。图9.6为10 MHz正弦波在微带线和带状线中的电流分布示例。

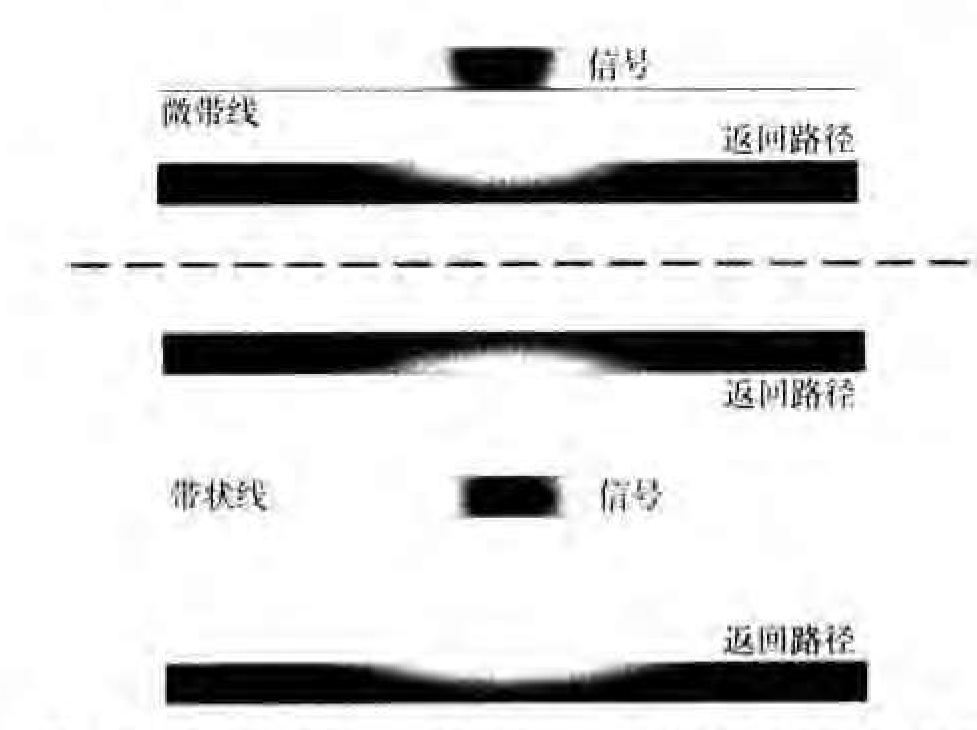


图9.6 10 MHz时，约50 Ω的1盎司铜线中的电流分布情况，此图说明由于趋肤效应的影响，电流会重新分布。上图：微带线；下图：带状线。颜色越淡，电流密度越高。此图由Ansoft的2D Extractor仿真得出

对于1盎司铜，它的几何厚度为35 μm，频率高于10 MHz时，趋肤深度会更小。电流的分布取决于电流总是寻求最小阻抗的路径，即更高频率时，回路电感最低的路径。这转化为两种趋势：导线中的电流都尽可能地伸展开来以使导线的自感最小；同时导线中的反向电流尽可能地靠近以使这两个电流间的互感最大。

提示 这说明对于所有重要的信号频率分量，大多数PCB互连线的电流分布总是受趋肤效应的限制，并且当频率大于10 MHz时，电阻与频率有关。

信号的电阻取决于导线传输电流的有效横截面。频率越高，电流流经导线的横截面就越薄，电阻就随着频率的升高而增加。与频率有关的趋肤效应使电阻随频率变化，但要注意，当频率变化时，铜和大多数金属的电阻率是相当恒定的，所变化的是电流流过的横截面。大约在10 MHz以上时，信号路径的单位长度电阻率是与频率有关的。

由于趋肤效应，如果电流仅流过导线的下半部分，则导线的电阻近似为：

$$R = \rho\frac{Len}{w \times \delta} \tag{9.3}$$

其中：

R表示线电阻，单位为Ω

ρ表示导线的体电阻率，单位为Ω·in

Len表示线长，单位为in

w 表示线宽，单位为 in

δ 表示导线的趋肤深度，单位为 in

就像在前面图中看到的那样，即使在微带线中，电流也不仅仅流经导线的下半部分。在导线的上半部分中也有相当多的电流，这两个区域是平行的。考虑到信号路径中这两条平行的路径，信号路径的电阻近似为 0.5 × R。微带线和带状线信号路径中的电流分布非常相似。

趋肤效应是由电流流经最低阻抗路径的要求促成的，而在高频中，路径的阻抗主要由回路电感决定。这种机理也驱使电流在返回路径中重新分布并随着频率而变化。直流时，返回电流分布在整个返回平面上。在趋肤效应的制约下，返回路径中的电流将集中分布在靠近信号路径的表面上，这样可以使回路电感最小。

如前面图中所示，微带线的返回路径中电流分布的宽度约等于信号路径宽度的3倍。返回路径的电阻与信号路径的电阻是串联的，所以在频率高于 10 MHz 时，传输线的总电阻为 0.5R + 0.3R = 0.8R，即微带线信号路径的总电阻预计约为：

$$R = 0.8 \times \rho \frac{Len}{w \times \delta} \tag{9.4}$$

其中：

R 表示线电阻，单位为 Ω

ρ 表示导线的体电阻率，单位为 Ω · in

Len 表示线长，单位为 in

w 表示线宽，单位为 in

δ 表示导线的趋肤深度，单位为 in

0.8 表示系数，由信号路径和返回路径中具体的电流分布确定

图9.7将这个简单的一阶模型与二维场求解器的计算结果比较，其中二维场求解器计算出了每一频率的精确电流分布。对于这个简单的模型，低频区和受趋肤效应所限的频率段吻合得都非常好。带状线单位长度电阻要稍微低一些，这在图中也做了比较。

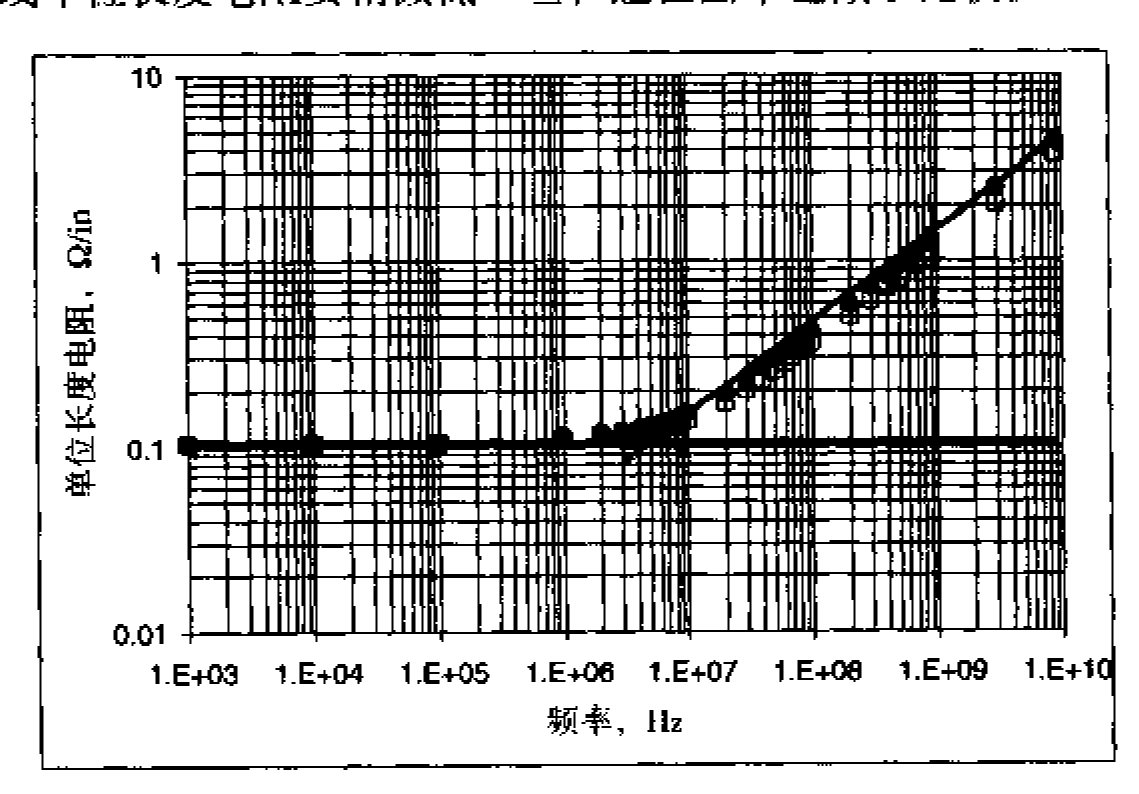


图 9.7　对 5 mil 宽、50 Ω 的微带线和带状线，基于场求解器、直流电阻简单近似和趋肤效应电流计算的电阻与频率关系图，其中圆点和方框分别为用Ansoft的二维场求解器计算的微带线和带状线，直线为一阶模型的直流电阻和由于趋肤效应造成的电阻

我们的结论是传输线中的导线串联电阻随着频率的升高而增加。至于与频率有关的电阻怎样影响损耗在本章后面讨论。

9.4 损耗源：介质

以空气作为介质的理想电容器直流电阻是无限大的。当施加直流电压时，将没有电流通过。然而，若施加正弦电压 $V = V_0 \sin(\omega t)$，则通过电容器的电流为余弦波，此电流由电容和频率决定。通过理想电容器的电流定义如下：

$$I = C_0\frac{dV}{dt} = C_0\omega V_0\cos(\omega t) \tag{9.5}$$

其中：

I 表示通过电容器的电流

C_0 表示电容器的电容量

ω 表示角频率，单位为 rad/s

V_0 表示施加在电容器两端的正弦电压幅度

理想电容器不消耗能量，流经的电流与正弦电压间正好有 90 度相差。如果理想电容器中填充介电常数为 ε_r 的绝缘体，则电容量会比空气介质时增加，变成 $C = \varepsilon_r \times C_0$。

> **提示** 当理想电容器中填充理想的无损耗介质时，流过的电流将增加，其比例系数等于介电常数。由于电流与电压相差 90 度，所以材料不消耗一点能量，也就没有介质损耗。

然而，现实中的介质材料都有相应的电阻率。电容两电极平面间填充实际材料并施加直流电压时，将有直流电流通过，通常称之为漏电流，可以用理想电阻作为它的模型。构成微带线的两导线间的材料形成的漏电阻可以用平行平面计算，近似为：

$$R_{leakage} = \rho\frac{Len \times w}{h} = \frac{1}{\sigma}\frac{Len \times w}{h}\text{①} \tag{9.6}$$

流过这个电阻的总漏电流为：

$$I_{leakage} = \frac{V}{R_{leakage}} = V\frac{1}{\rho}\frac{h}{Len \times w} = V\sigma\frac{h}{Len \times w} \tag{9.7}$$

其中：

$I_{leakage}$ 表示流过介质的漏电流

V 表示施加的直流电压

$R_{leakage}$ 表示与介质有关的漏电阻

ρ 表示介质的体漏电阻率

σ 表示介质的体漏电导率（$\rho = 1/\sigma$）

Len 表示传输线的长度

w 表示信号路径的线宽

h 表示信号路径与返回路径间的介质厚度

漏电流是流过电阻的，所以必然与电压相位一致。材料将消耗能量并造成损耗，若电阻两端施加恒定电压，则其消耗的功率为：

① 此式应为 $R_{leakage} = \rho\frac{h}{Len \times w}$ ——译者注。

$$P = \frac{V^2}{R} \approx \sigma \tag{9.8}$$

其中：

P 表示功率损耗，单位为 W

V 表示电阻两端施加的电压，单位为 V

R 表示电阻，单位为 Ω

σ 表示材料的电导率

大多数介质的体电阻率都很高，典型值为 $10^{12}\ \Omega \cdot cm$，所以 10 in 长、$w \approx 2\ h$、50 Ω 的传输线的漏电阻是很高的（约为 $10^{11}\ \Omega$ 的数量级）。此漏电阻消耗的直流功率小于 1 nW，是微不足道的。

然而，大多数材料的体漏电阻率与频率有关，频率越高，电阻率越小，这与漏电流的起因有关。有两种流过介质的漏电流方式。第一种是离子运动，这是直流电流的主导机理。大多数绝缘体中的直流电流很小是由于运动电荷载体（例如，大多数绝缘体中的离子）密度太小、迁移率太低的缘故，这是相对于金属中自由电子的高密度和高迁移率而言的。

第二种是材料中的永久性电偶极子重取向。电容器两端施加电压时将产生电场，这个电场使介质中一些随机取向的偶极子与电场一致。偶极子的负端向电场正极运动，偶极子的正端向电场负极运动，这看起来就像短暂的电流流过介质。图 9.8 说明了这一点。

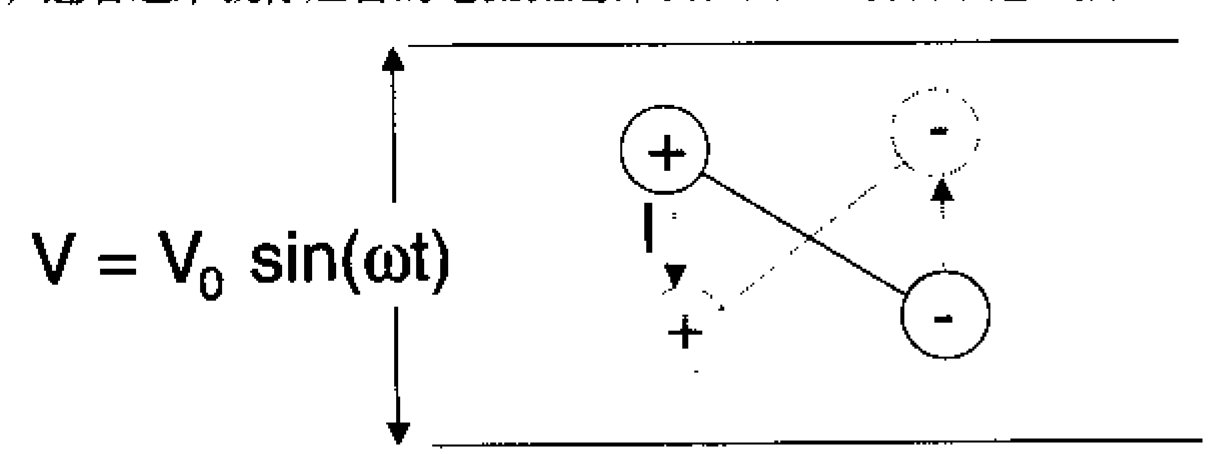


图 9.8　外部场变化时，介质中永久性偶极子的重取向形成流过介质的交流电流

当然，偶极子的移动距离和历时都非常短。如果施加正弦电压，偶极子也就像正弦曲线那样来回摆动，这一运动产生交流电流。正弦波频率越高，电荷来回摆动得越快，电流就越大。电流越大，在这一频率的体电阻率也就越低，从而材料的电阻率随着频率的升高而降低。

材料的电导率正是电阻率的倒数，$\sigma = 1/\rho$。就像体电阻率与材料阻止电流流过的能力有关一样，体电导率与材料传导电流的能力有关。高电导率意味着材料的导电性能更好。随着频率的升高，介质的体电阻率降低，体电导率升高。如果偶极子能够依照外加电场的作用力发生位移，并且在同样的电场作用下移动同样的距离，那么由此产生的电流和材料的体电导率就随着频率的升高而线性增加。

大多数介质的性能都是从直流到某一转折频率，其电导率是一常数，从这一频率起，电导率就与频率成正比开始持续提高。图 9.9 说明了 FR4 材料的体电导率，转折频率点大致在 10 Hz。

当频率高于这个转折频率时，偶极子的运动起着重要的作用，随着频率的升高，流经电容器的漏电流是很大的。此电流与电压同相，就像流经电阻一样。频率升高时，漏电阻下降，使得消耗的功率升高并引起介质发热。

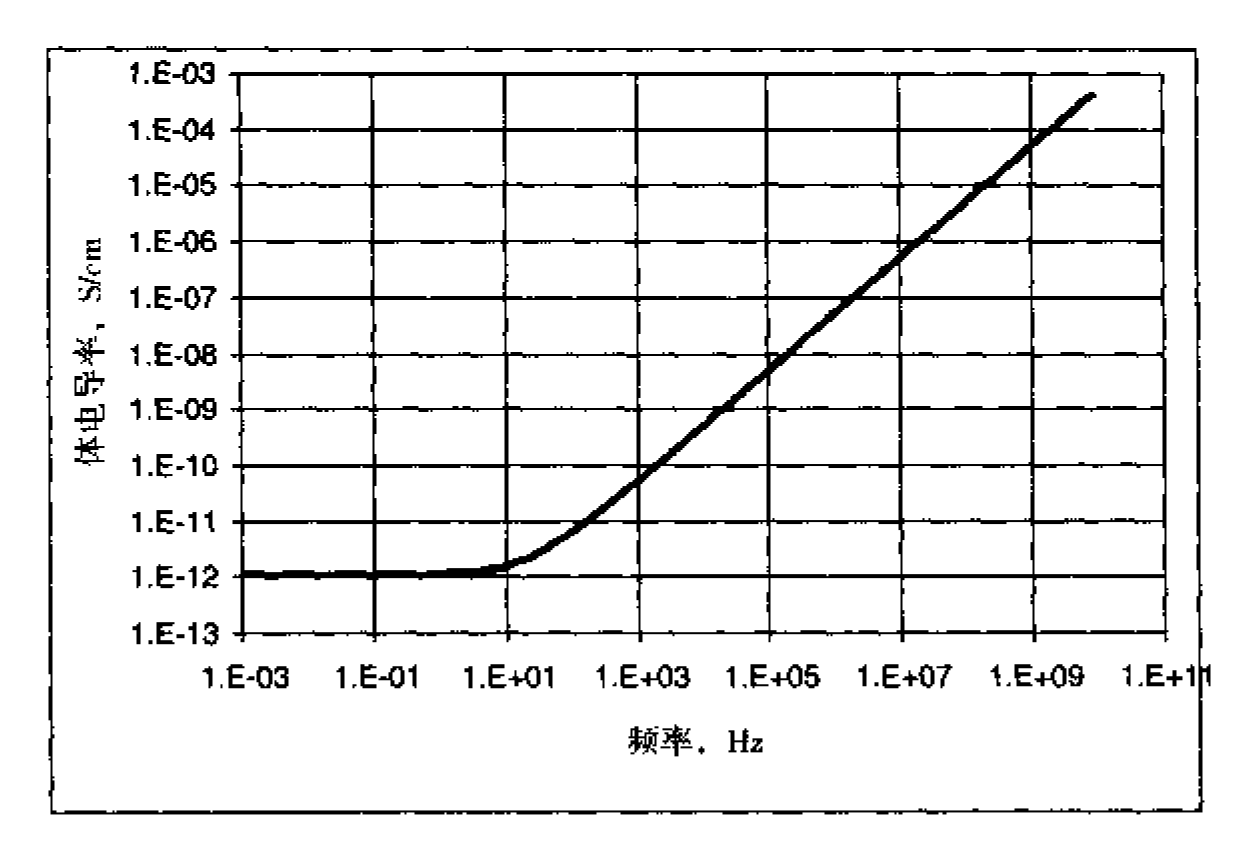


图 9.9 受直流漏电流以及交流偶极子运动影响的 FR4 材料体电导率的仿真

提示 实际上，偶极子的摆动将电能转化为机械能。偶极子与相邻的偶极子、剩余的聚合体分量之间的摩擦引起材料发热，但这往往是非常轻微的。

通常情况下吸收的热能非常小，它所引起的升温可以忽略不计。像前面的 10 in 长、50 Ω 的微带线，即使在 1 GHz，介质的漏电阻也大于 1 kΩ，消耗的功率小于 10 mW。然而，介质损耗并不都是如此的。典型的例外就是微波炉，水分子的摆动彻底吸收了 2.45 GHz 辐射，并把这些辐射从电能转换成机械运动来发热。

在传输线中，介质的偶极子吸收信号的能量而引起信号在远端衰减，这些能量并不能使底板变得很热，但它足以引起上升边退化。频率越高，交流漏电导率越高，介质中的功率损耗也就越高。

9.5 介质耗散因子

低频时，介质材料的漏电阻是个常数，并且用体电导率描述材料的电气特性，而体电导率与材料中离子的密度和迁移率有关。

高频时，由于偶极子的运动增加，电导率随着频率的升高而提高。材料中发生摆动的偶极子数越多、在电场作用下偶极子的移动量越大，体电导率就越高。为了测量材料中的偶极子，必须引入新的材料电气特性。为了描述这个新的度量材料中偶极子的材料特性，必须引入一个新的材料电气特性。这个与偶极子运动有关的新材料特性称为耗散因子：

$$\sigma = 2\pi f \times \varepsilon_0 \varepsilon_r \times \tan(\delta) \tag{9.9}$$

其中：

σ 表示介质的体交流电导率

f 表示正弦波频率，单位为 Hz

ε_0 表示自由空间的介电常数，为 8.89×10^{-14} F/cm

ε_r 表示相对介质常数，无量纲

tan(δ)表示材料损耗，无量纲

通常将耗散因子写为损耗角的正切tan(δ)，它是对材料中的偶极子数目和每个偶极子在电场中摆动幅度大小的度量。

$$\tan(\delta) \approx n \times p \times \theta_{max} \tag{9.10}$$

其中：

tan(δ)表示耗散因子

n 表示介质中偶极子的数目密度

p 表示偶极矩，是对电荷和偶极子间距离的度量

θ_{max} 表示电场中偶极子的摆动幅度

随着频率的升高，如果偶极子移动同样的距离，则由于频率的因素其移动速度将变快，所以电流和电导率跟着会提高。要注意，在耗散因子的定义中，角δ与趋肤深度是相互独立、完全无关的，虽然趋肤深度也是用希腊字母δ表示的，且恰好这两个词都联系到传输线两种不同的、无关的损耗过程，但这完全是巧合，不要混淆。

事实上，频率不同时，偶极子移动的情况不可能完全一样。由于θ_{max}会随着频率的不同而改变，所以偶极子运动的二阶量会随着频率有一点变化，这样引起耗散因子也多少会与频率有关。电场中偶极子的移动能力与它们依附聚合物链的方式以及附近分子的机械共振情况相关。在足够高的频率下，偶极子不如低频率时响应的那么快，耗散因子就会因此而变小。

电介质光谱学是重要的学习领域，它通过研究耗散因子、介电常数与频率的关系来分析聚合物链机械属性。有时，监测耗散因子和频率的关系可以测量聚合体的凝固度。聚合体交叉链接度越高，偶极子压合越紧密，耗散因子就越小。

聚合体将偶极子压合得越紧密，介电常数和耗散因子就越低，这是个粗略的经验法则。介电常散很小的聚合体[如特氟纶(Teflon)、硅橡胶(silicone rubber)和聚乙烯(polyethylene)]，其耗散因子也很低。图9.10列出了一些常用的互连线介质和它们的耗散因子、介电常数。

材料	ε	tan(δ)	相对成本
FR-4玻璃纤维板	4.0~4.7	0.02	1
DirClad材料(IBM)	4.1	0.011	1.2
GETek材料	3.6~4.2	0.013	1.4
双马来酰亚胺三嗪	4.1	0.013	1.5
聚酰亚胺玻璃	4.3	0.014	2.5
氰酸酯	3.8	0.009	3.5
NelcoN6000SI材料	3.36	0.003	3.5
RogersRF35材料	3.5	0.0018	5

图9.10 一些常用互连线介质的耗散因子和介电常数

频率变化时，大多数互连线材料的耗散因子几乎是个常数。通常情况下，可以忽略微小的偏差，仅用这一常量值就可以精确地预测损耗的性能。然而，由于叠层材料处理过程中的偏差，不同批次间、不同板子间，甚至同一块板子上，耗散因子都会有偏差存在。如果材料从潮湿空

气中吸收水分，水分子密度的提高使耗散因子增大。在聚酰亚胺（Polyimide）或杜邦卡普顿柔性胶卷（Kapton flex films）中，湿度可以使耗散因子加倍或者更高。

提示 需要两个术语来充分描述介质材料的电气特性。介电常数描述了材料如何提高电容和降低材料中光的速度，耗散因子描述了偶极子数目及其运动并给出了电导率随频率成比例提高程度的度量。这两个术语与频率有很微弱的关系，并且不同批次间、不同板子间，它们的值都可能会不同。

由于这两个术语都与电气性能有关，为了精确地预测性能，理解这些材料特性如何随频率而变化和不同板间如何变化是很重要的。如果材料特性变化无常，电路性能也就不确定。这一章后续部分将描述一些技术测量材料的高频特性。

9.6 耗散因子的真实含义

将耗散因子这一术语描述为tan(δ)有点模糊混乱，为什么要将它描述成角度的正切呢？它是什么之间的夹角？

提示 使用术语tan(δ)来描述损耗线时，tan(δ)的来源和这个角所指的东西都不重要。它仅是一个材料特性，这一特性与材料中自由移动的偶极子数目和偶极子随着频率的变化可移动的幅度有关。

为了用耗散因子表征损耗的内在机理，并探寻如何设计材料以控制耗散因子，需要更深入地研究耗散因子的真实起因。

介质材料有两个重要的电气特性。一个是相对介电常数，这个在前面章节中讨论过，它描述了电场中偶极子如何重新排列而增加电容量。相对介电常数描述了两个电极间电容量增加的程度和材料中的光速。然而，它没有告诉我们与材料中损耗有关的任何东西。第二个是耗散因子，说明了偶极子如何来回摆动并形成电阻，而且流经电阻的电流与施加的正弦电压同相。

这两个特性都与偶极子的数目、偶极子的大小和迁移率有关。施加正弦电压时，从频域中看，一个特性涉及到偶极子与电场异相的运动并引起电容升高；另一特性涉及到与电场同相的运动并引起损耗。

在现实中的电容器两端施加正弦电压时，流经电容器的电流可以分为两部分。一部分恰好与电压异相，就是我们认为的流经理想无损耗电容器的电流。另一部分正好与电压同相，就像流经理想电阻的电流，它引起损耗。

为了描述异相、同相这两部分电流，建立了一种基于复数的形式，由于涉及到使用正弦电压和电流，所以这种复数形式本身就是频域中的概念。为了充分利用这个复数形式，可以更改介电常数，将它变为复数，同时施加的电压可以写为：

$$V = V_0 \exp(i\omega t) \tag{9.11}$$

流经电容器的电流与电容量有关：

$$I = C\frac{dV}{dt} \tag{9.12}$$

应用这个复数形式，流经电容器的电流在频域中可表示为：

$$I = C\frac{dV}{dt} = i\omega CV \tag{9.13}$$

这一关系说明流经理想的无损耗电容器的电流与施加的电压是异相的，i说明它们之间的相差为90度。

如果将电容量为C_0的空电容器中填充介电常数为ε_r的材料，则流经这个理想电容器的电流为：

$$I = C\frac{dV}{dt} = i\omega\varepsilon_r C_0 V \tag{9.14}$$

为了说明这两个材料特性（如，介电常数影响异相电流，耗散因子影响同相电流），首先，我们更改介电常数的定义。如果介电常数是个实数，那么仅存在与电压异相的电流。如果将介电常数改为复数，则实部与异相电流有关，而虚部与损耗有关并将部分电压转换为同相电流。

此外，如果仅将复介电常数描述成实部和虚部，如a + ib，当用来自电压的因子i乘以a + ib时，虚部b的i将电压因子i变为-1。这使得电流的实部变为负数，即与实际的电流相差了180度。为了使电流恰与电压同相，定义复介电常数的虚部为负的，其形式如下：

$$\varepsilon_r = \varepsilon'_r - i\varepsilon''_r \tag{9.15}$$

其中：

ε_r表示复介电常数

ε_r'表示复介电常数实部

ε_r''表示复介电常数虚部

在复介电常数的定义中引入负号，使得电流实部为正数并与电压同相。复介电常数的实部正是我们所称谓的介电常数。

提示 现在我们知道，以前传统称谓的介电常数实际上是复介电常数的实部，复介电常数的虚部产生与电压同相的电流并与损耗有关。

用这个定义，流过理想、有损电容器的电流为：

$$I = i\omega\varepsilon_r C_0 V = i\omega(\varepsilon'_r - i\varepsilon''_r)C_0 V = i\omega\varepsilon'_r C_0 V + \omega\varepsilon''_r C_0 V \tag{9.16}$$

其中：

I表示频域中流经理想、有损电容器的电流

ω表示角频率，为$2\pi \times f$

C_0表示电容器的介质为空气时的电容量

V 表示施加的正弦电压，$V = V_0 \exp(i\omega t)$

ε_r表示复介电常数

ε_r'表示复介电常数实部

ε_r''表示复介电常数虚部

将介电常数改为复数，同相电流和异相电流的关系变得紧凑了。用复数概念，可以概括流经现实中电容器的电流。有点混淆的是电流的虚部与电压有90度相差，而实际上它就是复介电常数的实部引起我们所熟悉的容性电流。电流的实部与电压同相，其性能就像电阻并引起损耗，实际上它恰恰与复介电常数的虚部有关。

可以将复介电常数描述成复平面中的一个向量，如图9.11所示，称向量与实轴的夹角为损耗角δ。如前面提到的，用希腊字母δ表示损耗角，会与选择同一字母δ表示趋肤深度巧合。这两个词完全无关，因为损耗角与介质材料有关，而趋肤深度与导线属性有关。

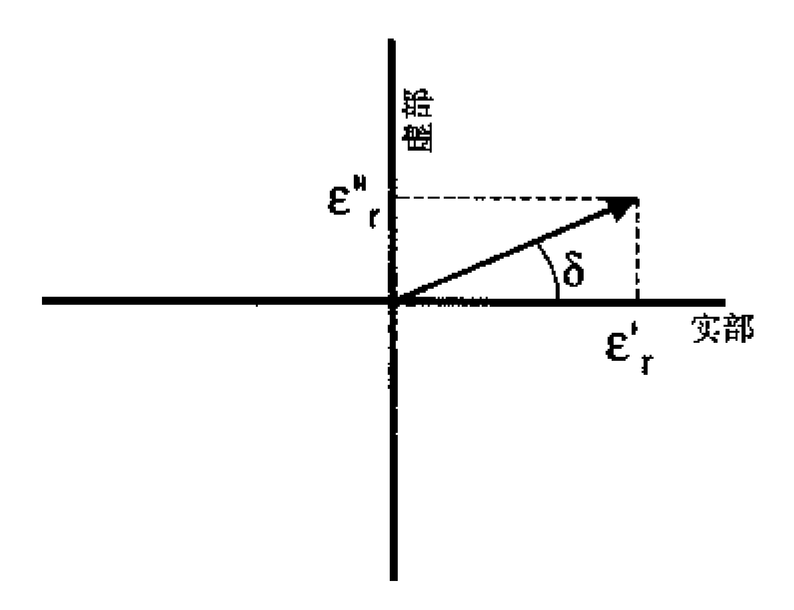


图9.11 复平面中的复介电常数。介电常数向量与实轴的夹角称为损耗角δ

损耗角的正切为介电常数的虚部与实部的比：

$$\tan(\delta) = \frac{\varepsilon''_r}{\varepsilon'_r} \tag{9.17}$$

$$\varepsilon''_r = \varepsilon'_r \times \tan(\delta) \tag{9.18}$$

习惯上我们不直接用介电常数的虚部，而是用损耗角正切tan(δ)。这样，介电常数的实部、损耗角正切tan(δ)和它们与频率的相关性就完全描述了绝缘材料的重要电气特性。将介电常数的实部简单称为介电常数，我们也习惯省略它们的区别。

从上面的关系中，可以将传输线的交流漏电阻与介电常数的虚部、耗散因子联系起来：

$$R_{\text{leakage}} = \frac{V}{\text{Real}(I)} = \frac{V}{\omega\varepsilon''_r C_0 V} = \frac{1}{\omega\varepsilon''_r C_0} = \frac{1}{\omega\varepsilon'_r \tan(\delta) C_0} = \frac{1}{\omega \tan(\delta) C} \tag{9.19}$$

在导线的任何一种几何结构中，影响电容形成的同一几何特征也影响电阻的形成，但这两个影响是相反的。这在平行板结构中能很容易地看到，电阻和电容如下：

$$C = \varepsilon_0 \varepsilon'_r \frac{A}{h} \tag{9.20}$$

$$\frac{A}{h} = \frac{C}{\varepsilon_0 \varepsilon'_r} \tag{9.21}$$

$$R = \frac{1}{\sigma}\frac{h}{A} = \frac{1}{\sigma}\frac{\varepsilon_0 \varepsilon'_r}{C} \tag{9.22}$$

将电阻的这两种形式合并起来可以导出材料的体交流电导率与耗散因子的关系：

$$\sigma = \varepsilon_0 \varepsilon'_r \omega \tan(\delta) \tag{9.23}$$

其中：

σ表示介质材料的体交流电导率

ε_0表示自由空间的介电常数，为8.89×10^{-14} F/cm

ε_r'表示介电常数的实部

ε_r''表示介电常数的虚部

tan(δ)表示介质耗散因子

δ表示介质损耗角

R 表示导线间交流漏电阻

C 表示导线间电容

h 表示导线间介质厚度

A 表示导线面积

ω 表示角频率，即 $2\pi \times f$，f 为正弦波频率

提示　尽管耗散因子本身仅仅与频率弱相关，但由于式中存在 ω 这一项，我们仍然看到介质的体交流电导率随频率线性增加。同样，又由于漏电阻消耗的功率与体交流电导率成正比，所以消耗功率也随频率线性增加。这就是信号完整性中有损线引起问题的根源所在。

9.7　有损传输线建模

造成传输线中信号衰减的两种损耗过程是信号路径和返回路径导线的串联电阻、有损介质材料的并联电阻，这些电阻都与频率有关。

要注意，随着频率的变化，理想电阻的阻值是个常数。我们已经说明过在理想有损传输线中，用来描述损耗的这两种电阻要比简单的理想电阻复杂得多。由于趋肤效应的影响，串联电阻随频率的平方根增长，由于材料的耗散因子和偶极子摆动的影响，并联电阻随频率的升高而降低。

在前面的章节中，引入了一个新的、理想的电路元件：理想分布的传输线，它用特性阻抗和时延来描述，其模型将传输线各个属性分布在整个线长上。理想有损分布传输线模型在无损模型中增加了两个损耗过程：随频率平方根增加的串联电阻和随频率降低的并联电阻。这是新的、理想有损传输线的基础，许多仿真器中都用到这一点。除了特性阻抗和时延外，两个已经定义的参数为耗散因子和单位长度电阻 R_L：

$$R_L = R_{DC} + R_{AC}\sqrt{f} \qquad (9.24)$$

其中：

R_L 表示导线单位长度电阻

R_{DC} 表示单位长度直流电阻

R_{AC} 表示与 $f^{0.5}$ 成正比的单位长度电阻的系数

为了进一步理解理想有损线的性能，可以从将传输线近似成 n 节 LC 电路开始，增加损耗条件，估计电路模型的性能。

前面章节中，已说明理想的、分布式无损耗传输线可以近似为由并联电容和率联电感集总电路网络构成的等效电路模型。这个模型常常被称为传输线的一阶模型、n 节集总电路模型，或者是传输线无损模型。图 9.12 为模型的一部分。

这个模型是近似的。然而，要达到很高的带宽，只要用足够多的 LC 模型节，就可以得到很精确的近似。为达到带宽 BW、时延 TD，规定所需的最小节数为：

$$n = 10 \times BW \times TD \qquad (9.25)$$

其中：

n 表示精确的 LC 模型节数

BW 表示模型的带宽，单位为 GHz

TD 表示近似传输线的时延，单位为 ns

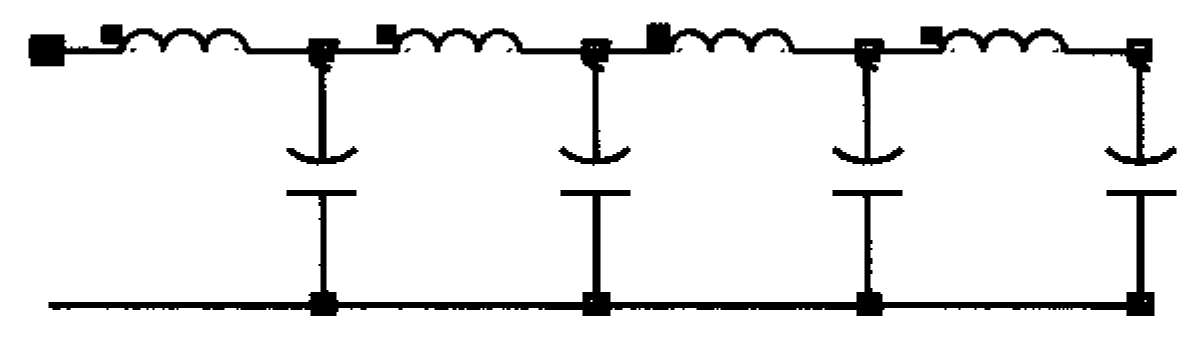


图 9.12 理想无损耗、分布式传输线的近似模型：n 节 LC 模型中的 4 节

例如，模型需要的带宽为 2 GHz，线时延 1 ns，物理线长约为 6 in，则精确模型所需的最小节数为 $n \approx 10 \times 2 \times 1 = 20$。

然而，这个理想无损模型的一个最大限制就是它仍是无损模型。用这个一阶等效电路模型作为起点，就可以考虑损耗并修改它。在每一节中，可以加入串联电阻和并联电阻的影响，理想有损传输线的 n 节集总电路近似模型的每一小节有 4 项：

C 表示电容

L 表示回路自电感

R_{series} 表示导线的串联电阻

R_{shunt} 表示介质损耗并联电阻

如果将传输线长度加倍，那么总电容 C、总电感 L 和总串联电阻 R_{series} 都加倍，而总并联电阻 R_{shunt} 减半。因为线长加倍时，交流漏电流流过的面积加大，所以并联电阻降低。

正是由于这个原因，通常使用介质漏电阻的电导而不是电阻来描述。电导用字母 G 表示，其定义为 G = 1/R，基于电阻的定义，电导定义为：

$$R_{leakage} = \frac{1}{\omega \tan(\delta) C} \tag{9.26}$$

$$G = \frac{1}{R_{leakage}} = \omega \tan(\delta) C \tag{9.27}$$

如果传输线长度加倍，并联电阻减半而电导加倍。我们仍将损耗模型化为阻值随频率升高而降低的电阻器，只是用参数 G 来描述这种损耗。用电导代替电阻，使得描述有损传输线的 4 项都与线长成比例。通常所指的是单位长度的值，这 4 项称为传输线的线参数：

其中：

R_L 表示导线单位长度的串联电阻

C_L 表示单位长度电容

L_L 表示单位长度串联回路电感

G_L 表示由介质引起的单位长度并联电导

用这个理想的、二阶 n 节集总电路模型来近似理想有损传输线，它反过来又是现实中传输线的近似。图 9.13 为一个等效的 n 节 RLGC 传输线模型的例子。

所用的节数取决于线长和模型的带宽，最小的节数仍约为 $10 \times BW \times TD$。

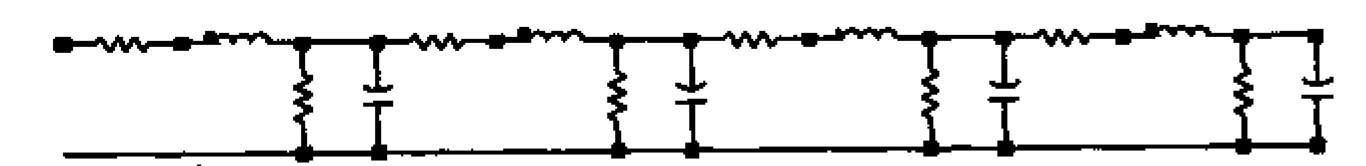


图 9.13　理想有损传输线的 n 节 RLGC 模型中的 4 节，理想分布式有损传输线的近似

这是个等效电路模型。可以将电路理论应用于这个电路并预测电气特性。由于包含了两个二阶复数微分方程，而且电阻值又随频率而变化，所以计算很麻烦。在频域中解这一方程却是最简单的。值设信号是正弦电压，由阻抗就可以计算出正弦电流。下面对结果加以讨论。

无损线中，电阻和电导都等于零。无损耗电路模型对互连线的预测是信号将无失真地传播。信号沿着路线的每一步所感受到的瞬态阻抗等于线的特性阻抗：

$$Z_0 = \sqrt{\frac{L_L}{C_L}} \tag{9.28}$$

信号速度为：

$$v = \frac{1}{\sqrt{C_L \times L_L}} \tag{9.29}$$

其中：

Z_0 表示特性阻抗

v 表示信号速度

C_L 表示单位长度电容

L_L 表示单位长度电感

在这个模型中，理想的 L，C、Z_0 和时延都是常数，它们不随频率的变化而变化，就用这些项定义理想的无损耗传输线。信号从线的一端进入，从另一端输出，信号幅度则没有变化。除了可能的阻抗改变引起的反射外，惟一影响正弦波的就是传输中的相移。

然而，将 R 和 G 这两项加入到模型中时，理想有损传输线的性能同理想无模传输线有稍微的差别，微分方程求解也相当复杂。频域中求解时，不再值设 C_L，L_L，R_L 和 G_L 如何随频率变化。在每一频率上，它们可能变化，也可能是常数。

最后得出 3 个重要特征：

1. 特性阻抗与频率有关，并且是复数；
2. 正弦波信号的速度与频率有关；
3. 引入了一个新词描述正弦波沿线传播时其幅度的衰减，衰减也与频率有关。

将推导步骤省略，特性阻抗、速度和单位长度衰减的值如下：

$$Z_0 = \sqrt{\frac{R_L + \omega L_L}{G_L + \omega C_L}} \tag{9.30}$$

$$v = \frac{\omega}{\sqrt{\frac{1}{2}[\sqrt{(R_L^2 + \omega^2 L_L{}^2)(G_L^2 + \omega^2 C_L{}^2)} + \omega^2 L_L C_L - R_L G_L]}} \tag{9.31}$$

$$\alpha_n = \sqrt{\frac{1}{2}[\sqrt{(R_L^2 + \omega^2 L_L{}^2)(G_L^2 + \omega^2 C_L{}^2)} - \omega^2 L_L C_L + R_L G_L]} \tag{9.32}$$

其中：

Z_0 表示特性阻抗

v 表示信号速度

α_n 表示单位长度幅度的衰减，单位为奈培 / 长度

ω 表示正弦波角频率，单位为 rad/s

R_L 表示导线单位长度串联电阻

C_L 表示单位长度电容

L_L 表示单位长度串联回路电感

G_L 表示由介质引起的单位长度并联电导

这些代数式看起来很可怕。尽管可以用棋盘式对照表的方法进行处理，但是要想以此获得有用的工程上的领悟还是很困难的。为了简化这些代数式，通常所建的近似模型中的传输线是有损耗的，但损耗不是太大，称为低损耗近似，即串联电阻 $R_L << \omega L_L$，并联电导 $G_L << \omega C_L$。

根据这个近似假设，与回路串联电感阻抗相比，导线串联电阻的阻抗很小。同理，与流经信号路径和返回路径之间电容的旁路电流相比，流经介质漏电阻的旁路电流很小。

频率约高于 10 MHz 时，1 盎司铜线的串联电阻随频率的平方根增加，ωL_L 随频率线性增加。在某一频率上，这个近似效果很好，频率越高，效果越好。

1 盎司铜线每单位长度的直流电阻为：

$$R_L = \frac{0.5}{w} \tag{9.33}$$

其中：

RL 表示单位长度电阻，单位为 Ω /in

w 表示线宽，单位为 mil

频率高于 10 MHz 时，电流流经的横截面很薄，而不是 1 盎司铜线的几何厚度 34 μm，这时趋肤效应决定了电流分布的厚度。铜的趋肤深度为：

$$\delta = 66\sqrt{\frac{1}{f}} \tag{9.34}$$

其中：

δ 表示趋肤深度，单位为 μm

f 表示正弦波频率分量，单位为 MHz

频率约高于 10 MHz 时，1 盎司铜线的单位长度交流电阻约为：

$$R_L = \frac{0.5t}{w\delta} = \frac{0.5 \times 34}{w \times 66}\sqrt{f} = \frac{0.25}{w}\sqrt{\frac{\omega}{2\pi \times 10^6}} = \frac{1 \times 10^{-4}}{w}\sqrt{\omega} \tag{9.35}$$

其中：

R_L 表示单位长度电阻，单位为 Ω/in

δ 表示趋肤深度，单位为 μm

t 表示几何厚度，单位为 μm

w 表示线宽，单位为 mil

f 表示正弦波频率分量，单位为 MHz

ω 表示正弦波频率分量，单位为 rad/s

50 Ω 线的单位长度电感大致是 9 nH/in，低损耗区域时，$\omega L_L >> R_L$，或是：

$$\omega \times 9 \times 10^{-9} \gg \frac{1 \times 10^{-4}}{w} \sqrt{\omega} \quad (9.36)$$

$$\omega \gg \left(\frac{1}{w}\right)^2 \left(\frac{1 \times 10^{-4}}{9 \times 10^{-9}}\right)^2 = \frac{1 \times 10^8}{w^2} \quad (9.37)$$

$$f = \frac{\omega}{2\pi} \gg \frac{1 \times 10^8}{2\pi w^2} \approx \frac{2 \times 10^7}{w^2} \quad (9.38)$$

其中：

R_L 表示单位长度电阻，单位为 Ω /in

ω 表示正弦波频率分量，低损耗区域中为 rad/s

f 表示正弦波频率分量，低损耗区域中为 Hz

w 表示线宽，单位为 mil

提示　这一结果令人吃惊。结论就是对于线宽为 3 mil 的线，当正弦波频率分量高于 2 MHz 时，其工作在低损耗区域。在这个区域里，串联电阻的阻抗远小于串联电感的阻抗。对线宽大于 3 mil 的线来说，低损耗区域可以起始于更低的频率。实际上高损耗区域在低频区，其频率低于趋肤效应起作用时的那个频率。

电导大致随频率线性增加，电容大致保持常数。当 $G_L << \omega C_L$，即 $\tan(\delta) << 1$ 时，电路工作在低损耗区。实际上，所有互连线材料的耗散因子都小于0.02，所以互连线总是工作在低损耗区。

提示　用宽为 3 mil 或更宽的线条作为互连线的电路板，其低损耗区是指频率在 2 MHz 以上的区域，此区域包含了大多数重要的频率分量。

对于在高速数字应用中所有关注的主要频率范围来说，低损耗近似非常合适。

9.8　有损传输线的特性阻抗

理想有损传输线的特性阻抗与频率有关并且是个复数，如下式所示：

$$Z_0 = \sqrt{\frac{R_L + \omega L_L}{G_L + \omega C_L}} \quad (9.39)$$

用一些代数学的知识，省略推导步骤，特性阻抗的实部和虚部如下：

$$\mathrm{Re}(Z_0) = \frac{1}{\sqrt{G_L^2 + \omega^2 C_L{}^2}} \sqrt{\frac{1}{2}[\sqrt{(R_L^2 + \omega^2 L_L{}^2)(G_L^2 + \omega^2 C_L{}^2)} + \omega^2 L_L C_L + R_L G_L]} \quad (9.40)$$

$$\mathrm{Imag}(Z_0) = \frac{1}{\sqrt{G_L^2 + \omega^2 C_L{}^2}} \sqrt{\frac{1}{2}[\sqrt{(R_L^2 + \omega^2 L_L{}^2)(G_L^2 + \omega^2 C_L{}^2)} - \omega^2 L_L C_L - R_L G_L]} \quad (9.41)$$

其中：

$Re(Z_0)$表示特性阻抗实部

$Imag(Z_0)$表示特性阻抗虚部

R_L表示导线单位长度串联电阻

C_L表示单位长度电容

L_L表示单位长度串联回路电感

G_L表示由介质引起的单位长度并联电导

ω表示角频率

在低损耗区，特性阻抗简化为：

$$Re(Z_0) = \sqrt{\frac{L_L}{C_L}} \tag{9.42}$$

$$Imag(Z_0) = 0 \tag{9.43}$$

低损耗特性阻抗近似恰好与无损耗特性阻抗一样，影响特性阻抗的因素随着R^2，G^2与ω^2L^2或ω^2C^2的比重不同而变化。假设作为低损耗区的前提是要求引入的误差小于1%。对于3 mil宽的线，就要求频率高于临界值2 MHz的10倍以上。

可以用特性阻抗的幅值大致测量一下损耗造成的影响。特性阻抗的幅值如下：

$$Mag(Z_0) = \sqrt{Re(Z_0)^2 + Imag(Z_0)^2} \tag{9.44}$$

图9.14即为用上面的确切关系式画出的FR4中3 mil宽、50 Ω微带线的复特性阻抗的幅值，其中包括导线损耗和介质损耗。从图中可以看出，频率高于10 MHz时，复特性阻抗与无损耗特性阻抗的值非常接近。如果线再宽一些，损耗再低一些，转折频率将会更低一些。

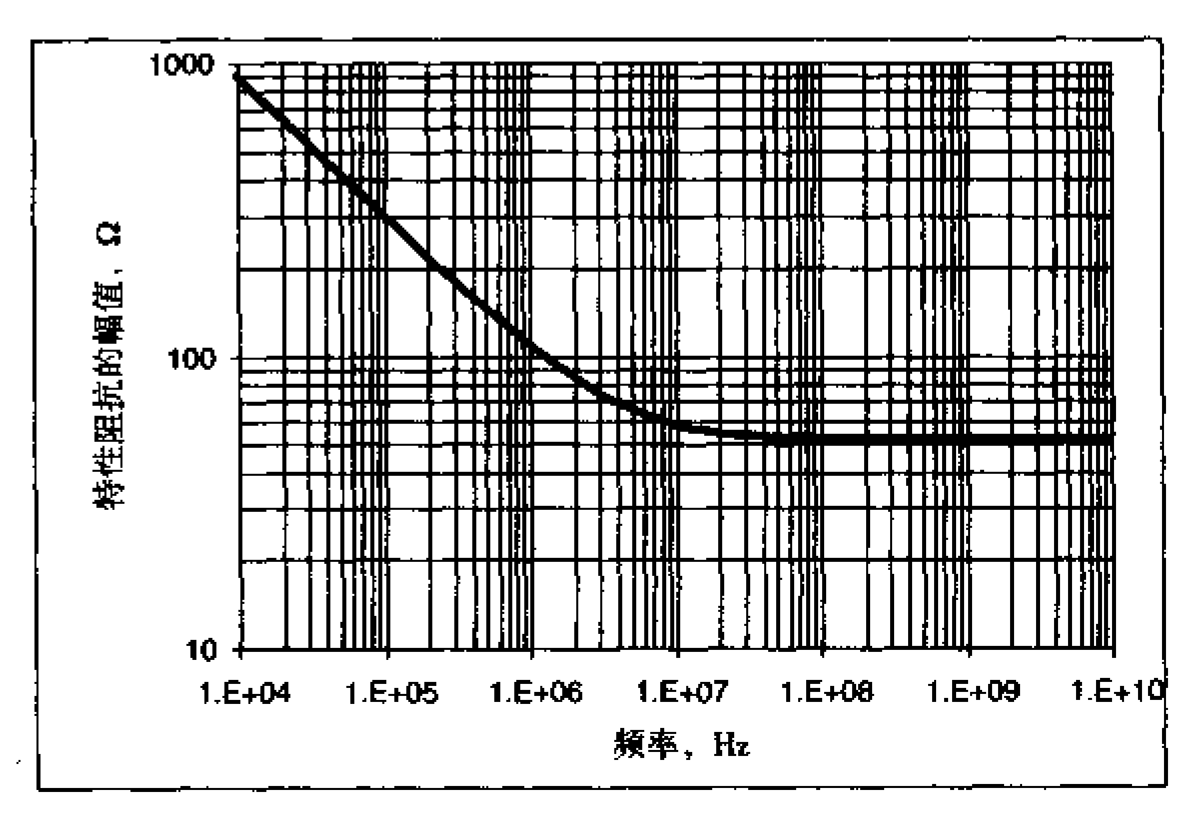


图9.14 FR4中50 Ω微带线的复特性阻抗幅值。此图说明频率高于10 MHz时，有损特性阻抗与无损特性阻抗非常接近。所以低损耗区高于10 MHz

提示 在低损耗区，损耗对特性阻抗没有影响。

如前面所提到的，由于趋肤效应的影响，电感可能与频率有些关系。频率约高于100 MHz时，趋肤深度比几何厚度薄得多，在这一频率点之上电感为常数。由于介电常数的实部随着频率变化，电容也可能与频率有些关系。这些因素可能使得特性阻抗与频率稍微有关。在实际互连线中，这些效应的影响通常不太明显。

9.9 有损传输线中的信号速度

对有损传输线电路模型求解，得出的正弦波速度很复杂，如下所示：

$$v = \frac{\omega}{\sqrt{\frac{1}{2}[\sqrt{(R_L^2+\omega^2 L_L{}^2)(G_L^2+\omega^2 C_L{}^2)}+\omega^2 L_L C_L - R_L G_L]}} \tag{9.45}$$

在低损耗区，电阻性阻抗远小于电感的阻抗，且耗散因子远小于0.1，速度可以近似为：

$$v = \frac{1}{\sqrt{L_L C_L}} \tag{9.46}$$

此结果恰与无损线速度一样。

提示 在低损耗区，信号速度不受损耗影响。

根据前面速度前准确表达式，可以看出速度究竟是如何保持恒定，以及它从哪一点开始随频率变化的。随频率变化的效应称为色数，它由损耗引起。图9.15给出了FR4板上50 Ω的微带线在最差的情况即线宽为3 mil时，微带线中的信号速度与频率之间的关系，其中包括介质损耗和导线损耗。

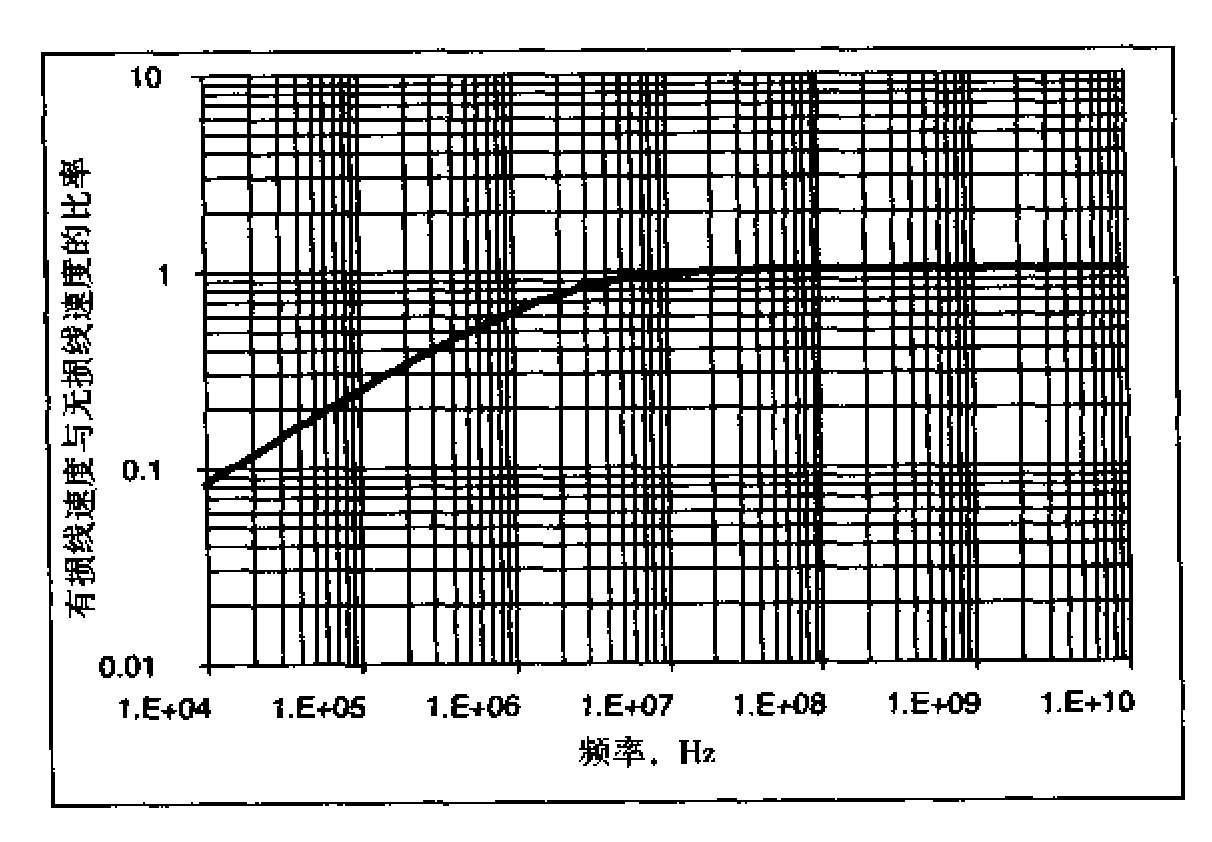


图9.15 FR4板上宽3 mil的50 Ω线中损耗引起的色散，图为有损线与无损线信号速度的比率

损耗前影响就是它将低频率分量速度降低的程度要比高频率分量速度降低的程度大。低频率时，串联电阻的阻抗要比回路电感的自感阻抗占优势，所以看起来线的损耗大一些，信号速度也就降低了。速度随频率变化的现象称为色数。它由两种机理引起：与频率相关的介电常数和损耗。

色散引起高频分量比低频分量传播速度快。对应在时域，快速上升沿先到达，接着是慢速上升尾巴，这使上升边明显变长。但是，若损耗大到足以对上升边退化造成很明显的影响，那么直接由衰减造成的影响通常比色散的影响要大得多。

提示 对于FR4板上最差情况下3 mil宽的线条，低损耗区约在10 MHz以上。在这一区域，速度与频率无关，且损耗引起的色散可以忽略不计。

9.10 衰减与dB

当信号沿导线传播时，导线损耗对信号的主要影响就是使信号幅度衰减。如果幅度为V_{in}的正弦波信号在传输线中传播，信号幅度将随着传输距离的增加而降低。如果能够让时间凝固来观察线上存在的正弦波，各个不同点的波形就如图9.16所示。其中，正弦波频率为1 GHz，线条为FR4板上宽10 mil、长40 in、50 Ω的微带线。

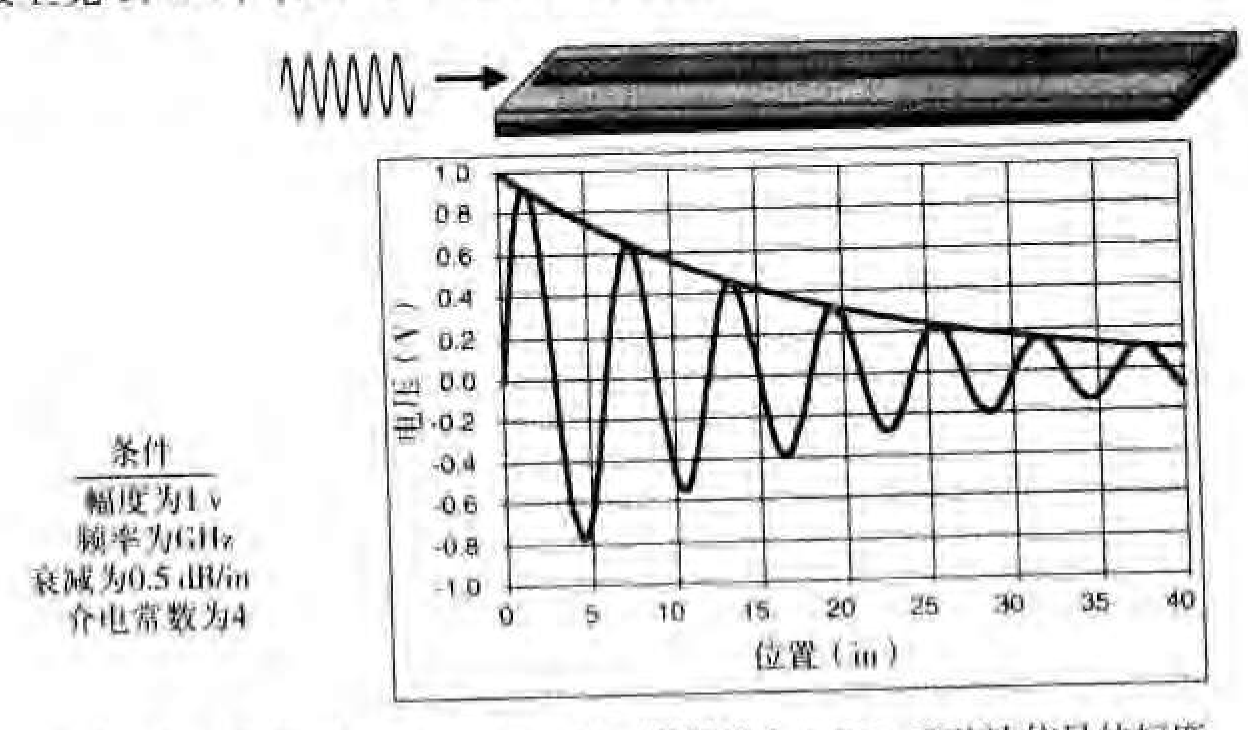


图9.16 FR4板上宽10 mil、50 Ω微带线上1 GHz正弦波信号的幅度

幅度并不是线性下降，而是随着距离的变化以指数下降。这可以用基为e或10的指数来描述。用e作为基时，输出信号为：

$$V(d) = V_{in}\exp(-A_n) = V_{in}\exp(-d \times \alpha_n) \tag{9.47}$$

其中：

$V(d)$表示线上位置d的电压

d表示线上点的位置，单位为in

V_{in}表示输入电压幅度

A_n表示总衰减，单位为奈培

α_n表示单位长度的衰减，单位为奈培/in

基为e时，衰减的单位是无量纲的，但是仍标记为奈培，以纪念John Napier。John Napier是苏格兰人，因1614年的出版物中引入了基为e的指数而著名。Napiers比较迷惑的地方就是它的拼写：Napiers，napers和nepers，这些都指的是同一单位，并且通常都是John Napier名字的拼写。尽管无量纲，也要用这个标记提醒大家它是基为e的衰减单位，称为奈培。

例如，若衰减为1奈培，则最终输出幅度为输入幅度的exp(-1) = 37%，若衰减为2奈培，则输出幅度为输入幅度的exp(-2) = 13%。

同理，如果给定输入和输出幅度，衰减可以由下式得到：

$$A_n = -\ln\left(\frac{V(d)}{V_{in}}\right) \tag{9.48}$$

关于衰减符号有些不明确。在所有的无源互连线中，不存在任何增益，输出电压总是小于输入电压。若指数为0，则输出幅度恰与输入幅度相等。指数符号为负是得到缩小幅度的惟一途径。那么，负号是直接放在指数中还是为衰减的一部分呢？这两种方法都可以。有时称衰减为-2奈培或2奈培，因为它总是称为衰减，也就不存在含糊不清了。

用10作为基描述衰减比用e作为基更常用，称为分贝（dB），这种形式的输出幅度为：

$$V(d) = V_{in}10^{-\frac{A_{dB}}{20}} = V_{in}10^{\left(-d\times\frac{\alpha_{dB}}{20}\right)} \tag{9.49}$$

其中：

$V(d)$表示线上位置d的电压

d表示沿线位置，单位为in

V_{in}表示输入电压幅度

A_{dB}表示总衰减，单位为dB

α_{dB}表示单位长度衰减，单位为dB/in

20表示将dB转换成幅度的系数，下面将讨论

提示　衰减的单位是decibel或dB，它的使用贯穿整个工程领域。但是无论它出现在哪里，总会使人混乱不清。理解这一单位的起源有助于消除迷惑。

dB由Alexander Graham Bell于100年前首创。他是个外科医生，以研究和治疗有听力障碍的儿童作为职业生涯的开端。为了量化听力损失程度，他研究出一套标准声强，并将个人听到这些声音的能力量化。他发现对音量的敏感度并不是由声功率强度决定的，而是取决于声功率强度的对数。他研究的音量刻度以可听到的最轻声音作为起点0，以使人开始产生痛觉的声音作为10。

所有其他的声音以实际测量的功率级比值的对数在刻度上分布。若音量从1增加到2，那么感觉到音量就加倍，然而实际测量到的声功率级提高了$10^2/10^1 = 10$倍。Bell所建立的就是感觉到的音量的变化不是取决于功率级的变化，而是由一个与功率级变化对数成正比的单位决定。

称Bell音量刻度的单位为Bell，刻度起点0 Bell为能听到的最轻声音。耳朵里实际的功率密度被量化成一个个声级。大约2 kHz左右是我们的最敏感处，这时可感觉到最轻的声音，其级别就是刻度起点0 Bell，它相当于10^{-12} W/m^{2}的功率密度，最大的声音就是痛觉的门限，即10 Bell处，其功率级为10^{-2} W/m^2。

Bell刻度得到了广泛的接受，去掉最后一个字母L就变为Bel刻度。随着时间的推移，人们发现对于感觉到的音量范围，0 Bel到10 Bel这个刻度范围太粗了，故而将刻度改为decibel并取代Bel来度量音量，这里的前缀“deci”就是1/10的意思。现在这个音量刻度的低端为最轻的声音0 decibel，末端为痛觉乍起的100 decibel。decibel通常缩写为dB（分贝）。

提示 多年来，除了音量外，在其他应用中也采用了decibel刻度。但是对于每一种应用，decibel的定义仍为两个功率比值的对数。decibel刻度最重要的性质就是它总是指两个功率比值的对数。

在几乎所有的工程应用中，总是用Bel来度量两个功率P_1和P_0比值的对数：Bel = log (P_1/P_0)。1 Bel = 10 decibel，若比值用dB表示，就是：

$$\text{ratio(dB)} = 10 \times \log \frac{P_1}{P_0} \tag{9.50}$$

例如，功率增加1000倍，Bel增加log (1000) = 3 Bel，dB增加10 × 3 Bel = 30 dB。若输出功率仅为输入功率的1%，则功率级降低log (10^{-2}) = -2 Bel，或是10 × (-2) Bel = -20 dB。

功率级以任意比例系数改变时，可以用dB描述其中的变化，但是需要计算器计算对数值。若功率加倍，dB的变化为10 × log (2) = 10 × 0.3 = 3 dB。通常所用的"3 dB变化"指功率级加倍。如果变化为下降了50%，dB的变化为10 × log (0.5) = -3 dB。

实际的功率级比值可以由dB的值得到：

$$\text{ratio} = \frac{P_1}{P_0} = 10^{\frac{\text{ratio(dB)}}{10}} \tag{9.51}$$

第一步将dB转换为Bel。这是基为10的指数，如dB中的比值为60，功率级比值就为$10^{60/10} = 10^6$ = 1 000 000。若dB为-3 dB，功率级比值就为$10^{-3/10} = 10^{-0.3}$ = 0.5或50%。

关于dB刻度，要记住两个重要规则：

1. dB刻度经常指的是两个功率或能量比值的对数。
2. 以10为基，用dB度量两个功率的比值时，指数项为dB/10。

如果度量的是其他两个量的比值，一定要注意它们与功率的区别。例如，如果度量两个电压V_0和V_1的比值r，其单位是无量纲的，r = log (V_1/V_0)。但是，不能用dB度量这个比值，因为dB指的是两个功率或能量的比值。电压不是能量，它仅是幅度。

我们可以理解为与电压相关的两个功率的比值，r_{dB} = 10 × log (P_1/P_0)。那么，怎样将功率级与电压联系起来呢？电压波中的能量与电压幅度的平方成正比，$P \sim V^2$。

用dB表示功率的比值为：

$$r_{dB} = 10 \times \log\left(\frac{P_1}{P_0}\right) = 10 \times \log\left(\frac{V_1^{\ 2}}{V_0^{\ 2}}\right) = 10 \times 2\log\left(\frac{V_1}{V_0}\right) = 20\log\left(\frac{V_1}{V_0}\right) \tag{9.52}$$

提示 无论何时用dB度量两个幅度的比值，都是计算与幅度相联系的功率比值的对数。这等于将电压比值的对数乘以20。

例如，电压从1 V变化到10 V，若用dB度量，则为20 × log (10/1) = 20 dB。电压增加了10倍，而与电压相对应的功率则增加了100倍，功率级20 dB的变化反映了这一点。若幅度降低到原幅度值的一半，或减少了50%，就用dB表示这两个值的比：20 × log (0.5) = 20 × (-0.3) = -6 dB。如果电压减少了50%，那么信号的功率一定减少了 (50%)^{2}或25%；如果两个功率比值为25%，那么用dB表示就是10 × log (0.25) = 10 × (-0.6) = -6 dB。

提示　计算 dB 值时，若指的是功率或能量，则系数为 10；若指的是幅度，系数为 20。这里的幅度即为电压、电流或阻抗。

由 dB 可以计算出电压的比值：

$$\text{ratio} = \frac{V_1}{V_0} = 10^{\frac{\text{ratio}_{dB}}{20}} \tag{9.53}$$

例如，若 dB 值为 20 dB，幅度的比值即为 $10^{20/20} = 10^1 = 10$；若 dB 值为 −40 dB，电压比值为 $10^{-40/20} = 10^{-2} = 0.01$。如果 dB 值是负数，说明最终值总是小于原来值。图 9.17 列出了一些电压以及与电压相对应的功率的比值和用 dB 表示的比值。

电压比	功率比	dB
100	10 000	40
10	100	20
2	4	6
1.4	2	3
1	1	0
0.7	0.5	-3
0.5	0.25	-6
0.1	0.01	-20
0.01	0.0001	-40

图 9.17　电压及与其相对应的功率比值和用 dB 表示的比值

9.11　有损线上的衰减

正弦波沿传输线传播时，电压幅度以指数递减，用 dB 度量的总衰减将随着线长度的增加而增加。FR4 板中，1 GHz 信号的典型衰减可能是 0.1 dB/in，若传播 1 in，衰减为 0.1 dB，信号幅度降低到 $V_{out}/V_{in} = 10^{-0.1/20} = 99\%$；若传播 10 in，衰减为 1 dB，幅度减为 $V_{out}/V_{in} = 10^{-1/20} = 89\%$。

衰减是个描述有损传输线特殊属性的新术语，它是求解二阶有损RLCG电路模型的直接结果。通常用 α_n 表示单位长度的衰减，其单位为奈培 / 长度，定义如下：

$$\alpha_n = \sqrt{\frac{1}{2}\left[\sqrt{(R_L^2 + \omega^2 L_L^2)(G_L^2 + \omega^2 C_L^2)} - \omega^2 L_L C_L + R_L G_L\right]} \tag{9.54}$$

在低损耗近似中，它可以近似为：

$$\alpha_n = \frac{1}{2}\left(\frac{R_L}{Z_0} + G_L Z_0\right) \tag{9.55}$$

从两个电压的比值奈培数到同一比值的 dB 数之间存在一个简单的转换关系，如果两个电压的比值奈培数为 r_n，同样电压比值的 dB 数为 r_{dB}，由于它们等于相同的电压比，所以可以得到：

$$10^{\frac{r_{dB}}{20}} = e^{r_n} \tag{9.56}$$

$$r_{dB} = r_n \times 20\log e = 8.68 \times r_n \tag{9.57}$$

用这一转换关系，传输线单位长度的衰减 dB/长度为：

$$\alpha_{dB} = 8.68\alpha_n = 8.68 \times \frac{1}{2}\left(\frac{R_L}{Z_0} + G_L Z_0\right) = 4.34\left(\frac{R_L}{Z_0} + G_L Z_0\right) \tag{9.58}$$

其中：

α_n 表示衰减，为奈培/长度

α_{dB} 表示衰减，为 dB/长度

R_L 表示导线单位长度串联电阻

C_L 表示单位长度电容

L_L 表示单位长度串联回路电感

G_L 表示由介质引起的单位长度并联电导

Z_0 表示传输线特性阻抗，单位为 Ω

令人意外的是，尽管这是频域中的衰减，衰减却与频率没有内在联系。

提示 如果随着频率的变化，导线单位长度的串联电阻和介质单位长度并联电导都是常数，则传输线的衰减当频率变化时也是常数。所有频率感受到的损耗量都是相同的。

在传输线上传播时，对所有频率都是一样的。虽然传输线上传播的信号幅度会降低，但信号带宽和上升边将保持不变，输出信号与输入信号的上升边相同。

然而，正如前面所述，这并不是现实中典型的叠层底板上有损传输线的性能。现实世界中，对于非常好的近似，由于趋肤效应的影响，单位长度串联电阻随着频率的平方根增加；由于介质耗散因子的影响，单位长度并联电导随着频率而增加。这意味着衰减也会随着频率的升高而增加，高频率正弦波的衰减要大于低频率正弦波的衰减。这一基本的机理使得当沿有损线传播时，信号带宽将降低。

单位长度损耗由两部分组成，一部分是由导线损耗引起的衰减：

$$\alpha_{cond} = 4.34\left(\frac{R_L}{Z_0}\right) \tag{9.59}$$

另一部分衰减与介质材料损耗有关：

$$\alpha_{diel} = 4.34(G_L Z_0) \tag{9.60}$$

总的衰减为：

$$\alpha_{dB} = \alpha_{cond} + \alpha_{diel} \tag{9.61}$$

其中：

α_{cond} 表示由导线损耗引起的单位长度衰减，为 dB/长度

α_{diel} 表示由介质损耗引起的单位长度衰减，为 dB/长度

α_{dB} 表示总衰减，为 dB/长度

R_L 表示导线单位长度串联电阻

C_L 表示单位长度电容

L_L 表示单位长度串联回路电感

G_L 表示由介质引起的单位长度并联电导

Z_0 表示传输线特性阻抗，单位为 Ω

由于趋肤效应，带状线单位长度电阻近似为：

$$R_L = \frac{0.5t}{w\delta} = \frac{0.5 \times 34}{w \times 66}\sqrt{f} \quad (9.62)$$

若频率用 GHz 表示，则

$$R_L = \frac{0.5t}{w\delta} = \frac{8.14}{w}\sqrt{f} \quad (9.63)$$

其中：

R_L 表示单位长度电阻，单位为 Ω/in

δ 表示趋肤深度，单位为 μm

t 表示几何厚度，单位为 μm（1 盎司铜）

w 表示线宽，单位为 mil

f 表示正弦波频率分量，单位为 GHz

将这些结果合并起来，由导线引起的单位长度衰减近似为：

$$\alpha_{cond} = 4.34\left(\frac{R_L}{Z_0}\right) = 4.34 \times \frac{1}{Z_0} \times \frac{8.14}{w}\sqrt{f} = \frac{36}{wZ_0}\sqrt{f} \quad (9.64)$$

整条传输线中，导线引起的总衰减为：

$$A_{cond} = Len \times \alpha_{cond} = Len\frac{36}{wZ_0}\sqrt{f} \quad (9.65)$$

其中：

R_L 表示单位长度电阻，单位为 Ω/in

w 表示线宽，单位为 mil

f 表示正弦波频率分量，单位为 GHz

Z_0 表示传输线特性阻抗，单位为 Ω

A_{cond} 表示导线损耗引起的总衰减，单位为 dB

Len 表示传输线线长，单位为 in

例如，1 GHz 时，宽 10 mil 的 50 Ω 线上由导线损耗引起的单位长度衰减为 $\alpha_{cond} = 36/(10 \times 50) \times 1 = 0.07$ dB/in。底板上 36 in 的线长是常见的，这时从一端到另一端的总衰减是 0.07 dB/in × 36 in = 2.5 dB，输出电压与输入电压的比为 $V_{out}/V_{in} = 10^{-2.5/20} = 75\%$。这意味着对于 1 GHz 频率分量来说，仅仅由于导线损耗的影响，线末端的幅度只剩下 75%。频率更高，衰减更大。当然，这仅是近似，可以用二维场求解器得到更精确的值、并可以计算出精确的电流分布和电流如何随频率变化。

图 9.18 为宽 10 mil、50 Ω 微带线情况下，将估计的仅由导线损耗引起的衰减与用二维场求解器计算的衰减相比较。从图中看出，近似是很合理的。

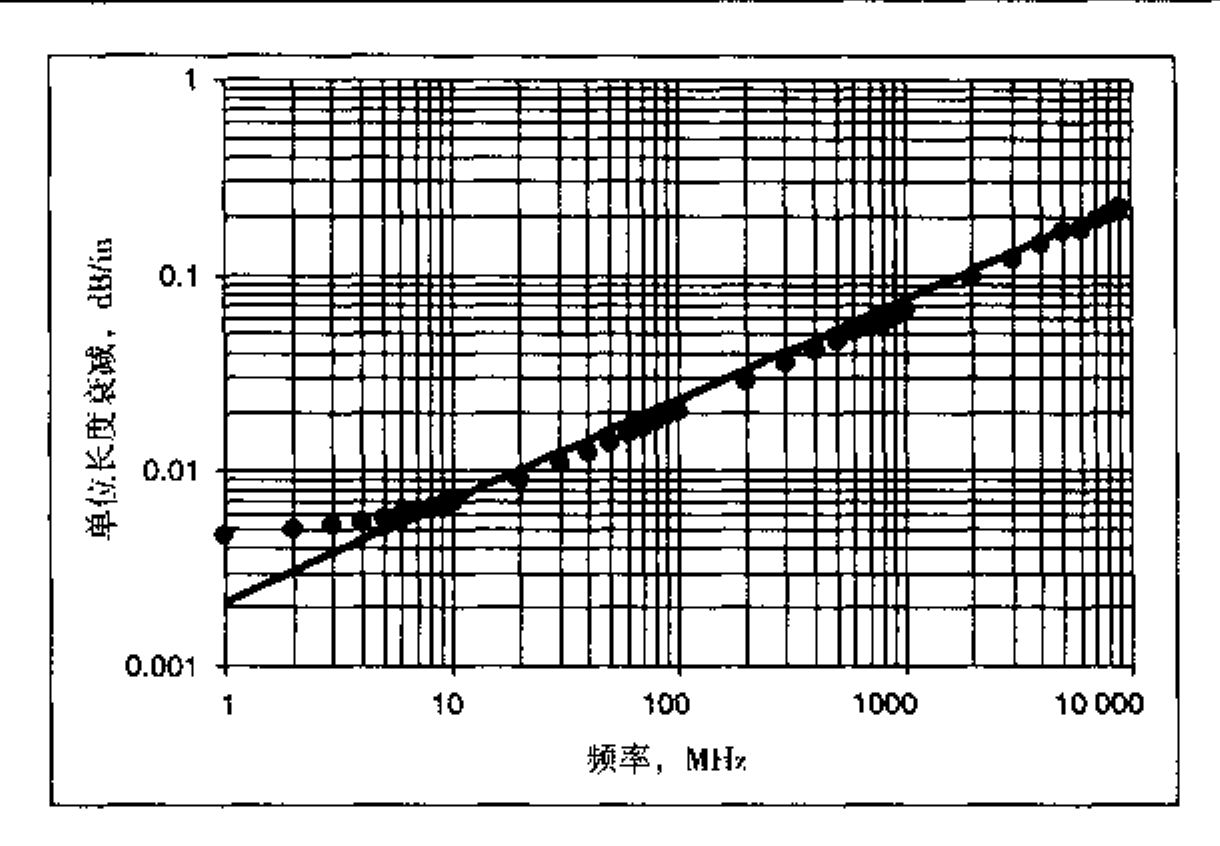


图9.18 宽10 mil、50 Ω的微带线上，假设仅有导线损耗而无介质损耗时的单位长度衰减，图中的直线代表上述简单的模型，与之对比的用圆点表示的是Ansoft的SI2D场求解器仿真所得的结果

如前所述，对于所有的几何结构，单位长度电导与单位长度电容的关系如下：

$$G_L = \omega \tan(\delta) C_L \tag{9.66}$$

同理，对于所有的几何结构，特性阻抗与电容的关系如下：

$$Z_0 = \frac{\sqrt{\varepsilon_r}}{cC_L} \tag{9.67}$$

由这两个关系式得出仅由介质材料引起的单位长度衰减如下：

$$\alpha_{diel} = 4.34(G_L Z_0) = 4.34(\omega \tan(\delta) C_L)\left(\frac{\sqrt{\varepsilon_r}}{cC_L}\right) = \frac{4.34}{c}\omega \tan(\delta)\sqrt{\varepsilon_r} \tag{9.68}$$

其中：

α_{diel} 表示仅由介质损耗引起的单位长度衰减，为dB/长度

G_L 表示单位长度电导

ω 表示角频率，单位为rad/s

$\tan(\delta)$表示耗散因子

C_L 表示单位长度电容

Z_0 表示特性阻抗

ε_r 表示介电常数实部

c 表示真空中的光速

如果用in/ns作为光速的单位，GHz为频率单位，那么介质引起的单位衰减变为：

$$\alpha_{diel} = 2.3 f \tan(\delta)\sqrt{\varepsilon_r} \tag{9.69}$$

其中：

α_{diel} 表示介质引起的单位长度衰减，单位为dB/in

f表示正弦波频率，单位为GHz

tan(δ)表示耗散因子

ε_r表示介电常数实部

有趣的是衰减与几何结构无关。例如，假设线宽增加，则电容将增加，因此电导增加，但是特性阻抗降低，衰减结果仍一样。

提示　介质引起的衰减仅由材料的耗散因子决定。它不受几何结构的影响，完全取决于材料特性，

衰减总与几何结构无关，这不是近似，而是基于引起并联电导的几何参数同时又反向作用于特性阻抗这个事实。

FR4的耗散因子约为0.02。在1 GHz时，FR4传输线单位长度衰减约为2.3 × 1 × 0.02 × 2 = 0.09 dB/in。我们把这一结果与前面的10 mil宽、50 Ω线仅由导线引起的单位长度衰减0.07 dB/in相比较可知，在1 GHz时，介质引起的衰减比导线引起的要稍微大一些。当频率更高时，介质引起的衰减增加的速度要比导线引起的衰减增加的速度快。这表明1 GHz时，如果介质损耗处于主导地位，那么更高频率时它就会更重要，而导线损耗则变为次重要。

随着频率的升高，介质引起衰减的增加速度要比导线引起衰减的增加速度快，那么会存在某一频率，使得在这一频率之上时介质引起的衰减处于主导地位。图9.19中所示为对于FR4板上8 mil线宽、50 Ω线的单位长度衰减，导线衰减、介质衰减与总合成衰减的比较结果。对于宽于8 mil的50 Ω线条，介质损耗与导线损耗相等时的转折频率小于1 GHz；频率高于1 GHz时，介质损耗处于主导地位。如果线宽小于8 mil，则转折频率高于1 GHz。

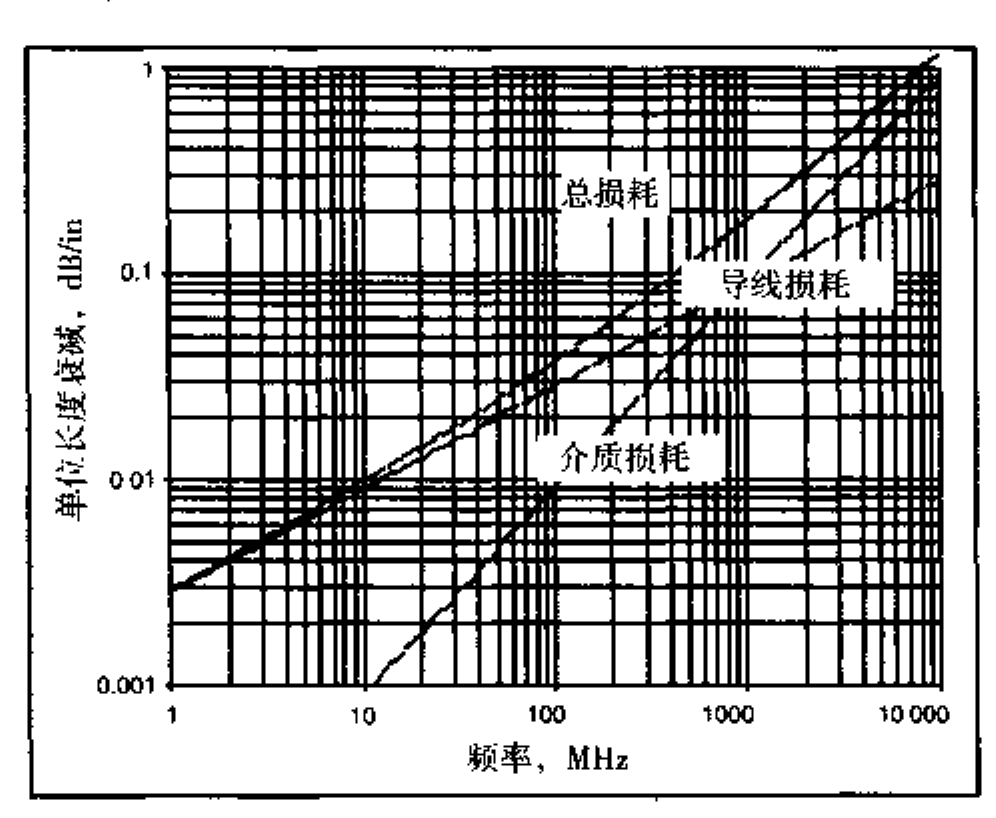


图9.19　8 mil线宽、50 Ω微带线的单位长度衰减。图中分别给出了纯导线损耗、纯介质损耗和总损耗。对于这种几何结构，以FR4为例，当频率高于1 GHz时，介质损耗在总损耗中将占主导地位

工业应用中许多术语都是指传输线上的损耗。很遗憾，尽管这些词代表不同的参量，它们常常被混用。

以下是一部分术语及其真正的定义：

- 损耗：这是个总称，它指有损线的所有方面。

- 衰减：这是专门对传输线上总衰减的度量，它度量出传输信号的功率下降（用dB进行度量）或幅度下降（描述成传输信号的比率）。当以dB度量时，信号总衰减随着线长的增加而线性增加；当输出端电压按比率度量时，则输出电压随着线长的增加呈指数递减。
- 单位长度衰减：这是用dB度量功率的总衰减，它将线长归一化，只要传输线参数不变，它就是个常数。它是互连线的固有特性，与长度无关。
- 耗散因子：这是所有介质特殊的、固有的材料特性，它度量了偶极子数目和偶极子在交流场中能够移动距离的远近。它由介质损耗引起，与频率稍微有点关系。
- 损耗角：这是在复平面上，复介电常数向量与实轴之间的夹角。
- $\tan(\delta)$：这是损耗角的正切，也是复介电常数虚部与实部的比值，也称为耗散因子。
- 介电常数实部：复介电常数的实部这一项给出了介质如何加大两导线间电容、将材料中的光速降低到什么程度，它是材料的内在特性。
- 介电常数虚部：复介电常数的虚部这一项给出了介质如何从电场中吸收能量（由偶极子运动引起），它与偶极子数目和偶极子运动有关，也是材料的内在特性。
- 介电常数：通常仅指复介电常数的实部，它给出了介质如何加大两导线间的电容。
- 复介电常数：这是个基本的材料内在特性，它描述了电场与介质的相互作用。其实部描述的是材料如何影响电容，虚部描述的是材料如何影响并联漏电阻。

用某一术语表示传输线上的损耗时，最要紧的是分清术语的含义。实际的衰减是与频率有关的，但是材料的耗散因子或材料的其他性质一般仅随频率呈现很慢的变化。当然，了解它们的惟一途径就是测量实际的材料。

9.12 频域中有损线特性的度量

这里介绍的有损传输线的理想模型有三个特点：

1. 当频率变化时特性阻抗是个常数。
2. 当频率变化时速度是个常数。
3. 衰减中有一项与频率的平方根成正比，另一项与频率成正比。

这里假设频率变化时介电常数和耗散因子都是常数。大多数材料的情况正是这样，或者说大多数情况下这是个非常好的近似。实际的材料特性与频率有关，它通常随频率非常缓慢地变化，以至于可以认为在很宽的频率范围内它是个常数。要想了解材料特性如何变化，测量是惟一办法。

很遗憾，在材料特性很重要的GHz频率范围段，还没有测量耗散因子假的仪器。我们没有一种设备可以直接测出材料样本在不同频率时的耗散因子。相反，只能用一种比较复杂的方法从叠层材料样本间接测量中提取固有的材料特性。

第一步，用叠层绝缘板构建传输线，最好是带状线，这样信号路径周围的介质是均匀的。为了探测传输线，线两端必须有过孔。可以用微探针测量正弦电压的表现，这时探针对测量的影响很小。

采用矢量网路分析仪（VNA），将正弦波输入并测量传输线如何反射和传输这些正弦波。反射正弦波与入射正弦波之比称为反射损耗，或为S_{11}，传输正弦波与入射正弦波之比称为插入损耗，或为S_{21}。

这两个词完整地描述了任何频率的正弦波与传输线的相互作用。在每一频率上，称S_{11}，S_{21}为S参数或散射参数。它们描述了反射或传输的正弦波幅度和相位与入射波幅度和相位的对比情况。定义中的另一个约束条件就是反射和入射正弦波是在传输线两端连接了50 Ω的源阻抗和负载的情况下测量的。

传输线特性阻抗不等于50 Ω时，将存在很大的反射。因为线长和阻抗突变使正弦波出现谐振点，这样线长使得S参数将呈现周期性模式。然而，如果知道传输线特性阻抗和线端过孔或接插件的模型，就可以考虑到所有的影响。

图 9.20 即为实际测量的 4 in 长、50 Ω 传输线上的插入损耗。此例中，传输线约为 50 Ω。一直到 8 GHz 以上时，过孔都没有造成很明显的影响。测量到的插入损耗为衰减的粗略近似。用 dB 表示的传输信号 S_{21} 大致随频率升高而下降，衰减的斜率接近常数，正如采用简单模型预期的那样。

如果传输线和没有过孔的理想情况很匹配，S_{21}作为频率的函数，正好是对衰减的度量。但是这在实际中对工程师几乎是不可能的，所以必须基于包括过孔在内的传输线测试结构模型来解释 S_{21}。

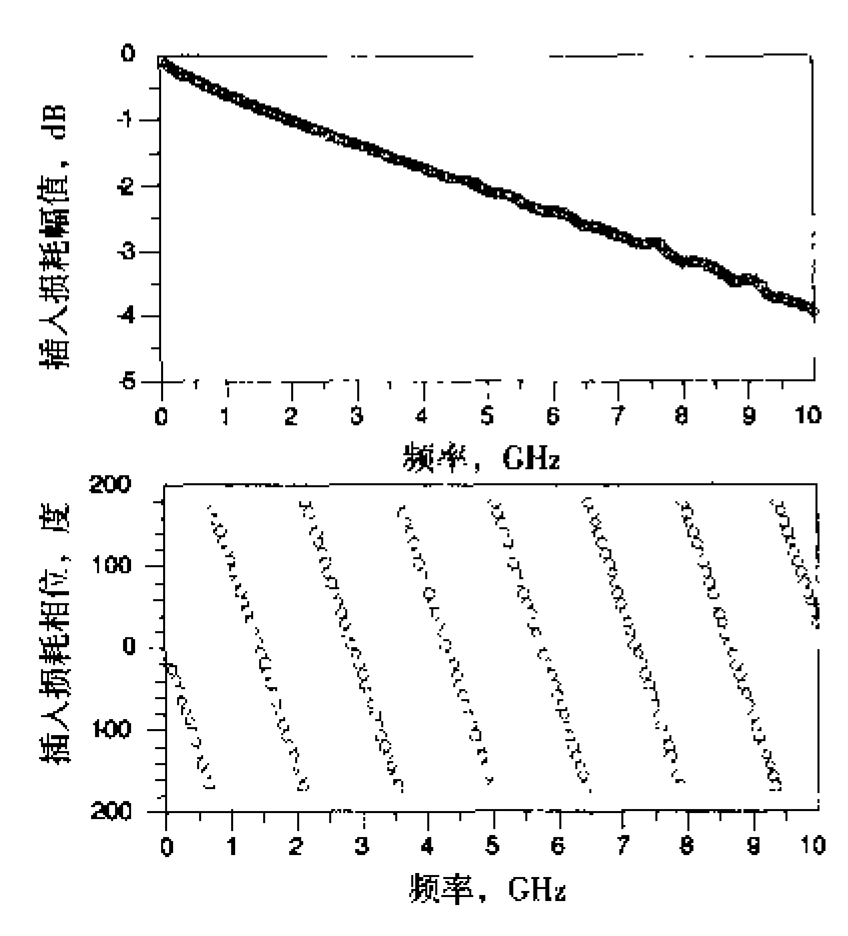


图 9.20　用 GigaTest Labs 探针台测试 FR4 板上 4 in 长、50 Ω 带状线的插入损耗

为了考虑到终端过孔的电气影响，将过孔模型化为有着 C-L-C 拓扑结构的简单 π 型电路。实际传输线测试结构的理想电路模型如图 9.21 所示。

此模型完全可以用以下 8 项参数定义：

C_{via1} 表示过孔第一部分的电容

L_{via} 表示过孔的回路电感

C_{via2} 表示过孔第二部分的电容

Z_0 表示无损耗特性阻抗

ε_r 表示介电常数实部，假设是个不随频率变化的常数

len 表示传输线长度，此时为 4 in 长

$\tan(\delta)$表示耗散因子，假设是个不随频率变化的常数

$\alpha_{cond}/f^{0.5}$ 表示该项与导线损耗有关，它用频率的平方根归一化

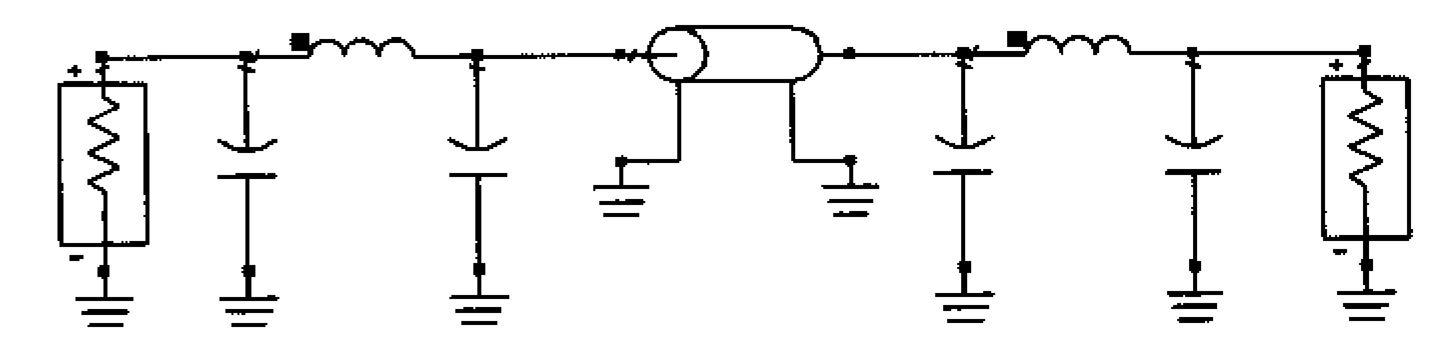


图 9.21 4 in 长传输线电路模型的拓扑结构，模型中包括 VNA 端口、理想有损传输线、两端过孔

如果知道此模型的各个参数值，就可以仿真出它的插入损耗。此外，如果知道参数值并且拓扑结构是正确的，那么测量的插入损耗与仿真的插入损耗就会非常吻合。

将这个传输线模型中的 8 项参数优化后，就得到一组最优的参数值如下：

C_{via1} 表示 0.025 pF

L_{via} 表示 0.211 nH

C_{via2} 表示 0.125 pF

Z_0 表示 51.2 Ω

ε_r 表示 4.05

len 表示 4 in

$\tan(\delta)$表示 0.015

$\alpha_{cond}/f^{0.5}$ 表示 3 dB/m/sqr(f)

图 9.22 就是用这个理想电路模型及这些参数（整个测量带宽范围内，它们都是常数）将仿真的插入损耗与实际测量到的相比较的结果。

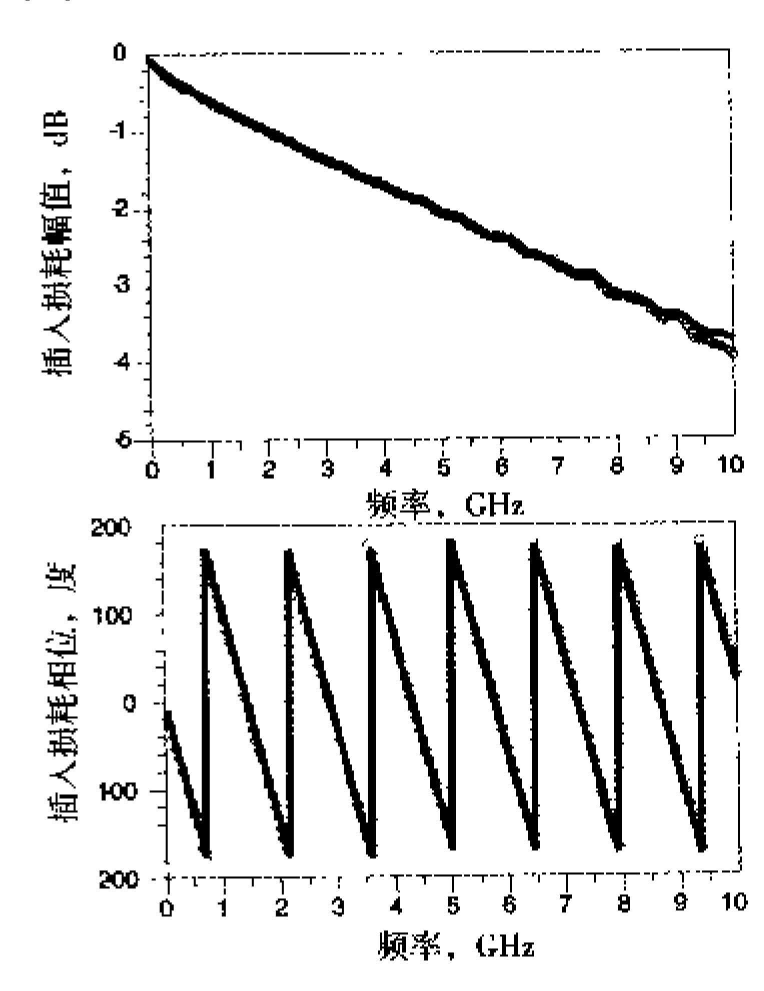


图 9.22 对于 FR4 板上 4 in 长、50 Ω 传输线的插入损耗，测量结果与仿真结果的比较

基于这个简单、理想的电路模型所测量的插入损耗与仿真的结果非常吻合，这使我们有理由认为拓扑结构和参数值的设置很合理。也可以得出介电常数是4.05和耗散因子是0.015的结论。此外，假设它们在整个测量带宽的10 GHz范围内是常数也与测量数据相符。

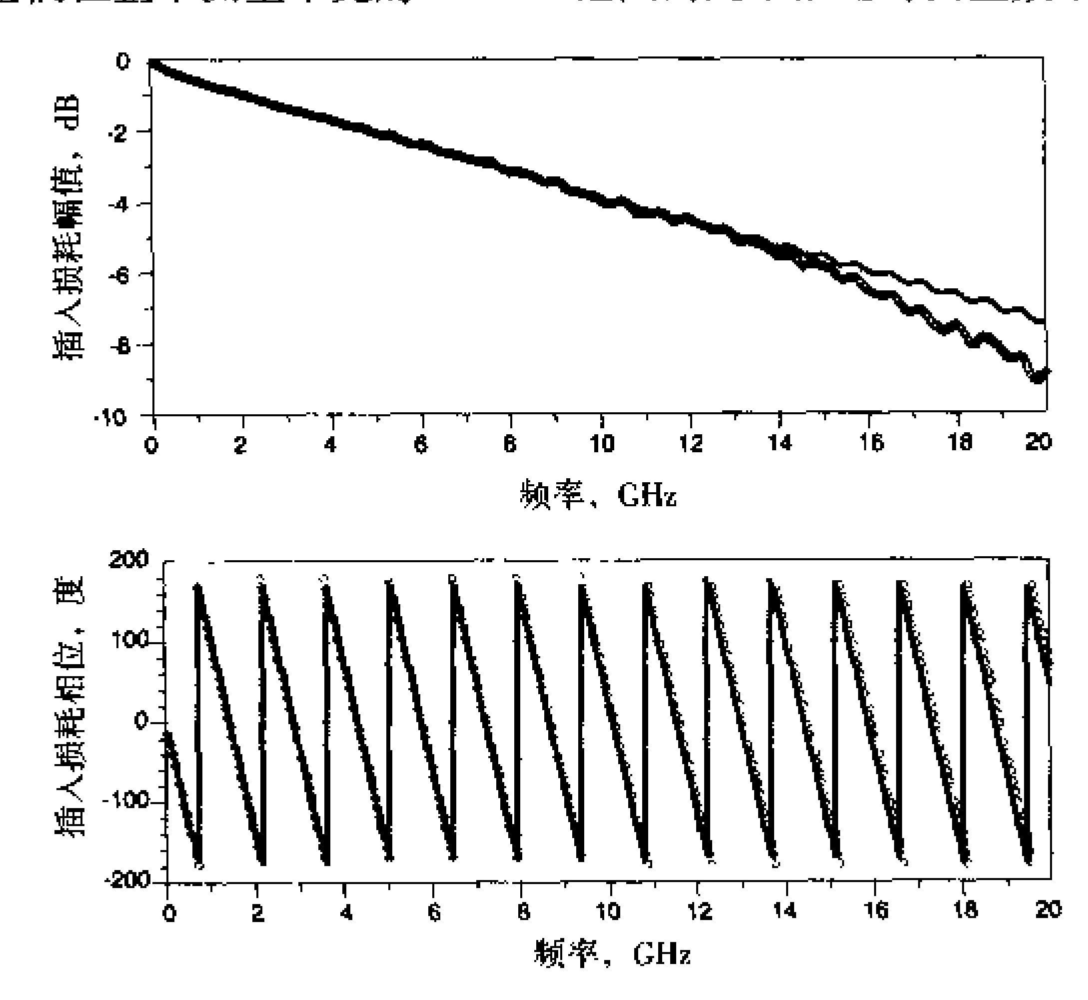


图9.23　将模型测量带宽扩展到20 GHz时的测量插入损耗和仿真插入损耗，可以看出14 GHz就是模型的带宽。频率高于14 GHz时，实际耗散因子将随频率升高而上升

图9.23将对这一样本的测量带宽扩展到20 GHz。若假设介电常数和耗散因子为常数，则约在14 GHz之前，测量结果与预测结果非常吻合；在14 GHz后，实际叠层材料的耗散因子有轻微的上升而介电常数则轻微下降。从这个测量中，可以确定出假设材料特性恒定的界限。对于这个FR4样本，在频率达到14 GHz前，我们假设材料特性恒定是对的。

提示　测量的插入损耗与仿真的插入损耗非常吻合，这一事实说明可以用这个简单的理想有损传输线模型来描述现实中有损传输线的高频特性。惟一要注意的是，对于不同的材料系统，测量其具体的材料特性是很重要的。

9.13　互连线的带宽

从理想方波的频谱出发，如果高频分量比低频分量衰减快得多，那么被传输信号的带宽——最高的有效正弦波频率将下降。波传输距离越长，高频分量衰减越多，带宽越低。

最高的有散正弦波频率分量作为带宽这一概念本身仅是一个粗略的近似。对于前面所说的方波情况，如果某个问题对带宽很敏感，需要知道在20%以内的值，那么就不要用带宽这个词。这时，应该采用信号的整个频谱以及整个频率范围中互连线的插入损耗或反射损耗的表现。但是，带宽这个概念非常有助于激发我们的直觉和洞察互连线的一般性能。

互连线带宽和传输线上的损耗之间有个简单但很重要的关系：线越长，高频损耗越大，线的带宽越低。如果能估计出由互连线损耗造成的带宽，那么就可以确定一些性能要求：多大的衰减算是过高，什么样的材料特性可以接受。

就像前面章节中阐述的那样，信号的带宽就是幅度比理想方波幅度小3 dB的那个最高频率。沿传输线的每一距离d，可以计算出此处有3 dB衰减的那个频率，这个频率就是这一点的信号带宽，它是传输线的固有带宽，记为BW_{TL}。

在介质损耗占优势的频率区域，可以忽略掉电阻损耗。在某一频率f上，传播距离为d的总衰减为：

$$A_{dB} = \alpha_{diel} \times d = 2.3f \times \tan(\delta)\sqrt{\varepsilon_r} \times d \tag{9.70}$$

其中：

A_{dB}表示总衰减，单位为dB

α_{diel}表示介质引起的单位长度衰减，单位为dB/in

ε_r表示复介电常数实部

d表示传输线长度，单位为in

f表示正弦波频率，单位为GHz

tan(δ)表示材料的耗散因子

传输线的固有带宽BW_{TL}与3 dB衰减的那个频率相对应。用BW_{TL}代替频率f，3 dB代替衰减，则带宽和互连线长度之间的关系为：

$$BW_{TL} = \frac{3dB}{2.3 \times \tan(\delta) \times \sqrt{\varepsilon_r}} \times \frac{1}{d} = \frac{1.3}{\tan(\delta) \times \sqrt{\varepsilon_r}} \times \frac{1}{d} \tag{9.71}$$

其中：

BW_{TL}表示长度为d英寸的互连线的固有带宽，单位为GHz

ε_r表示复介电常散实部

d表示传输线长度，单位为in

f表示正弦波频率，单位为GHz

tan(δ)表示材料的耗散因子

上式表明，互连线越长，带宽就越低，有3 dB衰减的那个频率也越低。同理，耗散因子的值越高，互连线带宽就越低。

理想方波的上升边为0，它的频谱带宽是无限大的。如果对频谱的某种处理使得带宽变窄，上升边将增大，输出结果的上升边RT为：

$$RT = \frac{0.35}{BW} \tag{9.72}$$

其中：

RT表示上升边，单位为ns

BW表示带宽，单位为GHz

对于有损互连线，如果已知由于材料耗散因子形成的带宽，则可以计算出沿传输线传播后波形的上升边：

$$RT_{TL} = 0.35 \times \frac{\tan(\delta) \times \sqrt{\varepsilon_r}}{1.3} \times d = 0.27 \times \tan(\delta) \times \sqrt{\varepsilon_r} \times d \tag{9.73}$$

其中：

RT_{TL} 表示传输线固有上升边，单位为 ns

ε_r 表示复介电常数实部

d 表示传输线长度，单位为 in

f 表示正弦波频率，单位为 GHz

tan(δ)表示材料的耗散因子

例如，FR4 板上的传输线，耗散因子为 0.02，则线长 1 in 的固有互连线上升边约为 0.27 × 0.02 × 2 × 1 = 10 ps。若上升边为 1 ps 的信号输入到这样的传输线中，传播 10 in 后，信号上升边将增加为 100 ps，因为所有的高频分量被介质吸收并转换成热能。

提示　一个粗略的经验法则：沿 FR4 板上传输线传播的信号，它的上升边将以 10 ps/in 的速度增加。

当信号沿传输线传播时，信号的实际上升边将越来越长。固有互连线上升边由线长和叠层材料的耗散因子主导，它是互连线给出的上升边最小值。图9.24列出了多种叠层材料的固有互连线上升边，变化范围从 FR4 的 10 ps/in 到特氟纶一类的小于 1 ps/in。

材料	ε	tan(δ)	固有上升边，ps/in
FR-4玻璃纤维板	4.0~4.7	0.02	10
DirClad材料（IBM）	4.1	0.011	5.4
GETek材料	3.6~4.2	0.013	7
双马来酰亚胺三嗪	4.1	0.013	7
聚酰亚胺玻璃	4.3	0.014	8
氰酸酯	3.8	0.009	4.7
NelcoN6000SI材料	3.36	0.003	1.5
RogersRF35材料	3.5	0.0018	0.9

图 9.24　多种叠层材料的固有互连线上升边，假设它们的带宽仅由介质损耗造成

若输入信号的上升边不是1 ps而是某一更大的 RT_{in}，甚至大到可以和固有互连线上升边相当，这时最终输出的上升边 RT_{out} 与固有互连线上升边的关系式是：

$$RT_{out} = \sqrt{RT_{in}^2 + RT_{TL}^2} \tag{9.74}$$

其中：

RT_{out} 表示互连线输出端的信号上升边

RT_{in} 表示进入互连线的信号上升边

RT_{TL} 表示固有互连线上升边

假设上升边沿为高斯形状，上式给出了上升边的大致近似。图 9.25 示例了上升边约 41 ps 的信号进入 FR4 板上 18 in 长的线中，固有互连线上升边约为 RT_{TL} = 10 ps/in × 18 in = 180 ps，则输出上升边约为：

$$RT_{out} = \sqrt{41^2 + 180^2} = 185\ ps \quad (9.75)$$

事实上，测量出的上升边约为150 ps，与估计值很接近。

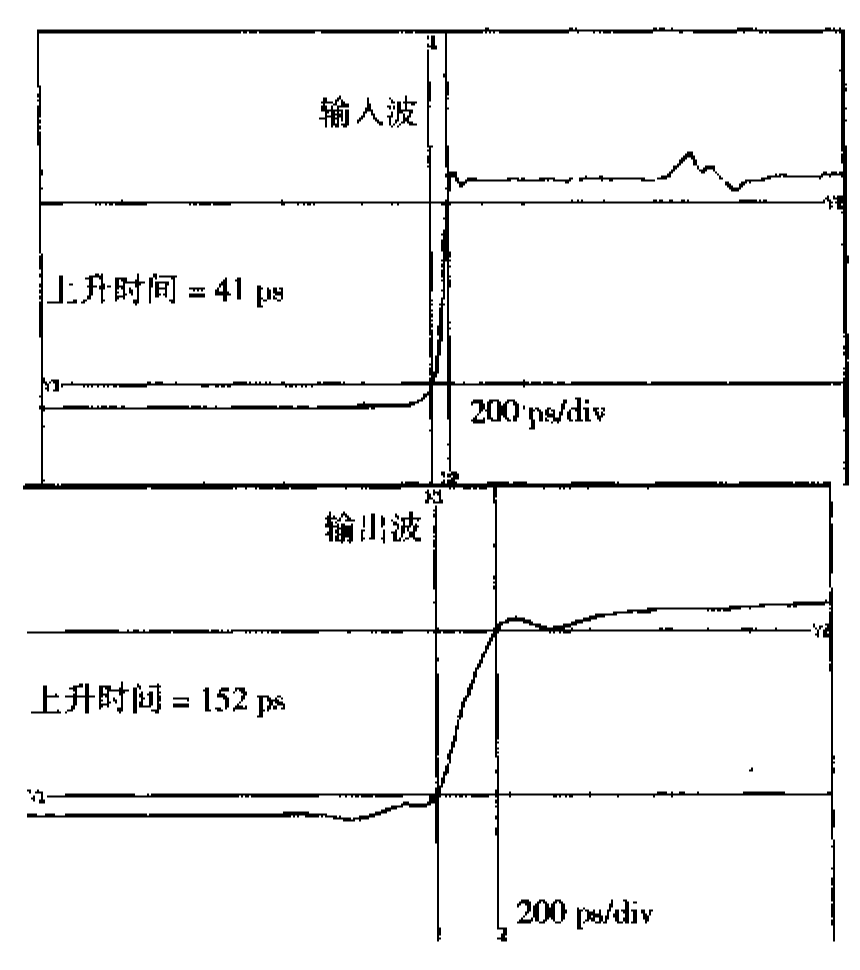


图9.25 通过FR4板上特性阻抗约50 Ω、长18 in线条后所测量的上升边退化情况，由安捷伦 54120 TDR 测量

若固有互连线上升边比输入信号上升边小得多，那么输出信号的上升边就没有改变，大致与输入的相同。输出上升边与输入上升边的相对变化为：

$$\frac{RT_{out}}{RT_{in}} = \sqrt{1 + \left(\frac{RT_{TL}}{RT_{in}}\right)^2} \quad (9.76)$$

若将输出上升边增加25%，则固有上升边必须至少为输入上升边的50%。

提示 为了让有损传输线将信号的上升边退化不超过25%，固有互连线上升边必须小于输入信号上升边的50%。如果信号的初始上升边为100 ps，那么固有互连线上升边应小于50 ps；若高于50 ps，则输出信号上升边将明显增加。

对于上升边退化约为10 ps/in，或0.01 ns/in的FR4板，存在一个简单的经验法则将上升边与互连线长度联系起来，在这一长度，损耗的影响将很重要：

$$RT_{TL} > 0.5 \times RT_{signal} \quad (9.77)$$

$$0.01 \times d > 0.5 \times RT_{signal} \quad (9.78)$$

$$d > 50 \times RT_{signal} \quad (9.79)$$

其中：

RT_{TL} 表示固有互连线上升边，单位为ns/in

RT_{signal} 表示信号上升边，单位为ns

d 表示互连线长度，单位为in，这里损耗的影响是很重要的

例如，若上升边为1 ns，对线长大于50 in的传输线来说，损耗的影响将使上升边退化，并可能引起符号间干扰（ISI）问题。若线长小于50 in，FR4上损耗的影响就不造成问题。但是，若上升边为0.1 ns，对于仅长于5 in的线来说，损耗的影响就要造成问题了。

这说明了大多数尺寸在12 in内的主板，对于典型的1 ns上升边为什么没有发现由损耗造成的问题的原因。但是，对底板来说，其线长大于36 in，且上升边小于0.1 ns，所以损耗经常会主导性能。

提示 这里提出了一个简单的经验法则估计传输线损耗，即FR4板上线长（英寸）大于50×上升边（ns）时，损耗的影响将起着重要的作用。

当然，这个分析仅是粗略的近似。我们假设可以采用10-90上升边来描述输出信号。事实上，由于高频分量渐渐地降低且传输信号实际频谱也发生变化，实际波形的失真过程是很复杂的。

这个描述信号通过有损线后上升边退化的经验法则，只能用来估计出在哪一点有损线特性开始损害信号质量。在这一点，为了准确地预测实际波形和信号质量，应使用有损线瞬态仿真器。

9.14 有损线的时域行为

如果高频分量比低频分量衰减的多，则随着信号的传播，上升边将增加。上升边通常定义为上升边沿从终值的10%到达90%的跳变时间，这里假设信号边沿轮廓看起来有点像高斯状，其中间区域的斜率最大。对于这样的波形，10-90上升边才是有意义和有价值的。

但是，由于有损线上衰减的性质，上升边退化且波形并不是简单的高斯边沿，波形的初始部分要快一些且上升边有一条长尾巴。如果仅用一个10-90上升时间来描述上升边的话，那么我们就会将它曲解成信号达到某个触发电平门限的时刻。在有损区域，采用上升时间的意义不大，它更多的只是经验法则中的一个指标而已。

图9.26示例的是在耗散因子约为0.01的FR4板上，信号通过15 in长的传输线所测得的输入波形和输出波形。输出结果的上升边沿波形并不特别像高斯形状。

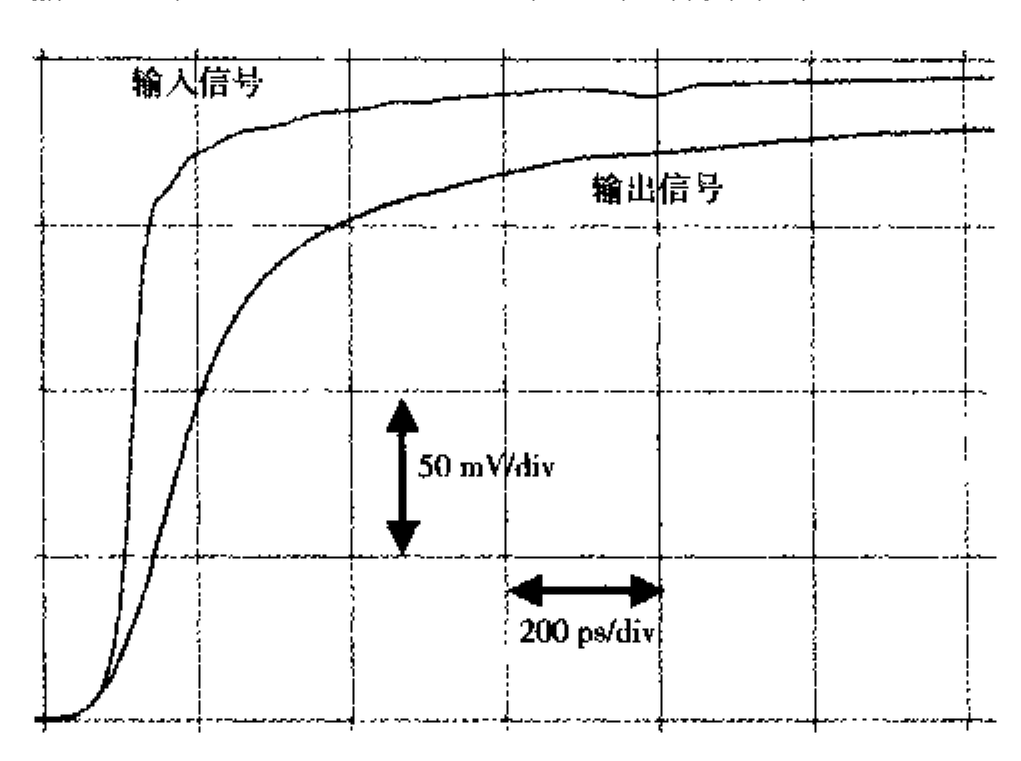


图9.26 信号通过FR4板上特性阻抗约为50 Ω、长15 in的线条时测得的上升边退化。由Doug Brookes提供样本，用安捷伦86100进行测量和TDA Systems IConnect进行分析

对于理想有损传输线，将频域中实际测量的S参数与其模型预测的结果相比较，很明显可以看到，只要给出的材料特性无误，至少到10 GHz以上时这个简单的理想模型工作得非常好。

将理想有损传输线模型用来预测实际传输线的时域性能时，也应该是个很好的模型。此模型的基础就是串联电阻与频率的平方根成正比而并联电导与频率成正比，这正是对大多数实际传输线的反应。

然而，这并不是理想电阻的表现，理想电阻元件随着频率是个常数。如果仅用理想电阻元件表示串联电阻和并联电导，那么时域仿真器将不能准确地仿真出有损传输线效应。如果随频率的变化，电阻是个常数，那么衰减也将是个常数，不存在上升边退化，输出信号的上升边与输入上升边相似，仅是幅度小了点而已。

提示 随着频率的变化，如果一个仿真器的电阻元件模型的阻值是个常数，那么这个仿真器就不能当做有损传输线仿真器使用，因为它将会遗漏影响性能的最重要因素。

用有损线仿真器可以估计出与时间相关的波形。图9.27为使用有损线仿真器仿真的瞬态波形。

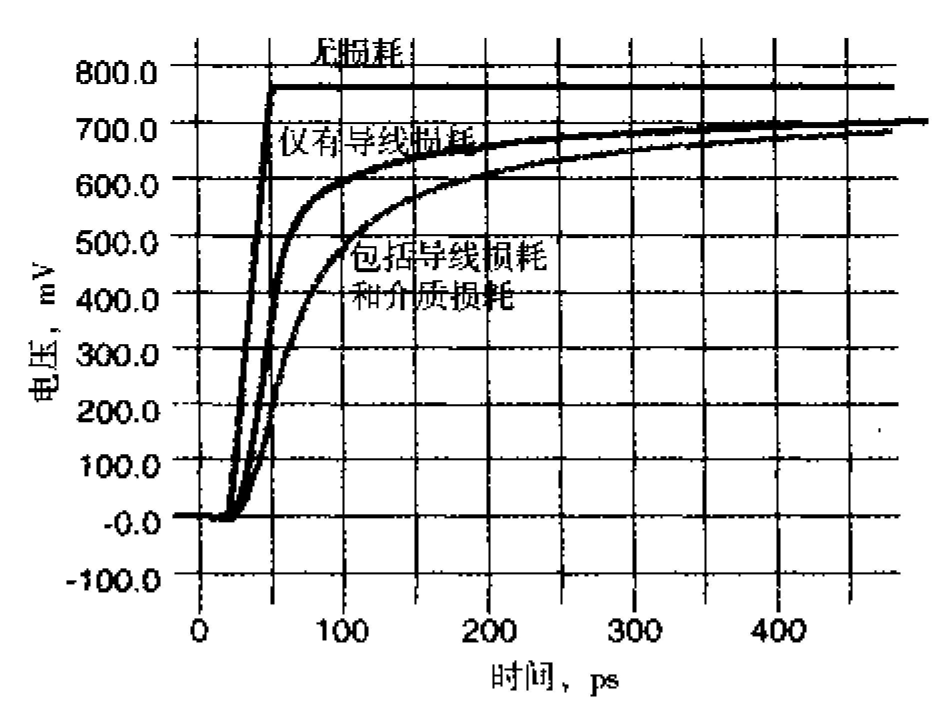


图9.27 输入信号上升边约为50 ps时，在30 in长的传输线输出端仿真的传输信号，其中三条曲线分别为：无损耗、有8 mil宽线条的导线损耗、将导线损耗和耗散因子为0.02的介质损耗二者合并时的上升边退化。此图由Mentor Graphics Hyperlynx仿真得出

如果在1 GHz时钟时选用同一类互连线，远端的输出信号与图9.28所示的情况相近。图9.28将无损耗仿真与传输20 in长、40 in长的有损仿真相比较。

估计有损传输线影响最有效的方法就是显示传输信号的眼图。对于所有的组合，眼图说明了各种位序模式能够被分辨的程度，仿真时用合成的伪随机位序模式传输信号通过互连线。受时钟的同步，每一位都被叠加在先前的某一位上。如果不存在ISI，眼模式就大大地睁开。换句话说，不管先前一位的模式如何，此位将与先前的一位完全一样，其眼图看起来就像同一个周期一样。

由损耗和其他诸如过孔的电容不连续引起的ISI将使眼图塌陷。如果眼图的塌陷程度大于接收机的噪声容限，位错误率将提高并引起错误。

图9.29是对FR4底板上50 Ω、36 in长的线条仿真的眼图，其中分别为无损耗无突变及依次加入导线损耗、介质损耗、线两端各有0.5 pF过孔时的曲线。在这个例子中，线宽为4 mil，仿真激励源的位周期为200 ps，对应于5 Gbps的位率。

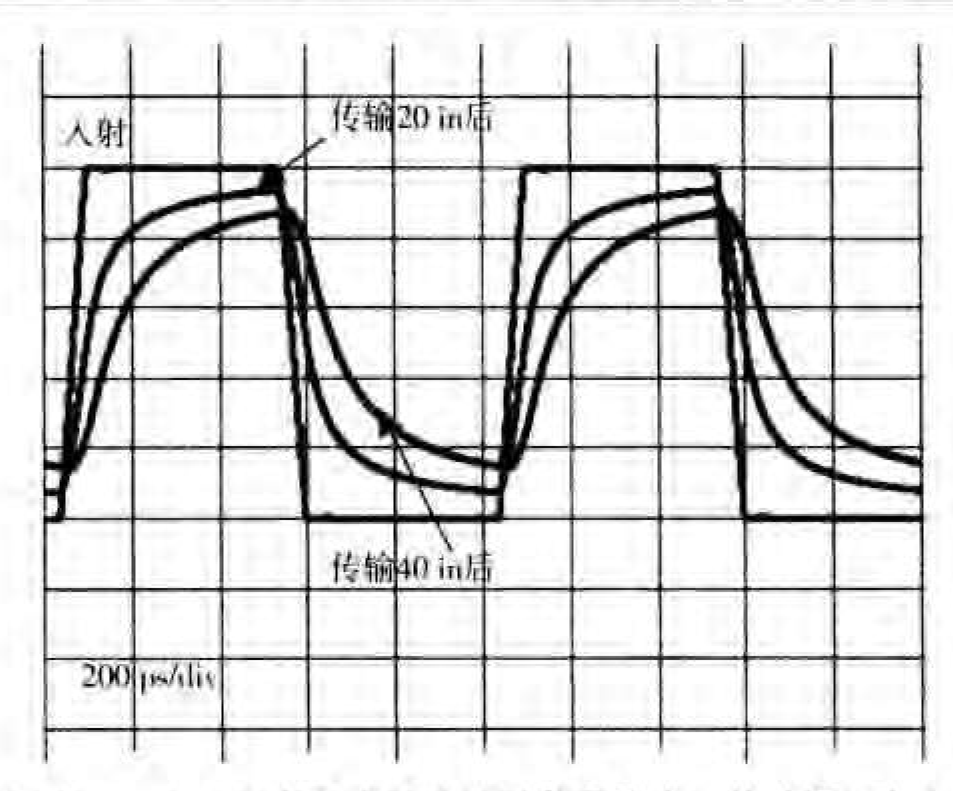


图 9.28　长 20 in、40 in 的传输线输出端的信号仿真，其时钟频率为 1 GHz，线阻抗 50 Ω、线宽 8 mil，介质材料 FR4。同时将这两个信号与假设无损耗时接收的信号做比较。此图由 Mentor Graphics Hyperlynx 仿真得出

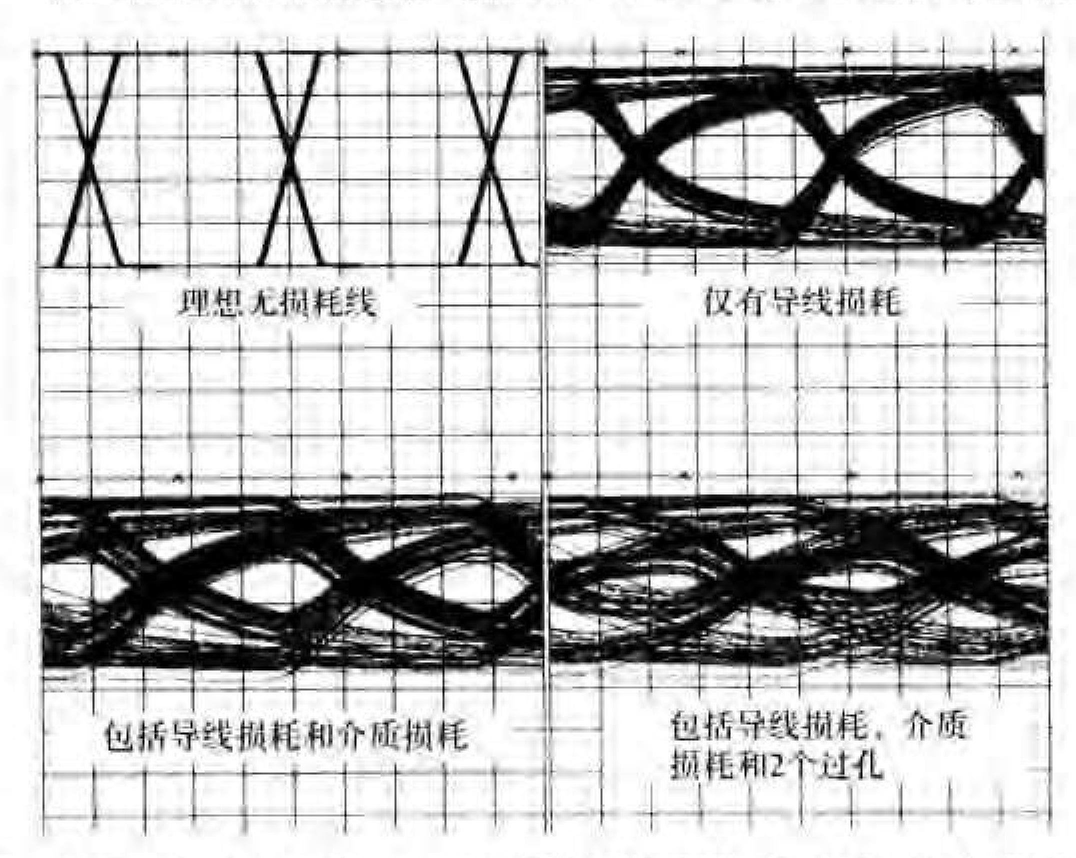


图 9.29　对 FR4 底板上 50 Ω，36 in 线条传输信号输出的仿真，图中分别是无损耗及依次加入导线损耗、介质损耗、线两端各有 0.5 pF 过孔时的曲线

在最后的仿真中包含了损耗和过孔电容负载，眼图闭合程度极大，所以在这一位率的眼图是不能用的。为了得到可以允许的性能，必须改善传输线或者采用信号处理技术以提高眼图睁开的程度。

9.15　改善传输线眼图

在电路板设计中有三个因素影响眼图的质量：

1. 过孔的容性突变；
2. 导线损耗；
3. 介质损耗。

如果关注上升边退化这一问题，上述这些就是影响性能的全部板级要素。

第一步，要将那些敏感的信号线设计成具有最少的过孔，然后优化孔径尺寸、反焊盘出砂孔和捕获焊盘，这是为了将过孔电容与信号/返回路径间的回路电感设法匹配，使得过孔阻抗与传输线阻抗尽量一致。这样可以使上升边最小化，同前面章节中讨论的接插件补偿技术相似.

信号路径与返回路径间过孔的总电容为：

$$C_{via} = \frac{L_{via}}{Z_0^2} \tag{9.80}$$

如果过孔所在的线条特性阻抗为50 Ω，而信号过孔与返回路径的总回路电感为0.3 nH——6层板的典型值，那么过孔的总电容应为 C_{via} = 0.3/2500 = 0.12 pF。此电容应该分布在过孔的顶、底表面之间，然而大多数制成的过孔都大于这个值。

提示 总的来说，按照典型尺寸制作的捕获焊盘顶面、底面，其过孔电容量一般会过大。如果过孔被设计成最小的焊盘加上特大的出砂孔，则过孔将与传输线阻抗匹配得很好，并能够减小上升边的退化。

如果介质厚度允许改变以使线阻抗维持不变，则信号线条宽度就是造成导线损耗和衰减的主导因素。增加线宽将降低导线损耗。要增加线宽，也必须同时加大介质厚度。这种办法常常是不现实的，从而也就限制了可用线条的宽度。

根据所关心带宽的不同，把线变得过宽可能收效甚微，因为介质损耗也许会占到主导地位。图9.30为FR4板上50 Ω线条的线宽对单位长度衰减的影响。如果降低衰减很重要，那么首要目标就是尽可能使用宽度大的线条并避免线宽小于5 mil。但是由于FR4介质损耗的缘故，使线宽大于10 mil并不能很明显地降低衰减。

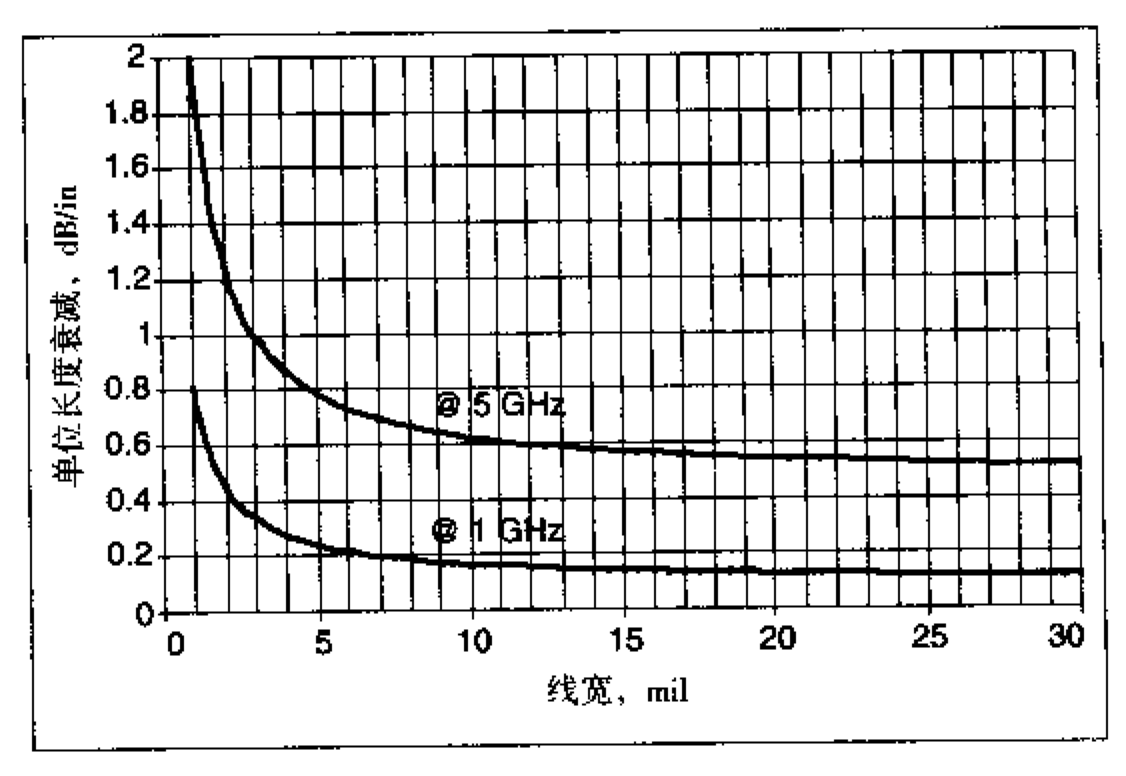


图9.30 FR4板上50 Ω线单位长度衰减。其中为保持阻抗是个常数，随着线宽的增加，介质厚度也随着增加

提示 这表明对于FR4叠层材料上的线条，为了使衰减最小，最优的线条宽度在5 mil到10 mil间。

若将过孔优化并使线宽保持在10 mil以下，则其他能够调节衰减的惟一因素就是叠层材料的耗散因子。图9.31为两条不同耗散因子材料相似的衰减曲线，频率都为5 GHz。从图中可以看出，耗散因子低，其引起的衰减也低，我们再次看到即使对于低损耗叠层材料，随着线宽的

增加也出现了一个衰减减少的转折点。线宽远大于20 mil时，衰减主要由叠层材料决定。这也同时说明，在预测互连线的高速性能时，一个重要因素就是获取材料特性的精确值。

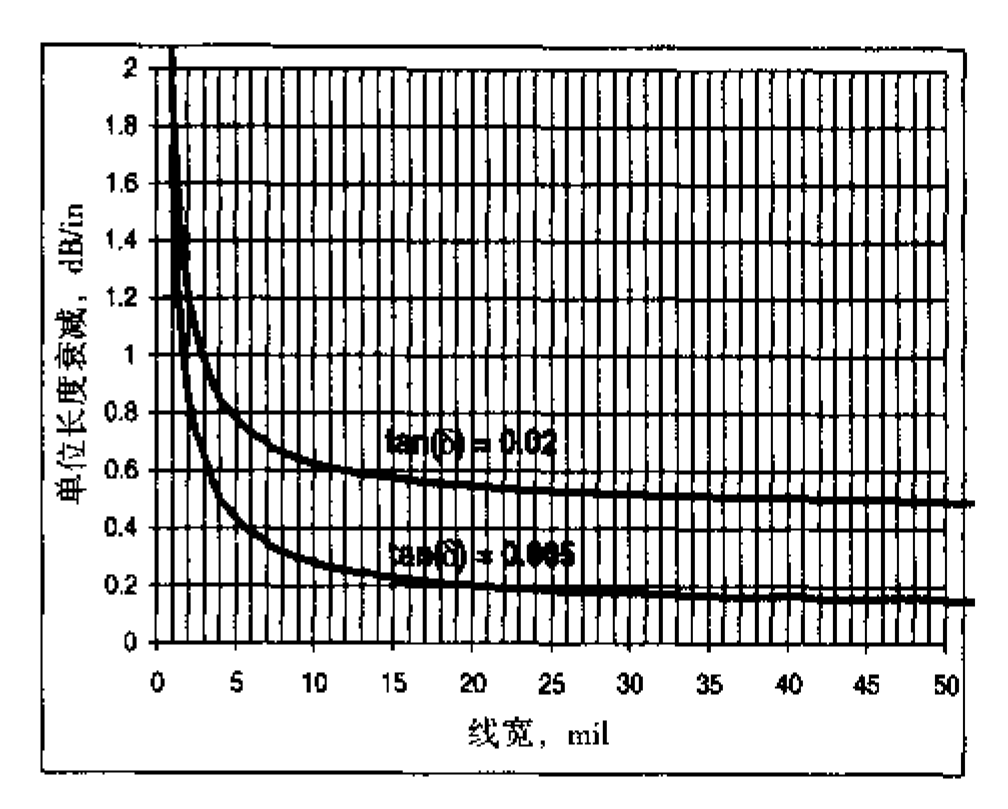


图9.31 对于两种耗散因子不同的材料，随着线宽的增加，50 Ω线上5 GHz时的单位长度总衰减

9.16 预加重和均衡化

若互连线损耗引起眼图闭合，有个诀窍可以使眼图重新睁开。假设输入一个陡峭的阶跃电压通过互连线，则它在互连线中将发生失真。但是如果能够预测到失真的程度，那我们就可以将信号预失真以便当它沿互连线传播后，输出信号会很接近陡峭的阶跃电压。

有两种方法可以使波形失真。具有高频分量的快速上升边比慢速上升边衰减的多。这样，如果我们事先去掉一些低频分量（这一点用简单的滤波器就可以做到），对于远端剩余的那些高频分量而言，频谱就得到了均衡。这种滤出低频分量以便与衰减的高频分量相匹配的做法称之为均衡化。

我们也可以在最初的信号中加入额外的高频分量，以便在边沿达到远端时高频分量衰减得和低频分量保持一致，这被称为预加重。

使用这两种技术都要求互连线失真是可预测和可重复的，这仅在叠层材料特性已知时才是可行的。

9.17 小结

1. 有损传输线的基本问题就是上升边退化，上升边退化引起与位序模式有关的噪声，也称为符号间干扰或ISI。
2. 电路板互连线上与频率有关的损耗包括导线损耗和介质损耗。
3. 信号沿传输线传播时，高频分量比低频分量衰减得多，所以信号上升边增大。这也导致传播信号时带宽的下降。
4. 大约1 GHz时，8 mil线条上的两种损耗是相当的。当频率更高时，介质损耗的增长与频率成正比，而导线损耗与频率的平方根成正比。
5. 频率只要在几兆赫以上时，传输线的特性阻抗和信号速度就不受损耗的影响。

6. 频率高于 1 GHz 时，介质损耗占主导作用，介质的耗散因子是描述材料损耗性能最重要的指标。材料越好，耗散因子越低。FR4 材料的耗散因子为 0.02，它的性能最差。
7. 有损线模型可以非常精确地预测传输线描耗性能，其单位长度串联电阻与频率的平方根成正比，单位长度并联电导与频率成正比。这一模型可以用于分析 ISI。
8. 除材料损耗外，任何阻抗突变（如过孔焊盘）都可以引起上升边退化和 ISI。过孔的主要影响不是由它的电感引起，而是由捕获焊盘的过量电容、过孔孔壁与板内平面间的电容引起。将电容与电感设法匹配可以消除 50 Ω 线上过孔的影响。
9. FR4 的介质损耗对上升边的退化约为 10 ps/in，这是个粗略的经验法则。传输 10 in 后，上升边将增加到 100 ps。

第10章　传输线的串扰

串扰是四类信号完整性问题之一，它是指有害信号从一个网络转移到相邻网络。任何一对网络之间都存在串扰，我们通常把噪声源所在的网络称为动态网络或攻击网络，而把有噪声产生的网络称做静态网络或受害网络。

提示　串扰是发生在一个网络的信号路径及返回路径和另一个网络的信号路径及返回路径之间的一种效应。不仅仅只是信号路径，信号－返回路径这整个回路都是非常重要的。

噪声容限通常占信号电压摆幅的15%，但器件类型不同，具体情况也会不同。在这15%中，大约1/3即信号摆幅的5%是与串扰有关的。如果信号摆幅是3.3 V，则所分配的最大串扰为160 mV。这是最大可容许串扰噪声的一个实例。然而，电路板上一般导线中产生的噪声通常大于信号电压摆幅的5%。所以在设计封装、接插件和电路板级互连时，预测串扰的幅度、确定过量噪声的来源并积接地减小串扰非常重要。随着上升时间越来越短，理解这一问题的起源，设计出串扰较小的互连线越来越重要。

图10.1给出了在某一边有一条传输3.3 V信号的攻击线时，静态线接收器所接收到的噪声。在这个例子中，接收器接收到的噪声大于300 mV。

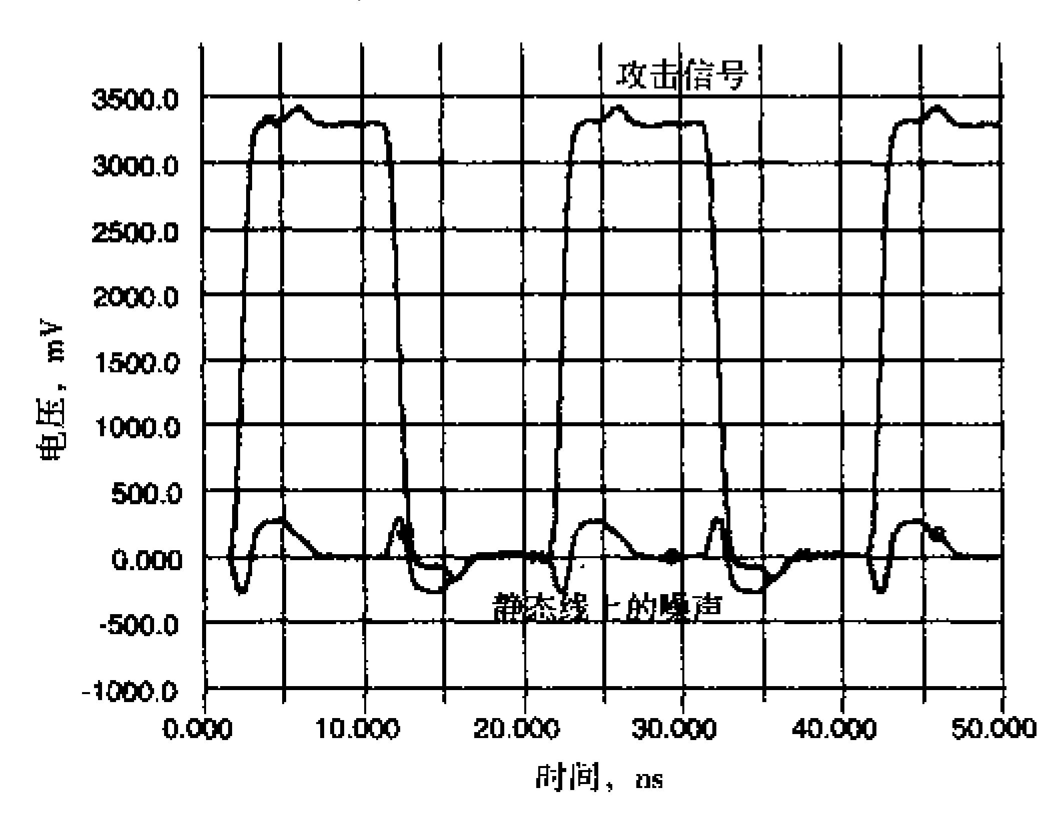


图10.1　当任何一边有一条攻击线时，在静态线上仿真出的串扰。其中线条为FR4具有源端串联端接50 Ω的微带线，线宽和间隔都为10 mil。此图由Mentor Graphics Hyperlynx仿真得到

10.1　叠加

叠加是分析信号完整性的一个重要原则，在研究串扰时它非常重要。叠加是所有线性无源系统（互连是它的子集）的一个性质。它基本上是指在相同网络上的多个信号间互不影响，而且彼此完全无关。所以从动态网络上耦合到静态网络上的总电压与静态网络上原有的电压完全无关。

假设当静态线上的电压为0 V时，3.3 V驱动器在静态线上产生的噪声为150 mV。当有3.3 V驱动器直接驱动静态线时，其上产生的噪声仍是150 mV，这时静态线上的总电压为原有的信号和耦合噪声电压之和。如果有两个动态网络将噪音耦合到同一静态线上，则静态线上的总噪声就是这两个噪声之和。当然如果两条动态线上的电压模式不同，这两个耦合噪声就可能有不同的时间关系。

根据叠加性，如果知道静态线上在没有信号时的耦合噪声，就可以把耦合噪声和线上可能存在的所有信号相加来求得总电压。

一旦静态线上出现噪声，此噪声就和信号一样：受到的阻抗相同，而且在静态线上阻抗突变处它同样会产生反射和失真。

如果静态线的每一边都有一条动态线，并且每条动态线耦合到静态线上的噪声都相同，则每一对线之间的最大可容许噪声为1/2 × 5% = 2.5%。对于总线拓扑结构，所有的攻击线都耦合到静态线，就合成一个最坏情况的耦合噪声。如果将计算出的最坏情况进行分解，就可以给出其中一条线与静态线之间的可容许耦合噪声。

10.2 耦合源：电容和电感

当信号沿传输线传播时，信号路径和返回路径之间将产生电力线，围绕在信号路径和返回路径周围也有磁力线圈。这些场并不是被限制在信号路径和返回路径之间的空间内，相反，它们会延伸到周围的空间。我们把这些延伸出去的场称为边缘场。

提示 FR4中50 Ω微带线的边缘场产生的电容，大约等于那些直接在信号线下方的电力线所产生的电容，这是个经验法则。

当然，距离导线越远的地方，边缘场就迅速下降。图10.2给出了信号路径和返回路径之间的边缘场以及当另一个网络分别在远处和近处时两者之间的相互作用情况。

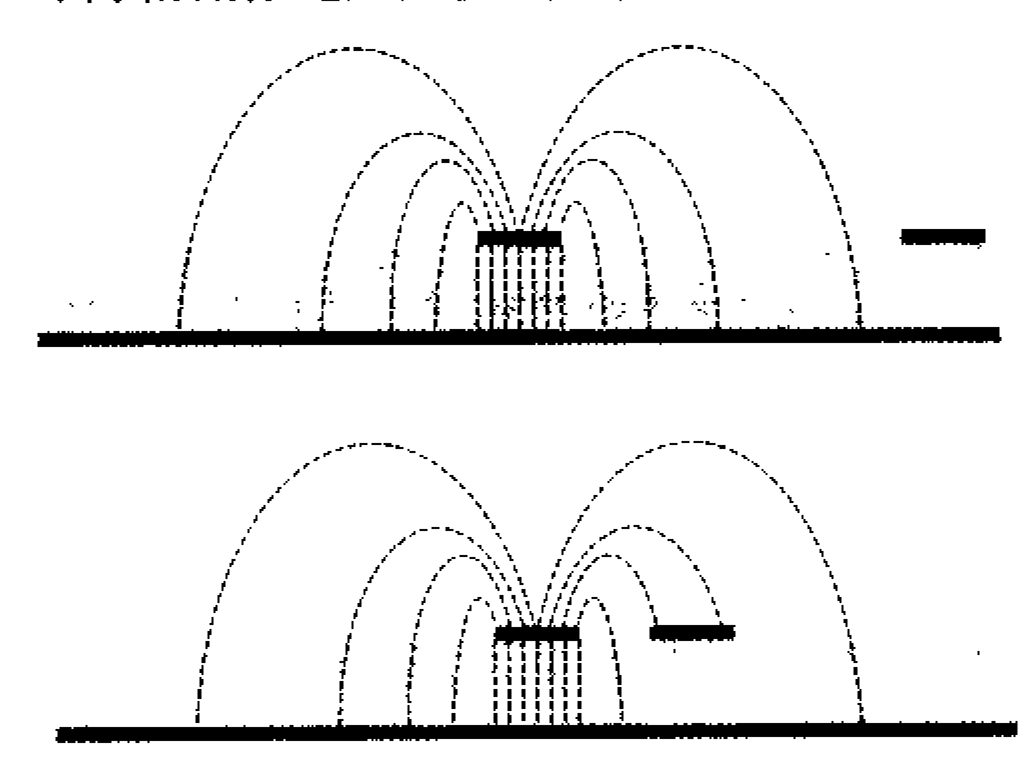


图10.2 信号线周围的边缘场。当另一条导线相距较远时，边缘场耦合和串扰非常小。当这条导线在边缘场附近时，产生的耦合和串扰就很大

如果在一个网络的边缘场仍很强的区域不得不布信号路径和返回路径，则边缘场就会在第二条线上产生噪声。在静态线产生噪声的惟一途径就是动态线上的信号电压和电流发生变

化，而且这也造成电流流过变化的电场和磁场。可以用电容和互感组成的电路模型来描述这种耦合。

提示　边缘场是引起串扰的根本原因。减小串扰的最主要途径就是使网络间的距离足够远，这样可以把它们之间的边缘场减小到可接受的水平。

系统中任何两个网络之间，总会有边缘场产生的容性耦合和感性耦合，把耦合电容和耦合电感称为互容和互感。显然，如果把两个相邻的信号路径和返回路径分开得远一些，那么互容和互感的参数值就会减小。

根据几何结构来预测串扰是评估设计是否满足性能指标的重要步骤。这意味着能够把互连线的几何结构转化为等价的互容和互感，并且建立二者与耦合噪声的关系。

互容和互感都与串扰有关，但是还是要区别考虑。当返回路径是很宽的均匀平面时，如电路板上的大多数耦合传输线，容性耦合电流和感性耦合电流量大约相同。这时要精确地预测串扰量，二者都必须被考虑到。这就是电路板上传输线中的串扰情况，这种噪声有一种特殊的属性。

若返回路径不是很宽的均匀平面，而是封装中的单个引线或接插件中的单个引脚，则虽然依然存在容性耦合和感性耦合，但在这种情况下，感性耦合电流将远大于容性耦合电流。此时，噪声的行为主要由感性耦合电流决定。静态线上的噪声是由动态网络上的 dI/dt 驱动的，它通常在驱动器开关时即信号的上升边和下降边处发生。这就是把这种噪声称为开关噪声的原因。

这两种极端情况要分开考虑。

10.3　传输线上的串扰：NEXT（近端串扰）和 FEXT（远端串扰）

两条相邻传输线上的噪声可以用图10.3所示的结构来测量。信号从传输线的一端输入，远端的端接是为了消除末端反射。而噪声电压是在相邻的静态线两端测量的。将静态线的两端连接到快速示波器的输入通道，这样可以使静态线得到有效的端接。图10.4给出了当快速上升边驱动动态信号线时，在与之相邻的静态线两端测得的电压噪声。此例中，这两条 50 Ω 微带传输线大约 4 in 长，二者的间距与线宽相等，而且每条线的两端都有 50 Ω 端接电阻，因此反射可以忽略不计。



图 10.3　用来测量动态网络和静态网络之间串扰的结构，其中在静态线的远端和近端观察串扰

两端测得的噪声电压形式明显不相同。为了区分这两个末端，把距离源端最近的一端称为“近端”，而离源端最远的一端称为“远端”。这两端也可以用信号传输的方向来定义，即远端是信号传输方向的“前方”，近端是信号传输方向的“后方”。

当传输线两端都有端接而且不存在多次反射时，近端和远端出现的噪声形式都有特殊的形状。近端噪声迅速上升到一个固定值，并且保持这一值的持续时间为耦合长度时延的两倍，然

后再下降。把这个恒定的近端噪声饱和量称为近端串扰（或NEXT）系数。在上面的例子中，入射信号为200 mV，NEXT大约是13 mV，约为入射信号的6.5%。

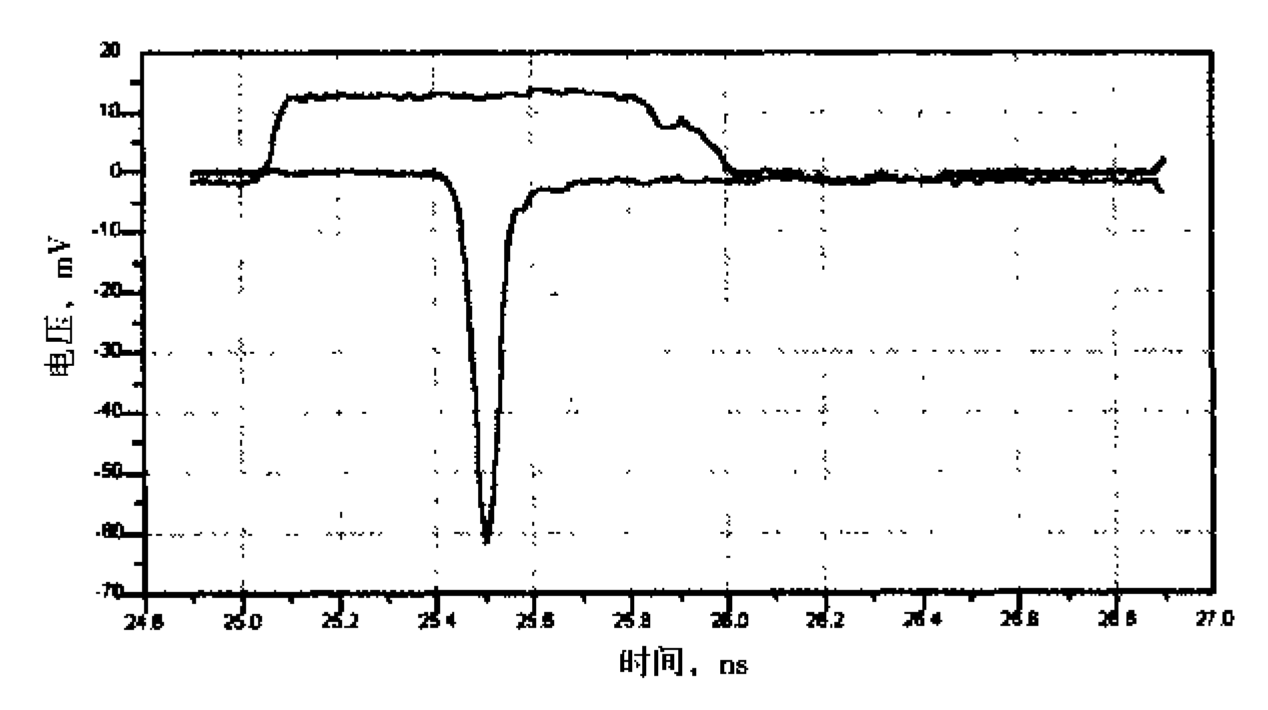


图10.4 当动态线由200 mV、上升时间为50 ps的信号驱动时，在静态线上测得的噪声

NEXT值很特殊，因为是在耦合长度很长并足以使近端噪声达到一个稳定平滑值，而且两端有端接匹配这种特殊情况下把它定义成近端噪声的。只要端接发生变化，近端噪声值就会改变。显然，NEXT的值取决于线条间的距离，减小NEXT的惟一方法就是加大线条间的距离。

和近端相比，远端也有一个明显不同的属性。在信号开始一段时间后才会有远端噪声，它的出现非常迅速，且持续的时间很短。脉冲的宽度就是信号的上升时间，峰值电压称为远端串扰（或FEXT）系数。在上面的例子中，FEXT电压值大约是60 mV，与输入信号电压200 mV相比，FEXT为信号的30%。这是一个很大的噪声。

如果端接不匹配，反射将影响噪声的幅度，这时，虽然仍提及远端串扰，但其幅度不能再称为FEXT，因为这个系数是在端接匹配的特殊情况下测得的。

提示 有三个因素可以减小FEXT：减小耦合长度、增加上升时间和加大线条间的距离

10.4 描述串扰

接述串扰最基本的方法就是运用耦合线的等效电路模型。在预测电压波形时，这个模型使得仿真可以考虑到具体的几何结构和端接情况。通常使用两个不同的模型来模拟传输线上的耦合。

两条线的理想分布式耦合传输线模型描述成一个差分对。对耦合的描述包接奇模阻抗、偶模阻抗和奇模时延、偶模时延，这四项描述了全部的传输线和耦合效应。许多仿真引擎，包括SPICE和行为级的，特别是那些有集成的二维场求解器的引擎，都使用这种模型。这种模型的带宽与理想无损传输线的带宽一样高，而且此模型与差分对的模型相同，我们将在下一章里详细讨论。

另一个不同的、广泛应用于描述耦合的模型是运用n节集总电路模型来近似。在这种模型中，两条传输线都用n节集总电路模型来描述，它们之间的耦合用互容和互感元件来描述，其中一段的等效电路模型如图10.5所示。

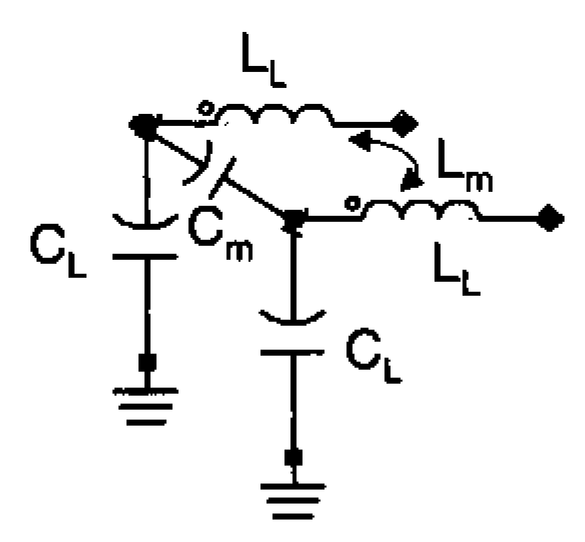


图 10.5　n 节耦合传输线模型其中一节的等效电路模型

当然，n 节集总电路模型只是一种近似。实际上，信号路径和返回路径之间的电容和回路电感沿传输线是均匀分布的。我们把这种分布式行为近似成线长上有规律放置的很小的、分立的集总元件，而且分立的集总元件越小，近似程度就越好。像前面章节所述，所需要的节数取决于要求的带宽和时延，最小节数为：

$$n > 10 \times BW \times TD \tag{10.1}$$

其中：

n 表示精确模型所需 LC 集总电路的最小节数

BW 表示模型的带宽

TD 表示每条传输线的时延

两条耦合传输线可以用两个互不相关的 n 节集总电路模型来描述。如果这两条线是对称的，则两条线中每一节的 C 和 L 的值是相同的。对于这个非耦合模型，需要加入耦合。每节中，耦合电容可以通过在信号路径之间加入电容来表示，耦合电感可以在各个回路电感之间加入互感来表示。

单条传输线是用单位长度电容 C_L 和单位长度回路电感 L_L 来描述，耦合是用单位长度互容 C_{ML} 和单位长度回路互感 L_{ML} 来描述的。对于一对均匀传输线，互感和互容也是沿着两条线均匀分布的。

互容和回路互感都与长度成比例，所以总是使用单位长度互容和单位长度互感。为了记住当中的每一个互容和互感，可以表示成一种基于矩阵的简单形式来描述。

提示　两条耦合传输线的各种问题都可以用四个线参数来描述。当有两条以上传输线时，模型可以直接扩展，但是会变得更加复杂。在任意一对传输线的各节之间都有互容，而且任意一对信号－返回回路的各节之间都有互感。

10.5　SPICE 电容矩阵

对于许多传输线的集合，可以用下标来标记每一条线。举例说明，如果有 5 条线，就用 1~5 来分别标记，按照惯例，把返回路径标记为导线 0。图 10.6 给出了 5 条导线和一个公用返回平面的横截面图。我们首先考虑电容元件，在下一节中再讨论电感元件。

在这个集合中，每对导线之间都有一个电容。每条信号线和返回路径之间都有一个电容，每对信号线之间也都有耦合电容。为了弄清楚这所有的导线对，我们也用下标来标记电容。导

线1和导线2之间的电容记为C_{12}，导线2和导线4之间的电容记为C_{24}，信号路径和返回路径之间的电容记为C_{10}或C_{30}。

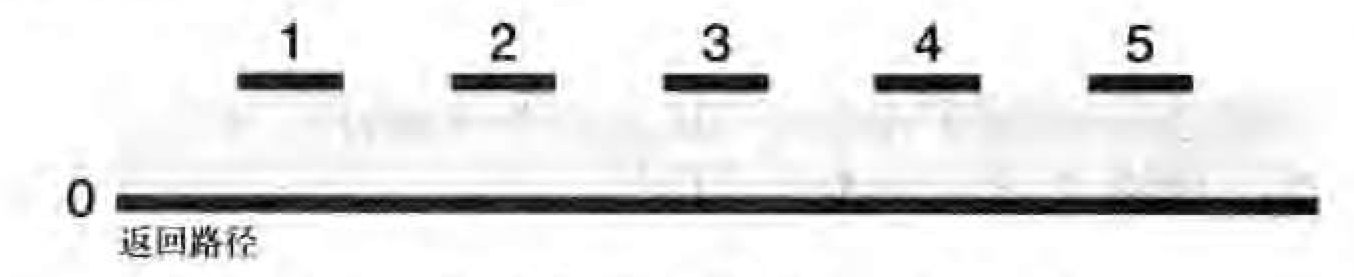


图10.6　5条耦合传输线的横截面图，每一条都用下标标记

为了充分利用矩阵表示形式的有效性，我们对信号路径和返回路径之间的电容标记进行重命名，我们把信号路径和返回路径之间的电容放在矩阵对角线位置上，即用C_{11}来代替C_{10}。诸如此类，其他信号路径和返回路径之间的电容变为C_{22}，C_{33}，C_{44}和C_{55}。由此，得到一个5 × 5的矩阵来标记每对导线之间的电容。等效电路和相应的参数值矩阵如图10.7所示。

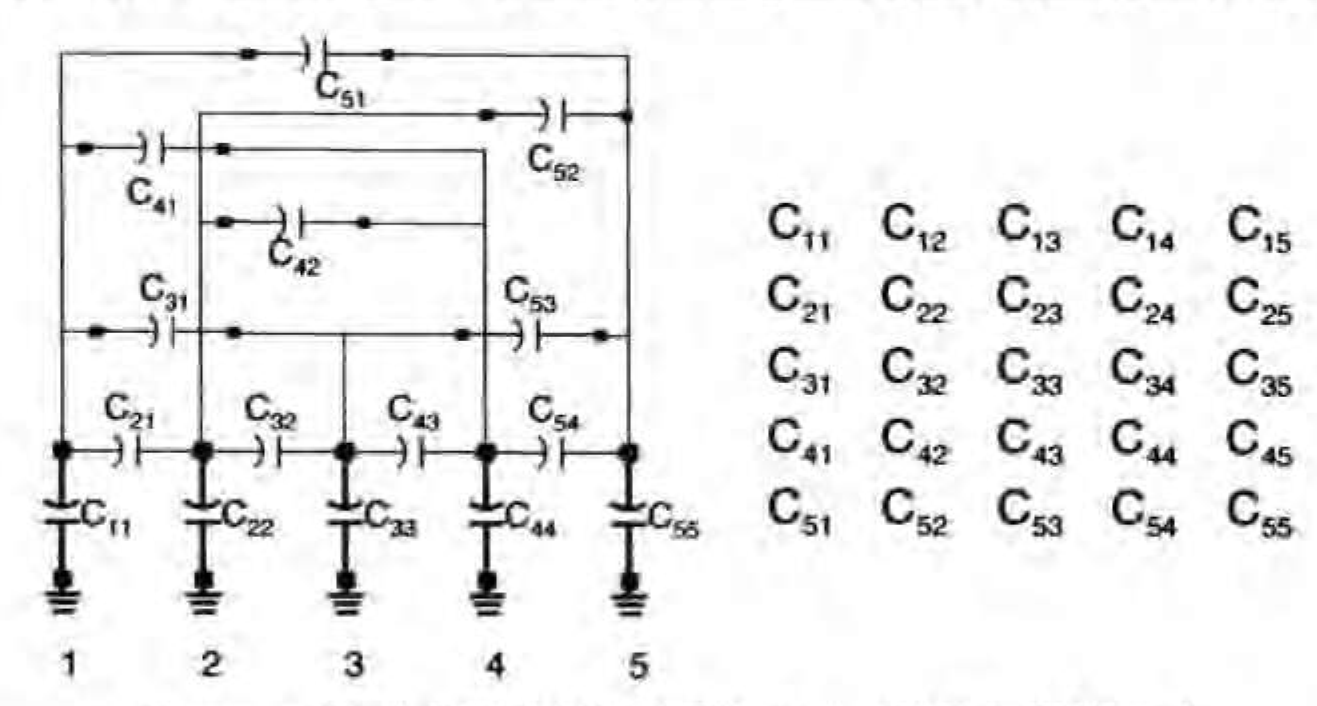


图10.7　5条耦合传输线的等效电容模型和相应的电容参数值矩阵

当然，尽管矩阵中有C_{41}和C_{14}，但它们是指同一个电容值。

提示　*在电容矩阵里，对角线元素是信号路径和返回路径之间的电容，非对角线元素是耦合电容，即互容。对均匀传输线来说，每个矩阵元素都是单位长度电容，其单位通常是pF/in。*

矩阵是一种理解所有电容的简便方法。为了与其他矩阵区分开，通常把这个矩阵称为SPICE电容矩阵。如上所示，用它来存储SPICE等效电路模型的参数值，其中各个矩阵元素表示的是耦合传输线的整个电路模型中的电容量。

所有元素都是单位长度电容。为了构建实际传输线的近似模型，首先应从$n > 10 \times BW \times TD$中确定在集总电路模型中需要多少节LC电路。由传输线的长度Len和所需的节数n，可以计算出每节的长度：每节长度 = Len/n。所以每一节的电容量就是单位长度电容的矩阵元素乘以每节长度。例如，每节的耦合电容为$C_{21} \times Len/n$。

电容矩阵元素的实际值可以通过计算或测量得到，很少有非常精确的近似。人们宁愿使用一些经验法则。如果要求耦合电容的精度较高时，应当使用二维场求解器。许多场求解器工具都可以买到，它们易于使用并且很精确。用二维场求解器来计算一组5条微带线的SPICE电容矩阵，其结果如图10.8所示。

1	2	3	4	5
2.812	0.151	0.016	0.008	0.005
0.151	2.682	0.149	0.016	0.008
0.016	0.149	2.675	0.149	0.017
0.008	0.016	0.149	2.684	0.151
0.005	0.008	0.017	0.151	2.813

图10.8　5条耦合传输线和使用Ansoft的 SI2D场求解器工具计算的SPICE电容矩阵，电容单位为pF/in，线宽和线间距各为5 mil

有时仅凭观察数字，很难确切地感受这些电容矩阵元素值的大小以及越远越小的情况。但是，矩阵可以画成三维图的形式，如图10.9所示，其中垂直轴表示电容的幅值。乍一看，发现对角线元素的值几乎相同，而非对角线元素下降得非常快。

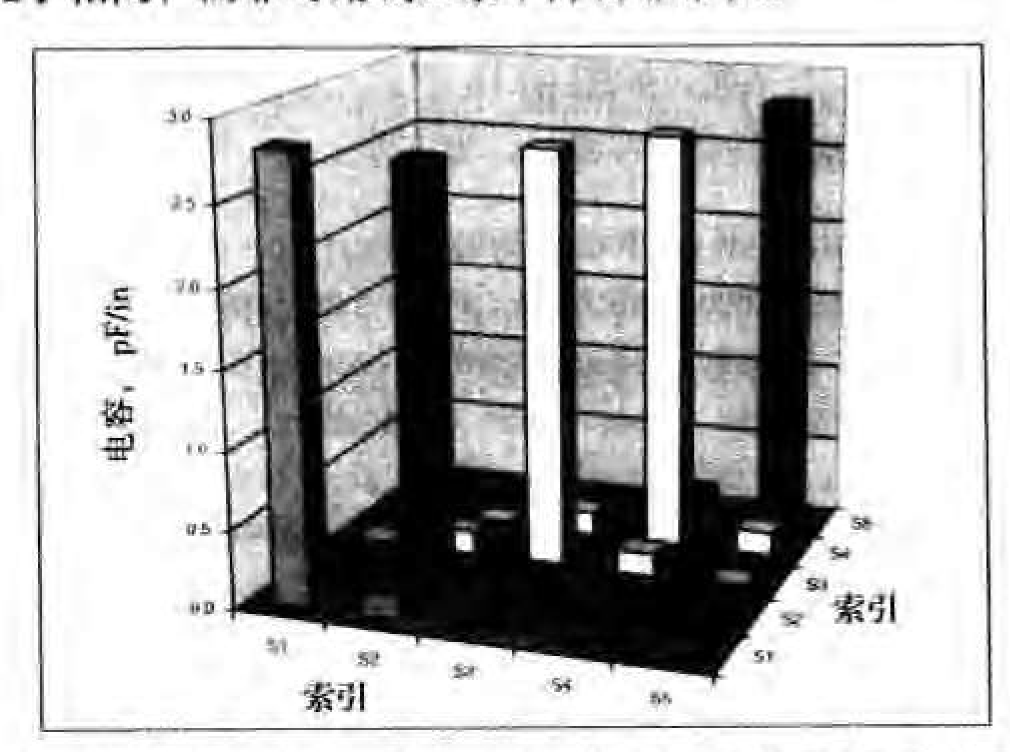


图10.9　SPICE电容矩阵元素图，图中说明非对角线元素下降得非常快

在这个特殊例子中，导线为50 Ω微带线，线宽和线间距各为5 mil，使它们尽可能靠近。我们看到，相对于导线1和导线2之间的耦合，导线1和导线3之间的耦合是可以忽略的。导线间隔越远，非对角线元素的下降就越快。

SPICE电容矩阵的各个元素都是等效电路模型中电路元件的参数值，所以每个元素值都是对两条导线之间容性耦合量的直接度量。例如，对于给定的dV/dt，电容值直接决定了一对导线之间的容性耦合电流。矩阵元素越大，容性耦合越大，两条导线之间的边缘场越强。

提示　在耦合传输线上，常常将非对角线元素的大小与对角线元素做比较。在上面的5条50 Ω耦合线例子中，线间距等于线宽（可制造的最小间隔），相邻线间的相对耦合约为5%，相隔一条导线的两条导线之间的相对耦合则小于0.6%。这是一些很有价值的经验值。

对于给定的导线配置，电路模型本身不会改变。导线间的物理配置将影响参数值。很明显，如果把两条导线分开得远一些，参数值就会减小。

如果改变导线的宽度，首先，它将影响到这条线对应的对角元素，以及这条线与两边相邻线之间的耦合。其次，它也将影响两边其他导线之间的耦合。验证这些的惟一方法就是使用二维场求解器。

10.6 Maxwel 电容矩阵和二维场求解器

遗憾的是，电容矩阵不止一种，这产生了混淆。在前面我们介绍了SPICE电容矩阵，它的元素是耦合传输线等效电路模型的参数值。还有一种是场求解器计算出来的电容矩阵，称为Maxwell（麦克斯韦）电容矩阵。尽管它们都叫电容矩阵，但各自的定义是不同的。

场求解器是用来求解在一组具体边界条件下的一个或多个麦克斯韦方程的工具。假设给出一组导线的电路拓扑结构，其所有的参数值都可以从它的场中计算出来。为得到一组导线的电容量，我们需要求解的方程就是拉普拉斯方程，其最简单的微分形式为：

$$\nabla^2 V = 0 \tag{10.2}$$

这个微分方程要在具体的边界条件和介质材料情况下来求解。通过求解这个方程，可以计算出空间中每一点的电场。

例如，假设这里有一组5条导线，如图10.10所示。导体0定义为参考地，并且总是保持在0 V电位。则计算每一对导线之间的电容时，分六步：

1. 在导线k设置为1 V电位，其他导线设为0 V。
2. 在这种边界条件下，求解拉普拉斯方程，得出空间中每一点的电位。
3. 一旦求解出电位，由下式计算出每条导线表面的电场：

$$E = -\nabla V \tag{10.3}$$

4. 对电场积分，计算出每条导线上的总电荷：

$$Q_j = \oint_j E \bullet da_j \tag{10.4}$$

5. 知道了每条导线上的电荷，由Maxwell电容矩阵的定义，计算出电容：

$$C_{jk} = \frac{Q_j}{V_k} \tag{10.5}$$

6. 然后依次在每条导线上重复这一过程。

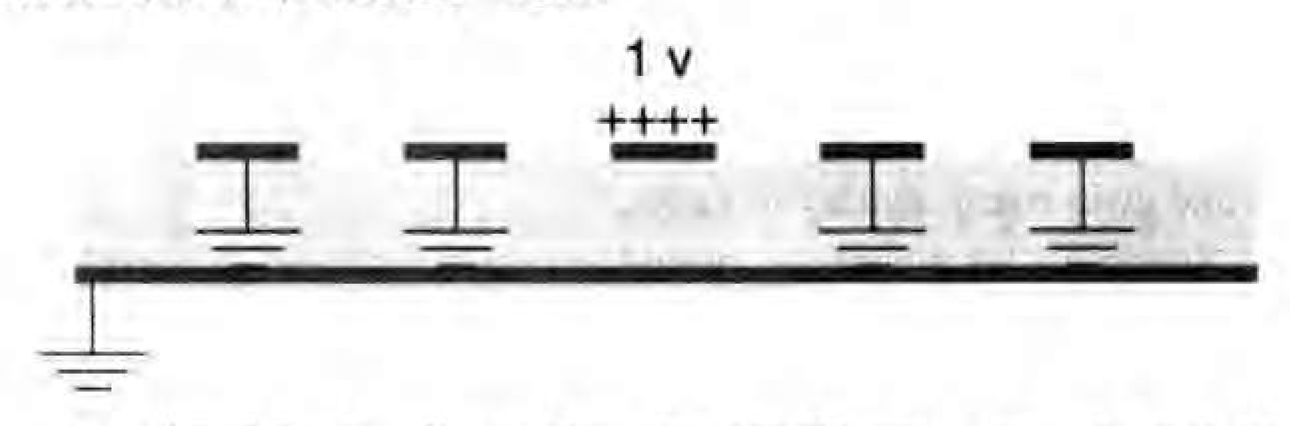


图10.10 建立一个传输线集合，并用二维场求解器来求解拉普拉斯方程，从而计算出电容矩阵

Maxwell电容矩阵元素的定义与SPICE电容矩阵元素的定义不同。SPICE电容矩阵元素是相应的等效电路模型的参数值，而且在给定dV/dt时，各个元素值是每对导线之间流动的容性耦合电流量的直接度量。

Maxwell电容矩阵元素实际上是根据下式定义的：

$$C_{jk} = \frac{Q_j}{V_k} \tag{10.6}$$

当一条导线的电位为1 V，而其他所有的导线都接地时，两条导线之间的电容矩阵元素就是对其中一条导线上的额外电荷的度量。这是一种非常特殊的情况，很容易引起混淆。

假设是导线3的电位为1 V，其他导线电位均为0 V。这需要在导线3上加入一些正电荷，使其相对于地的电位为1 V。这些正电荷将吸引一些负电荷到附近的导线上，而这些负电荷是从导线连接的地上传出来的。被吸引到相邻导线上的电荷量是对电位为1 V的那条导线的容性耦合的度量。电荷分布如图10.11所示。

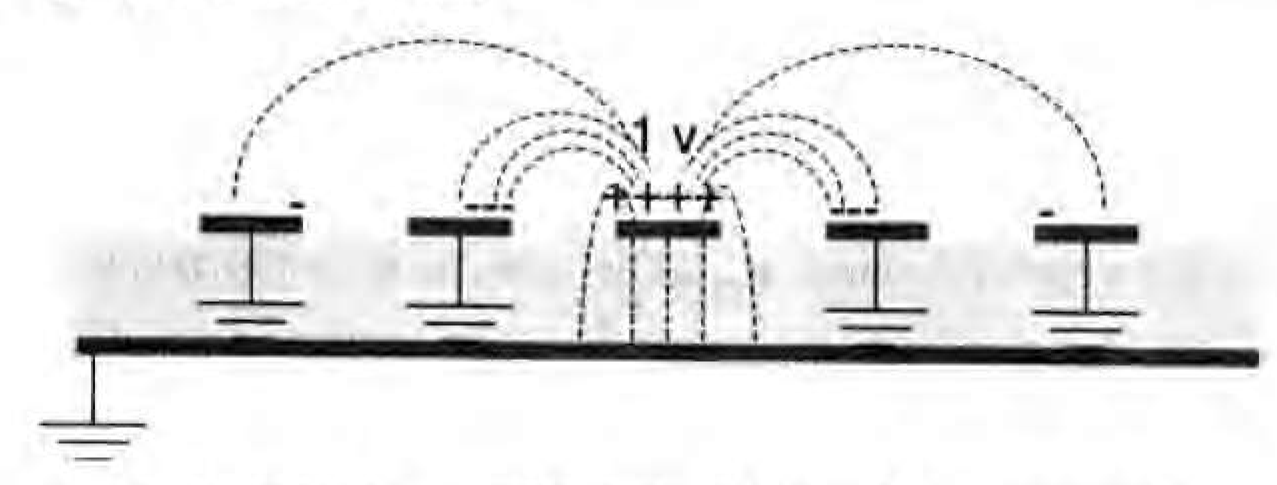


图10.11 导线3为1 V而其他导线都接地时，5条导线上的电荷分布

由Maxwell电容矩阵的定义看出，导线3和参考地之间的电容，即对角线元素，是导线3上的电荷Q_3和其上的电压$V_3 = 1\ V$的比值，其中这里所说的电荷是指其他导线都接地时导线3上的电荷。这个电容通常称为导线3的负载电容。

$$C_{33} = \frac{Q_3}{V_3} = C_{loaded} \tag{10.7}$$

提示 Maxwell电容矩阵的对角线元素是每条导线的负载电容，它不仅仅是导线与返回路径即地参考之间的电容，而且是指导线与返回路径以及其他所有与地相连导线之间的电容。这和SPICE电容矩阵的对角线元素不同，后者只包括导线和返回路径之间的耦合，而不包括与其他信号路径之间的耦合。

负载电容通常比SPICE对角线电容大。

当在导线3上加入正电荷使其电位上升到1 V时，其他导线上感应的电荷为负的。尽管其他导线是零电位，但由于与1 V导线的耦合，它们将有相同的净负电荷。

根据Maxwell电容矩阵的定义，导线3和导线2之间的非对角线元素为：

$$C_{23} = \frac{Q_2}{V_3} \tag{10.8}$$

提示 因为导线2上的感应电荷为负的，而且其他导线上的感应电荷也都为负的，所以各个非对角线元素的值都为负值。

负号表示当导线3的电位为1 V时，导线2上的电荷为负电荷。

图10.12为一组5条微带线的Maxwell电容矩阵。初看来，感觉电容为负值很奇怪。那么负电容表示什么呢？这还是电容吗？实际上，它们的符号为负是因为它们不是SPICE电容矩阵元素值，而是Maxwell电容矩阵元素，并且Maxwell电容矩阵元素的定义和SPICE电容矩阵元素值的定义是不同的。

1	2	3	4	5
2.992	-0.151	-0.016	-0.008	-0.005
-0.151	3.005	-0.149	-0.016	-0.008
-0.016	-0.149	3.006	-0.149	-0.017
-0.008	-0.016	-0.149	3.007	-0.151
-0.005	-0.008	-0.017	-0.151	2.994

图10.12　5条靠得很近的50 Ω传输线的Maxwell电容矩阵，由Ansoft的SI2D场求解器计算得出

大多数商用求解器的输出一般为Maxwell电容，这通常是因为写代码的软件开发者并不真正了解最终用户的应用，没有意识到大多数信号完整性工程师更希望看到SPICE电容矩阵元素。Maxwell电容矩阵本身没有错，但它不是工程师所希望见到的第一选择。

从一种矩阵转化到另一种矩阵非常容易。非对角元素非常相似，只是符号不同：

$$C_{ij}(\text{SPICE}) = -C_{ij}(\text{Maxwell}) \tag{10.9}$$

对于给定的dV/dt，非对角线元素与两条导线间耦合的电力线数有关，也与两条导线之间流动的容性耦合电流直接相关。

然而，对角元素更复杂些。Maxwell电容矩阵的对角线元素是每条导线的负载电容，而SPICE电容矩阵的对角线元素是指某条导线和其返回路径之间的电容，它仅计算了信号路径和返回路径之间的耦合。基于这一比较，Maxwell和SPICE电容矩阵的对角线元素可以由下式转换：

$$C_{jj}(\text{Maxwell}) = \sum_{i} C_{ij}(\text{SPICE}) \tag{10.10}$$

$$C_{jj}(\text{SPICE}) = \sum_{i} C_{ij}(\text{Maxwell}) \tag{10.11}$$

确定场求解器使用的是哪种矩阵的最简单方法就是查看是否有负号。如果有负号，则使用的是Maxwell电容矩阵。

在这两种矩阵中，非对角线元素是信号线间的耦合程度以及形成线间耦合边缘场强度的直接度量。间距越大，两条线条之间的边缘场电力线就越少，耦合程度也越小。在两种矩阵中，两条导线之间加入任何导体都将影响到导线之间的电力线，并将反映到矩阵元素值中。

各个矩阵元素都与其他导体的存在有关。例如，对于两条导线及其返回路径，其中某一条导线的SPICE对角元素C_{11}必将与相邻导线的位置有关，C_{11}是导线1和它的返回路径之间的电

容。如果把相邻导线再靠近些，它将分流一些导线1和其返回路径之间的边缘电力线，使得C_{11}减小，如图 10.13 所示。

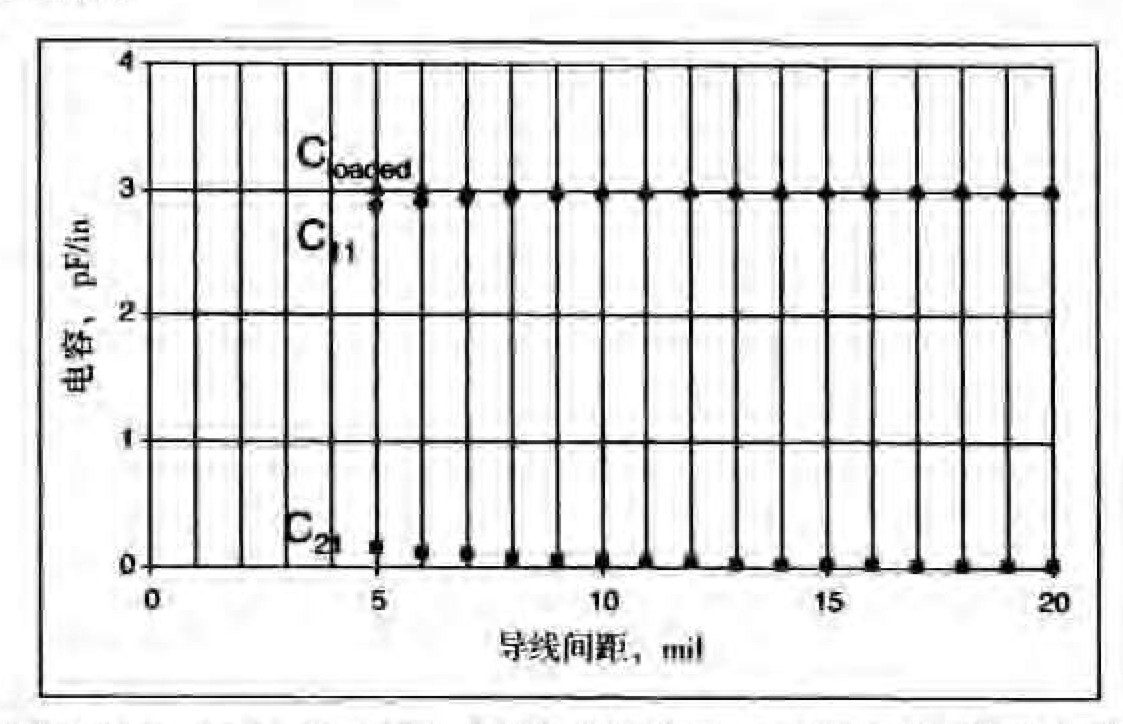


图 10.13　随着两条5 mil宽、50 Ω 导线之间距离的增加，SPICE电容矩阵对角线元素和非对角线元素以及导线1的负载电容的变化情况。此图由 Ansoft 的 SI2D 场求解器仿真得到

导线1的负载电容是对信号线和其他所有导线之间的边缘场电力线的度量，所以当导线更近时，它不会有很大的改变。只要不是从导线1到返回路径的电力线，即使被导线2分流，也只是被看成是导线1和导线2之间新的电力线。当间距大于两条线的宽度或者是介质厚度的4倍时，相邻导线的存在对 SPICE 电容矩阵对角元素的影响非常小。

非对角元素也与几何结构和其他导线的存在有关。如果间距增大，非对角线元素就会减小。同样，如果在两条导线之间加入另一条导线，则第3条导线将获得前两条导线之间的一些电力线，所以 SPICE 电容矩阵非对角元素的值将会减小。

图 10.14给出了三种几何结构和对应的SPICE电容矩阵元素。上述三种情况中，信号路径都为 5 mil 宽，阻抗约为 50 Ω。

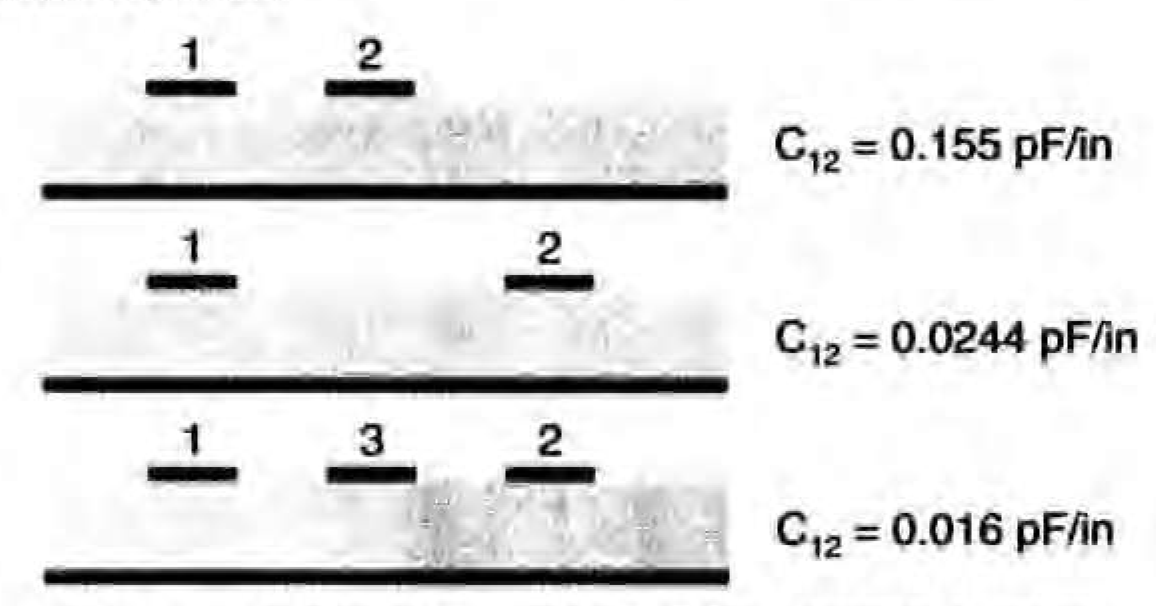


图 10.14　三种几何结构及其对应的两条信号线间的电容矩阵元素，其中在两条导线之间加入金属使容性耦合减小35%

提示　当间距也是 5 mil 时，耦合电容是 0.155 pF/in，这大约是对角线元素 2.8 pF/in 的 5%。若间距增加到 15 mil，即为线宽的三倍时，容性耦合是 0.024 pF/in，其为对角线元素的 0.9%。如果把另一条 5 mil 宽的导线加到两者中间，则外侧的两条导线之间的耦合电容减小到 0.016 pF/in，即为对角线元素的 0.6%。

在两条信号线之间加入一条导线可以减小两者之间的互容，这是使用防护布线的基本原理，我们将在这一章的后面详细讨论。当然，我们只考虑了一种耦合，这里同样也应该考虑感性耦合。

10.7 电感矩阵

就像电容矩阵用来存储许多信号路径和返回路径的所有电容量一样，我们也需要一个矩阵来存储许多导线的回路自感和回路互感的值。我们要牢记，这里的电感元件是回路电感。当信号沿传输线传播时，电流回路沿信号路径传输，然后立即从返回路径返回。这个电流回路在信号的跳变边沿附近感受到回路电感。当然，回路自感与信号路径和返回路径的局部自感及它们之间的互感有关，如下式所示：

$$_{loop} = L_{self\text{-}signal} + L_{self\text{-}return} - 2 \times L_{mutual} \tag{10.12}$$

其中：

L_{loop} 表示传输线的单位长度回路电感

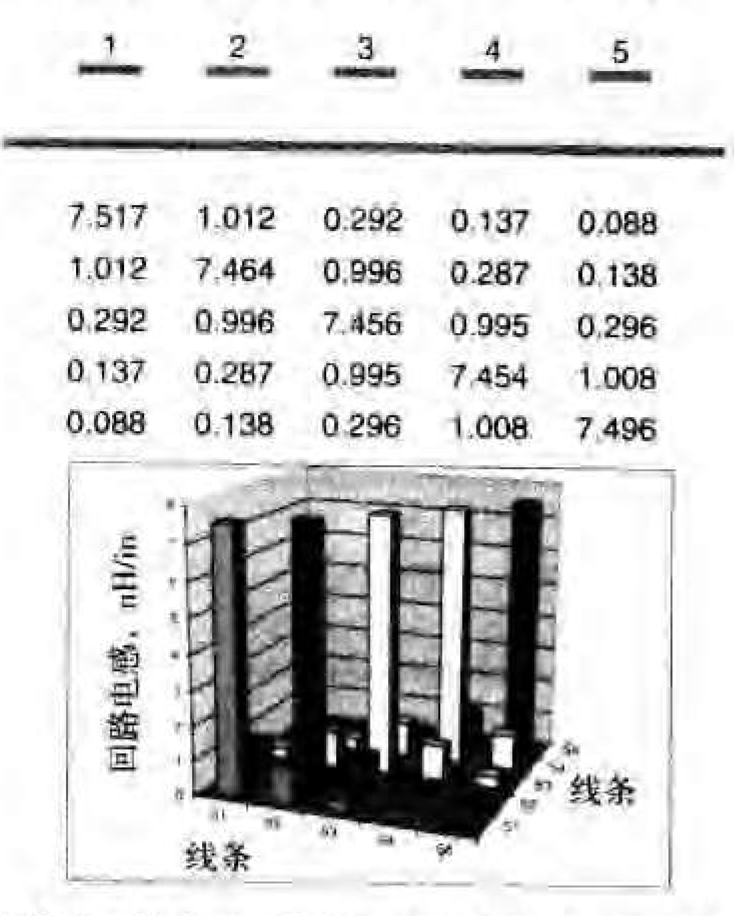
$L_{self\text{-}signal}$ 表示信号路径的单位长度局部自感

$L_{self\text{-}return}$ 表示返回路径的单位长度局部自感

L_{mutual} 表示信号路径和返回路径之间的单位长度局部互感

在电感矩阵里，对角线元素是信号路径和返回路径的回路自感，非对角线元素是每对信号路径和返回路径之间的回路互感，它们的单位是单位长度电感量，通常为 nH/in。

图 10.15 所示为前面提到的一组 5 条微带线的电感矩阵。做出三维图时，回路电感矩阵描绘出了电感的基本性质。对角线元素，即每条导线和其返回路径的回路自感，基本上都相同。两条导线的距离较近时，非对角线元素即回路互感就迅速下降。



7.517	1.012	0.292	0.137	0.088
1.012	7.464	0.996	0.287	0.138
0.292	0.996	7.456	0.995	0.296
0.137	0.287	0.995	7.454	1.008
0.088	0.138	0.296	1.008	7.496

图 10.15 5条传输线的横截面，其中阻抗均为 50 Ω，线宽和间距均为 5 mil。它们的电感矩阵以及 Ansoft 的 SI2D 场求解器取得的矩阵元素值

电容矩阵和电感矩阵合起来就包含了一组传输线间耦合的全部信息。根据这些值，可以计算出两条或更多条导线之间各种情况下的串扰。可以建立SPICE等效电路模型来仿真一组耦合传输线的行为。

提示 这两个矩阵包含了多条传输线之间耦合的所有基本信息。

10.8 均匀传输线上的串扰和饱和长度

两条耦合传输线的C矩阵和L矩阵是简单的2 × 2矩阵。矩阵中的非对角元素分别表示了互容和互感。要理解静态线上噪声的产生，特别是近端噪声和远端噪声的特征，最简单的方法就是沿着导线观察耦合到每一段上的噪声。

假设有两条50 Ω微带线，沿线存在着一些耦合。另外，我们在线的两端接上等于其特性阻抗50 Ω的端接，这样可以消除反射带来的各种影响。等效电路模型如图10.16所示。

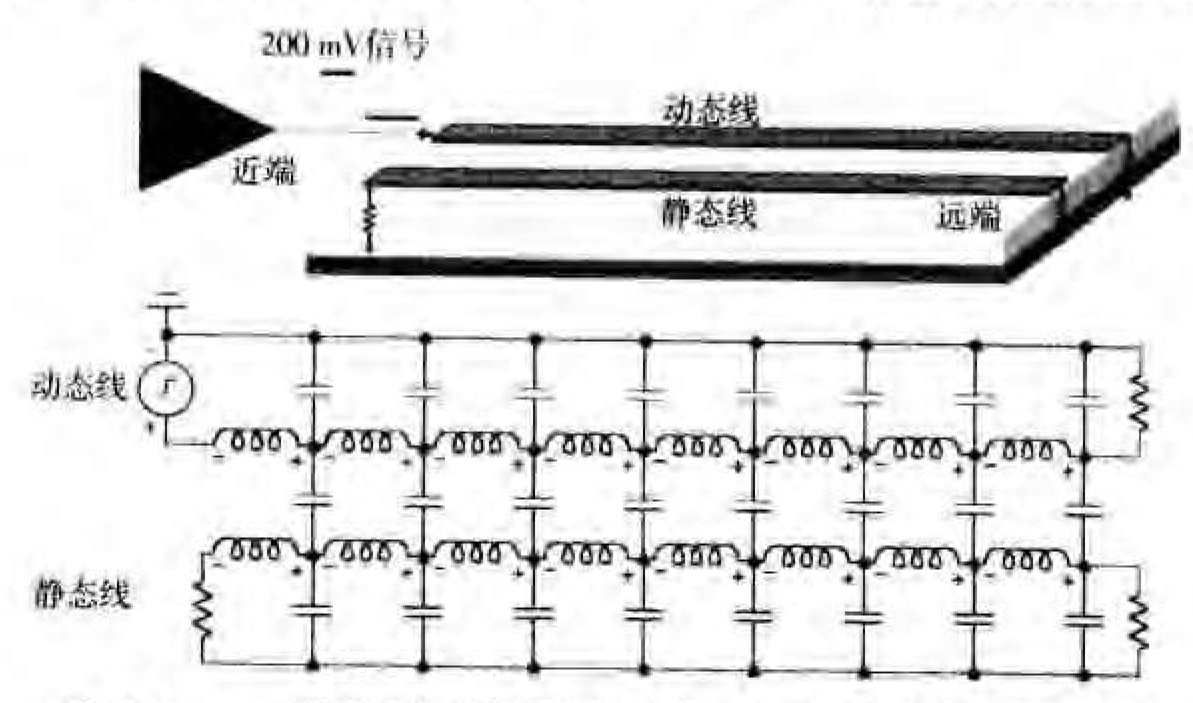


图10.16 一对紧耦合传输线和用n节集总电路近似的等效电路模型

当信号沿动态线传播时，它将感受到连接到静态线的互容和互感。噪声电流从动态线流到静态线上的惟一途径就是通过这些元件，电流流经电容，或者在互感中产生感应电流的惟一条件就是电压或电流是否发生变化。

提示 当信号沿着动态线传播时，仅在信号边沿附近的特殊区域，即存在dV/dt或dI/dt的区域，才有耦合噪声电流流到静态线上。导线上除此之外的任何地方，电流和电压都为常数，所以不会出现耦合噪声电流。

图10.17说明了这一点。如果信号前沿是在上升时间RT时间段线性增加，则噪声近似与V/RT和I/RT成正比。



图10.17 在信号前沿处，电压或电流发生变化，只在这个区域中有耦合噪声电流从动态线流到静态线上

信号前沿可以看做是沿导线移动的电流源。在每一时刻，流经互容的总电流为：

$$I_C = C_m\frac{dV}{dt} \quad (10.13)$$

其中：

I_C 表示从动态线流到静态线上的容性耦合噪声电流

V 表示信号电压

C_m 表示上升时间的空间延伸长度上的耦合互容

总的耦合电容就是上升时间空间延伸长度上的电容：

$$C_m = C_{mL}\times\Delta x = C_{mL}\times v\times RT \quad (10.14)$$

其中：

C_m 表示上升时间的空间延伸长度上的耦合互容

C_{mL} 表示单位长度互容（C_{12}）

Δx 表示信号前沿沿动态线传播时的空间延伸

v 表示信号传播速度

RT 表示信号上升时间

注入到静态线上的瞬时容性耦合电流总量为：

$$I_C = C_{mL}\times v\times RT\times\frac{V}{RT} = C_{mL}\times v\times V \quad (10.15)$$

其中：

I_C 表示从动态线流到静态线上的容性耦合噪声电流

C_{mL} 表示单位长度互容（C_{12}）

v 表示信号传播速度

RT 表示信号上升时间

V 表示信号电压

仅在动态线的信号前沿处，才有容性耦合电流从动态线注入到静态线上。令人惊讶的是，耦合噪声电流总量与上升时间无关。上升时间越快，则dV/dt越大，所以可能认为容性耦合电流也越大。但是，上升时间越快，存在dV/dt的耦合线区域越短，并且用来耦合的电容就越小。所以容性耦合电流只与单位长度互容有关。

通过同样的分析，静态线上互感中感应的瞬时电压为：

$$V_L = L_m\frac{dI}{dt} = L_{mL}\times v\times RT\times\frac{I}{RT} = L_{mL}\times v\times I \quad (10.16)$$

其中：

V_L 表示从动态线到静态线上的感性耦合噪声电压

I 表示动态线上的信号电流

L_{mL} 表示单位长度互感（L_{12}）

v 表示信号传输速度

RT 表示信号上升时间

同样，我们又看到仅在动态线信号电压变化的地方，才有感性耦合噪声耦合到静态线上。而且，静态线上产生的噪声电压量也与信号上升时间无关，只取决于单位长度互感。

静态线上的耦合噪声有四个很重要的性质：

1. 瞬时耦合电压噪声值和电流噪声值取决于信号的强度。信号电压和电流越大，瞬时耦合噪声值越大。
2. 瞬时耦合电压噪声值和电流噪声值取决于以单位长度互容和单位长度互感为度量的单位长度耦合量。如果随着导线靠近，单位长度耦合增加，则瞬时耦合噪声也将增加。
3. 速度越快，瞬时耦合总电流越大。这是因为速度越快，上升时间的空间延伸就越长，任一时刻发生耦合的区域也越长。尽管这是极其正确的，但是如果信号的速度增加，电流流经的耦合长度将增加，所以静态线上的电流密度仍保持不变。
4. 令人惊讶的是，信号的上升时间并不影响总的瞬时耦合噪声电压或电流。虽然较短的上升时间会使单个互容或互感元件的耦合噪声增加，但是上升时间越短，前沿的空间扩展也越短，任一时刻发生耦合的总互容和总互感就越小。

上述最后一条性质是基于耦合区域长度大于前沿的空间延伸这一假设的。当信号从驱动器输出之后，在上升边移进耦合区域的同时，瞬时耦合噪声值将增加。如果耦合区域长于前沿的空间延伸，瞬时耦合噪声值将达到饱和，即达到一个稳定值。这时前沿沿导线传播时，它就相当于一个恒流源。

等于前沿的空间延伸的耦合长度称为饱和长度：

$$\mathrm{Len_{sat}} = \mathrm{RT} \times v \approx \mathrm{RT} \times 6\frac{\mathrm{in}}{\mathrm{ns}} \tag{10.17}$$

其中：

$\mathrm{Len_{sat}}$ 表示近端串扰的饱和长度，单位为 in

RT 表示信号上升时间

v 表示信号在动态线上的传播速度

如果信号上升时间是 1 ns，传输线由 FR4 组成，则速度大约是 6 in/ns，饱和长度为 1 ns × 6 in/ns = 6 in。如果上升时间为 100 ps，则饱和长度只有 0.6 in。对于较短上升时间，饱和长度通常小于典型的互连线长度，所以近端噪声与耦合长度无关。饱和长度如图 10.18 所示。

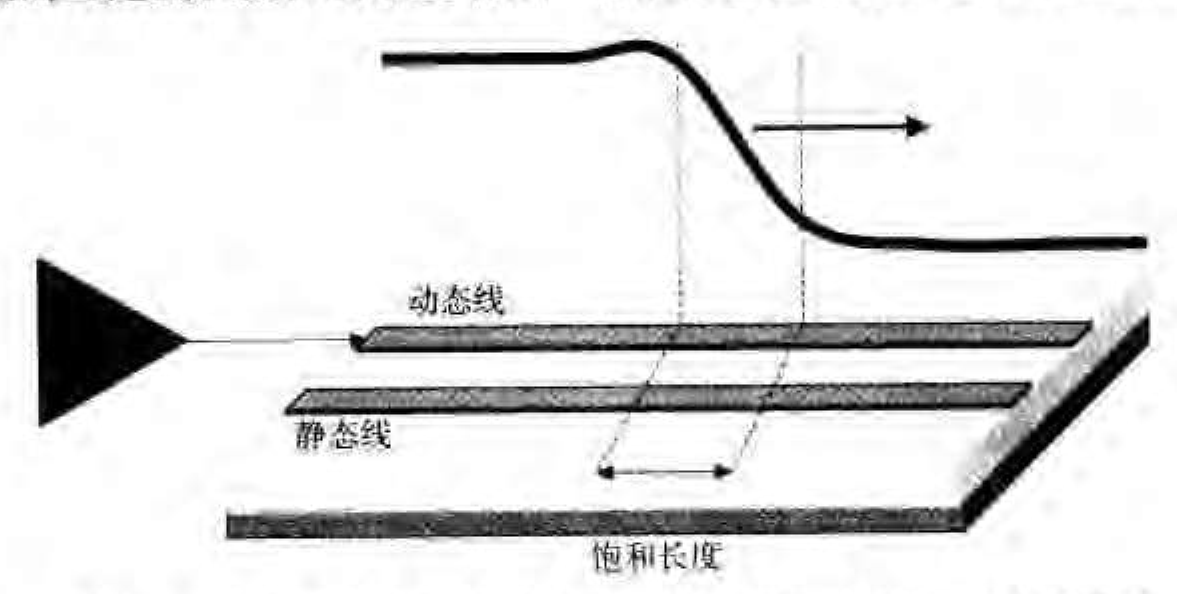


图 10.18 饱和长度就是前沿的空间延伸。如果耦合区域的长度大于饱和长度，静态线上的瞬时耦合噪声值就与上升时间无关

一旦噪声电流从动态线转移到静态线上，它将沿静态线传输并引起近端噪声和远端噪声效应。尽管转移到静态线上的是恒定电流，但在静态线上的传播特征将使这一分布式电流源在近端和远端形成不同的模式。为了理解形成远端特征和近端特征的根源，我们首先研究容性耦合电流在导线两端的行为，然后研究感性耦合电流并把这二者相加。

10.9 容性耦合电流

图10.19给出了重新构建的仅含互容元件的等效电路模型。在这个例子中，假设耦合长度大于饱和长度。我们把上升边看做是沿动态线移动的电流源，所以仅在信号前沿存在的区域，才有容性耦合电流流入静态线。

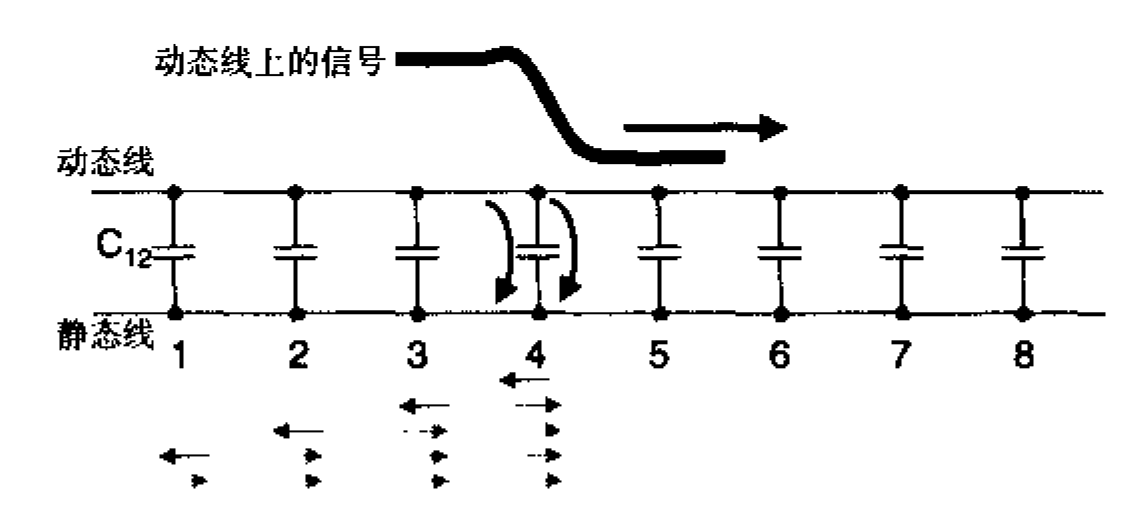


图10.19 两条耦合线的等效电路模型，图中只给出耦合电容、耦合电流和信号前沿的空间延伸

当这种电流出现在静态线上时，它将怎样流动？决定电流方向的主要因素是噪声电流受到的阻抗。噪声电流在静态线上每个方向的阻抗都相同：均为50 Ω，所以前向和后向的电流量将相等。

提示 静态线上，容性耦合电流回路的方向是从信号路径到返回路径。静态线的信号路径和返回路径之间是正电压，它分别沿两个方向传播。

当信号从驱动器输出时，有一些容性耦合电流流入静态线，其中的一半向后流回近端，另一半向前流动。流过静态线近端端接电阻的电流将做正向流动，即从信号路径流到返回路径。随着驱动器输出信号出现的上升边，此电流从电压0 V开始，将逐步上升。当信号前沿沿着传输线前进时，后向流动的容性耦合噪声电流以恒定的速度持续流回到近端，这就很像是动态信号留下了一个追随其后的连续和稳定的电流。

当前沿传输了一个饱和长度后，近端的电流将达到一个稳定值。而当动态线上的信号到达远端端接电阻后，就不再有耦合噪声电流，但是静态线上还有后向电流流向静态线的近端，这段额外时间等于时延TD。

如图10.20所示，近端的特征就是容性耦合电流上升到一个恒定值并传续达2 × TD，然后下降到0，其中上升时间等于信号上升时间。

近端的容性耦合饱和电流的幅度为：

$$I_C = \frac{1}{2} \times \frac{1}{2} \times C_{mL} \times v \times V = \frac{1}{4} \times C_{mL} \times v \times V \tag{10.18}$$

其中：

I_C表示静态线近端的容性耦合饱和噪声电流

C_{mL} 表示单位长度互容（C_{12}）

v 表示信号传播速度

V 表示信号电压

1/2 因子表示一半电流流向近端，另一半流向远端

1/2 因子表示后向噪声电流在时间 2 × TD 内流动

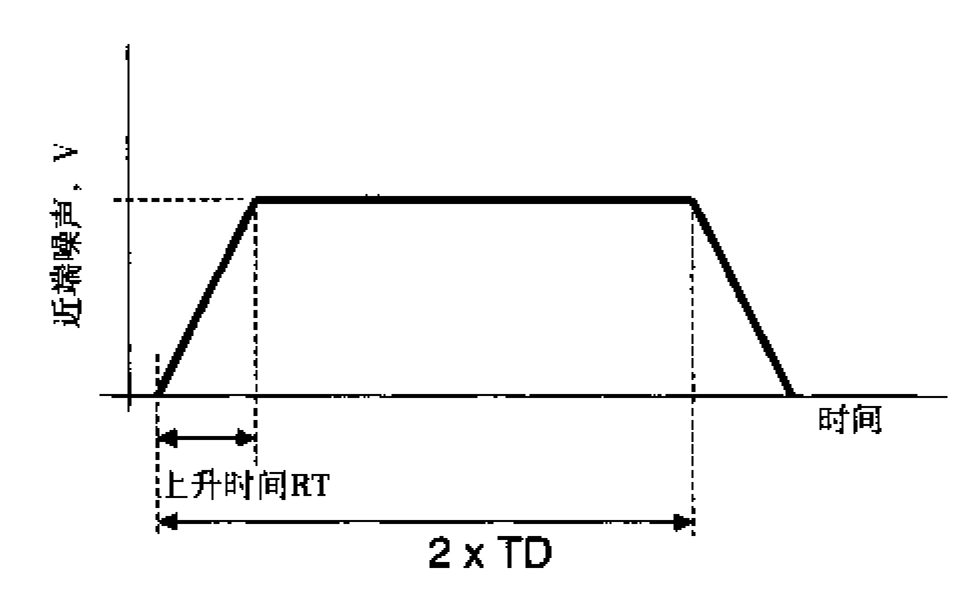


图 10.20　静态线近端的端接电阻两端的容性耦合电压的一般特征

在一半容性耦合噪声电流流回近端及信号沿动态线向前传输的同时，另一半容性耦合噪声电流也沿导线向前流动。静态线上的前向电流向远端移动的速度与动态线上的信号前沿向远端传播的速度相同，前向噪声电流就像是对动态信号做冲浪运动一样。在静态线上的每一步，一半噪声电流会叠加在已经存在的沿线噪声上。

在远端，直到信号前沿到达远端，才有电流出现。信号到达远端的同时，前向容性耦合电流也到达远端。这一电流是从信号路径流到返回路径上的，所以静态线的端接电阻两端的压降是正方向的。

静态线上的容性耦合电流与dV/dt成比例，所以静态线远端的实际噪声波形是信号边沿的做分。如果信号边沿是线性上升的，则容性耦合噪声电流为一个很短的矩形脉冲，持续时间等于信号的上升时间。静态线远端的耦合噪声特征如图 10.21 所示。

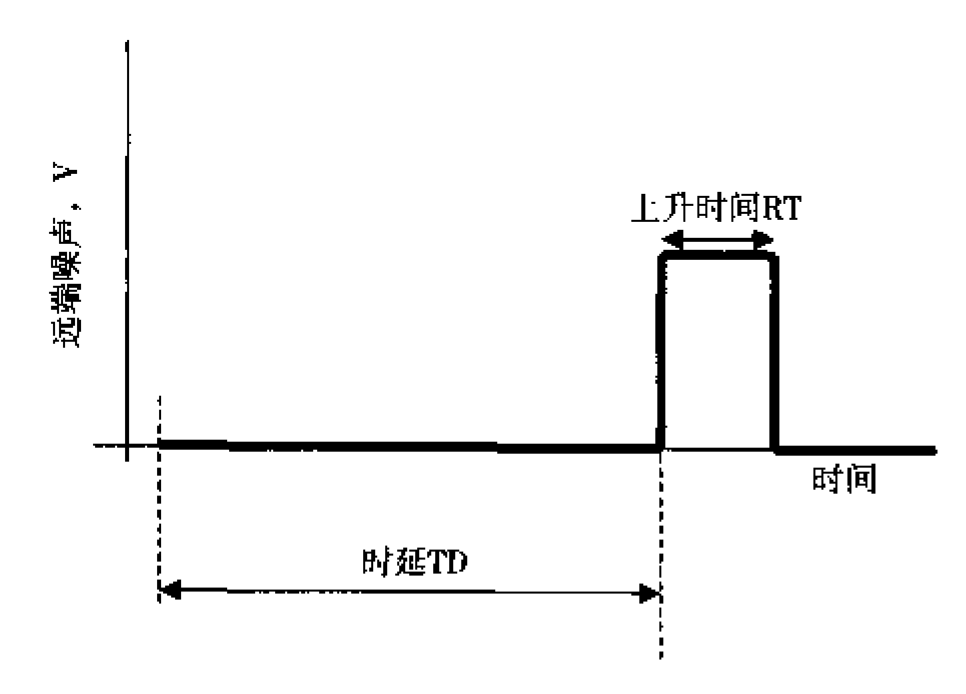


图 10.21　静态线远端的端接电阻两端的容性耦合电压的典型特征

从动态线耦合到静态线上的电流总量将集中于这个窄脉冲中。电流脉冲的幅度，在端接电阻上转化为电压：

$$I_C = \frac{1}{2} \times C_{mL} \times Len \times \frac{V}{RT} \tag{10.19}$$

其中：

I_C 表示从动态线流到静态线上的容性耦合噪声总电流

1/2 因子表示容性耦合电流流向远端的部分

C_{mL} 表示单位长度互容（C_{12}）

RT 表示信号上升时间

V 表示信号电压

提示 远端容性耦合电流的幅度直接与单位长度互容和这对线的耦合长度成正比，而与上升时间成反比。上升时间越短，远端的噪声电流就越大。

不同于近端，在远端接收的噪声幅度与耦合区域的长度成正比，与上升时间成反比。远端的容性耦合电流是正向流动，即从信号路径流到返回路径，因此终端电阻两端的电压也是正向的。

10.10 感性耦合电流

感性耦合电流和容性耦合电流的行为是相似的。受动态线上 dI/dt 的驱动，经过互感在静态线上产生一个电压，进而形成感性耦合电流。或者说静态线上感应的噪声电压感受到一个阻抗，激励出相应的电流。

沿传输线传播时，动态线上变化的电流从信号路径流到返回路径。这一电流回路最终会在静态线上感应出一个电流回路。静态线上的电流以相反的方向环绕成感应电流回路。所以在动态线上的信号边沿附近，静态线上感应的电流回路方向是从返回路径流向信号路径，如图 10.22 所示：

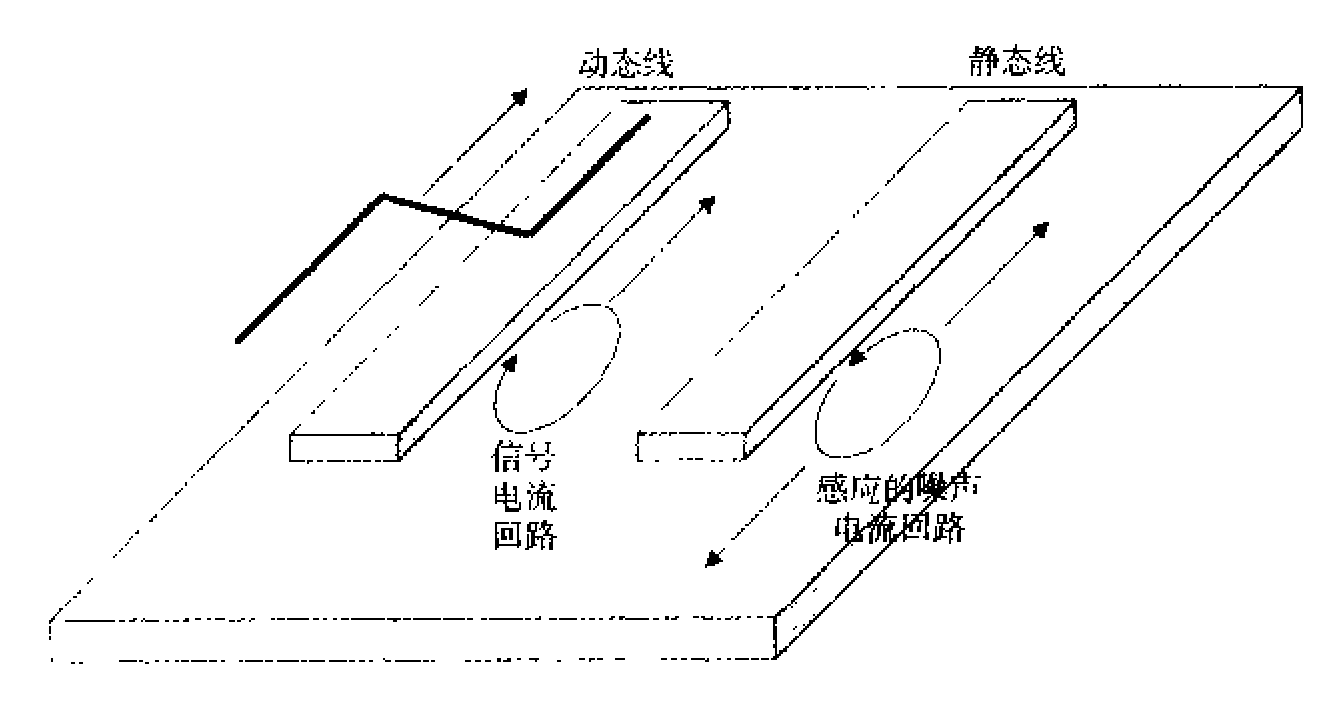


图 10.22 动态线上的dI/dt在静态线上感应一个电压，此电压接着又在静态线上产生一个 dI/dt。静态线上，电流回路分成相等的两部分分别向两个方向传播

静态线上产生这种电流回路时，它将沿什么方向传播？它在静态线上受到的阻抗是相等的，因此它将沿两个方向等量传播。这一点非常难以理解且易混淆，静态线上的感应电流回路中的一半电流流回近端，另一半沿前向传播。

提示 沿后向传输时，电流回路是从信号路径流到返回路径。这与容性耦合电流的方向相同，所以近端的容性噪声电流和感性耦合噪声电流将叠加在一起。

提示 沿正向传输时，静态线上的电流回路是从返回路径流到信号路径，而容性耦合电流是反方向流动的。所以当耦合电流到达静态线远端的端接电阻时，流经电阻的净电流是容性耦合电流和感性耦合电流的差值。

后向感性耦合噪声电流与容性噪声电流的特征非常相似。它从零开始，然后随着驱动器的输出信号而上升。当信号传播的长度超过饱和长度时，后向电流将达到一个稳定值并保持这一水平。信号边沿可以看做是感性耦合电流的根源，在沿着整个耦合长度传播时，它将固定比例的电流耦合过去。

信号的上升边到达动态线远端的端接电阻后，静态线上仍有后向感性耦合噪声电流。所有这些电流流回静态线的近端仍需要一个TD。前向和后向噪声电流的流向如图10.23所示。

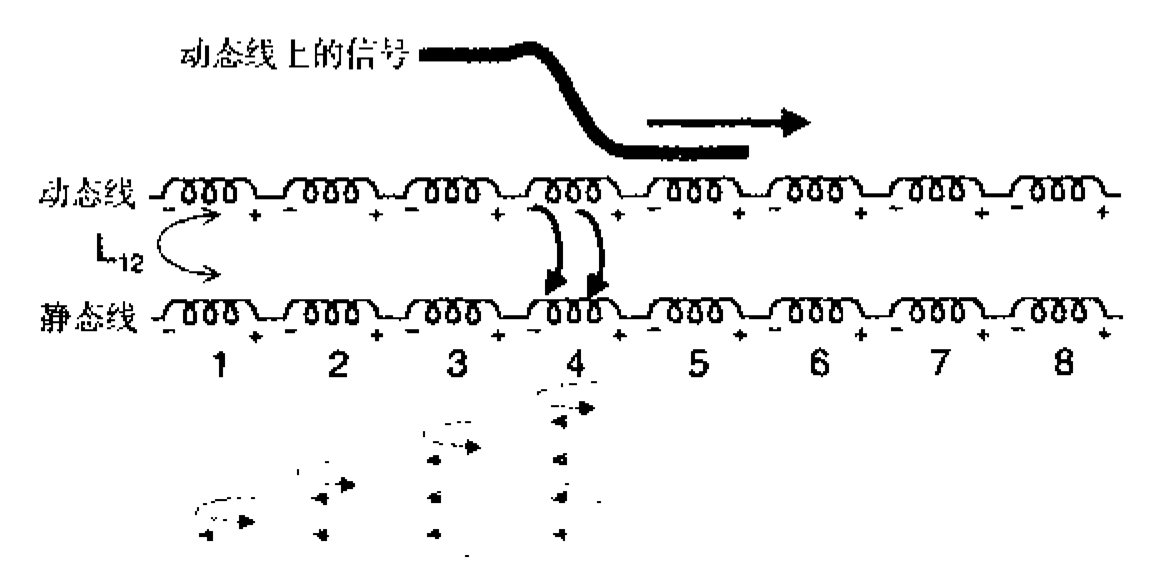


图10.23 当信号沿动态线传输时，感应的电流回路分别沿前向和后向传播

前向移动时，感性耦合噪声与动态线上信号边沿的传播速度相同，而且在每一步，将会耦合出越来越多的噪声电流，所以远端噪声将随着耦合长度而增大。远端感性耦合电流的形状是上升边的微分，因为它直接与信号的dI/dt成正比。

远端感性耦合电流的方向是从返回路径到信号路径，这与容性耦合电流的方向相反。所以在远端，容性耦合噪声与感性耦合噪声的方向是相反的，净噪声将是二者之差。

10.11 近端串扰

近端噪声电压与经过近端端接电阻的净耦合电流有关，其波形的一般特征如图10.24所示。近端噪声有以下四个重要特征：

1. 如果耦合长度大于饱和长度，噪声电压将达到一个稳定值。这个最大电压的幅度定义为近端串扰值（NEXT），它通常用静态线上的近端噪声电压与动态线上的信号电压的比值来表示。如果动态线上的电压为 V_a，静态线上的最大后向电压为 V_b，则NEXT就是 V_b/V_a。此外，这个比值通常也定义为近端串扰系数 $K_b = V_b/V_a$。
2. 如果耦合长度比饱和长度短，电压峰值将小于NEXT。实际的噪声电压峰值与耦合长度和饱和长度的比值成比例。例如，如果饱和长度是6 in，也就是FR4中的上升时间是1 ns，耦合长度为4 in，则近端噪声是 V_b/V_a = NEXT × 4 in/6 in = NEXT × 0.66。图10.25画出了耦合长度是饱和长度的20%到两倍之间的近端噪声。

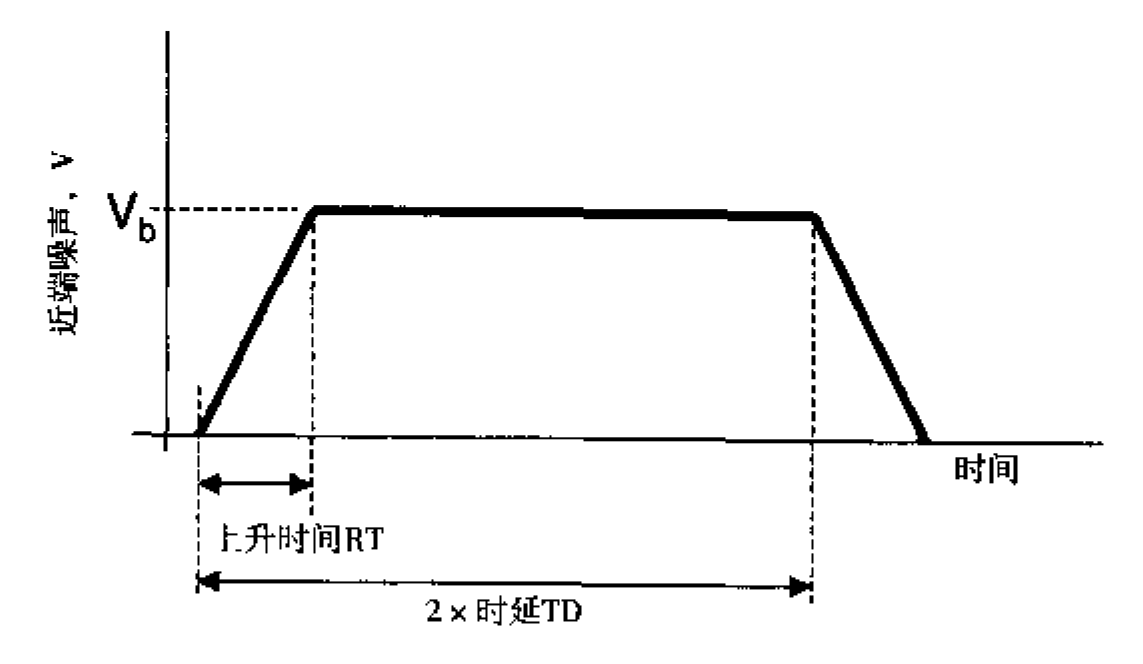


图 10.24 当信号边沿是线性上升时，近端串扰电压的特征

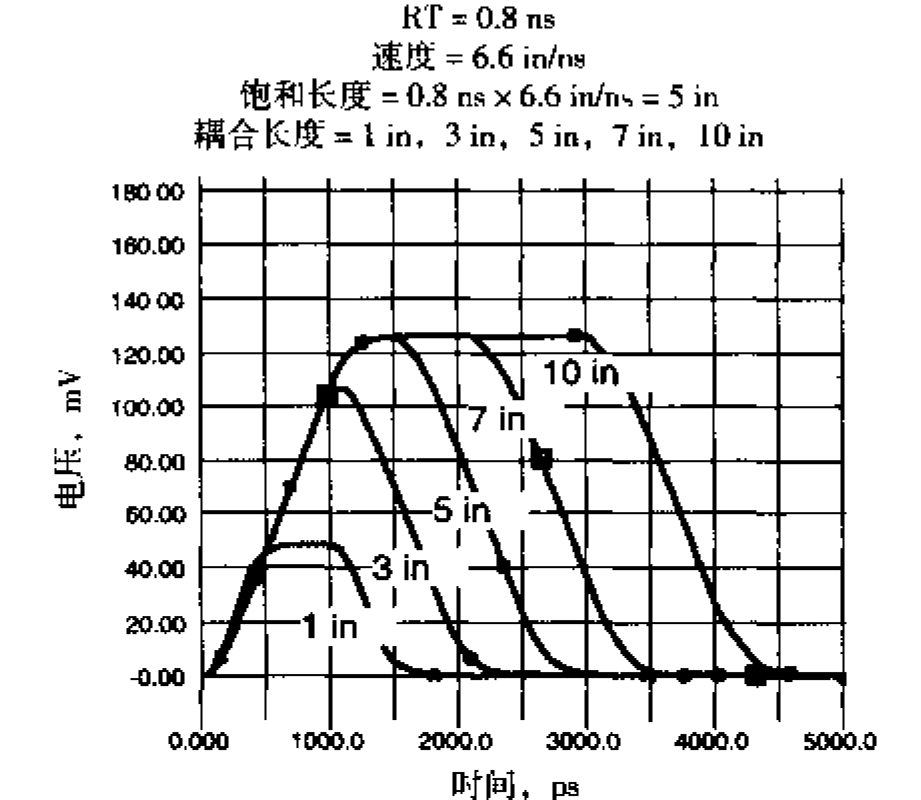


图 10.25 耦合长度从饱和长度的 20% 增加到两倍时，近端的串扰电压。其中上升时间为 0.8 ns，速度为 6.6 in/ns，饱和长度为 0.8 ns × 6.6 in/ns = 5 in。此图由 Mentor Graphics Hyperlynx 仿真得到

3. 近端噪声持续的总时间是 2 × TD，如果耦合区域的时延为 1 ns，则近端噪声将持续 2 ns。
4. 近端噪声是由信号的上升边引入的。

NEXT 的幅值与互容和互感有关，关系式如下：

$$\text{NEXT} = \frac{V_b}{V_a} = k_b = \frac{1}{4}\left(\frac{C_{mL}}{C_L} + \frac{L_{mL}}{L_L}\right) \tag{10.20}$$

其中：

NEXT 表示近端串扰系数

V_b 表示静态线上的后向噪声电压

V_a 表示动态线上的信号电压

k_b 表示后向串扰系数

C_{mL} 表示单位长度互容（C_{12}），单位为 pF/in

C_L 表示信号路径上的单位长度电容（C_{11}），单位为 pF/in

L_{mL} 表示单位长度互感（L_{12}），单位为 nH/in

L_L 表示信号路径上的单位长度电感（L_{11}），单位为 nH/in

当两条传输线靠近时，互容和互感将增加，从而 NEXT 也将增加。

计算矩阵元素和后向串扰系数的惟一可行方法就是利用二维场求解器。图10.26给出了一对微带线和一对带状线的近端串扰系数 k_b。在每种情况下，每条导线阻抗均为 50 Ω，线宽 5 mil，导线间距从 4 mil 增加到 50 mil。很明显，当间距约大于 10 mil 时，带状线的近端串扰更低些。

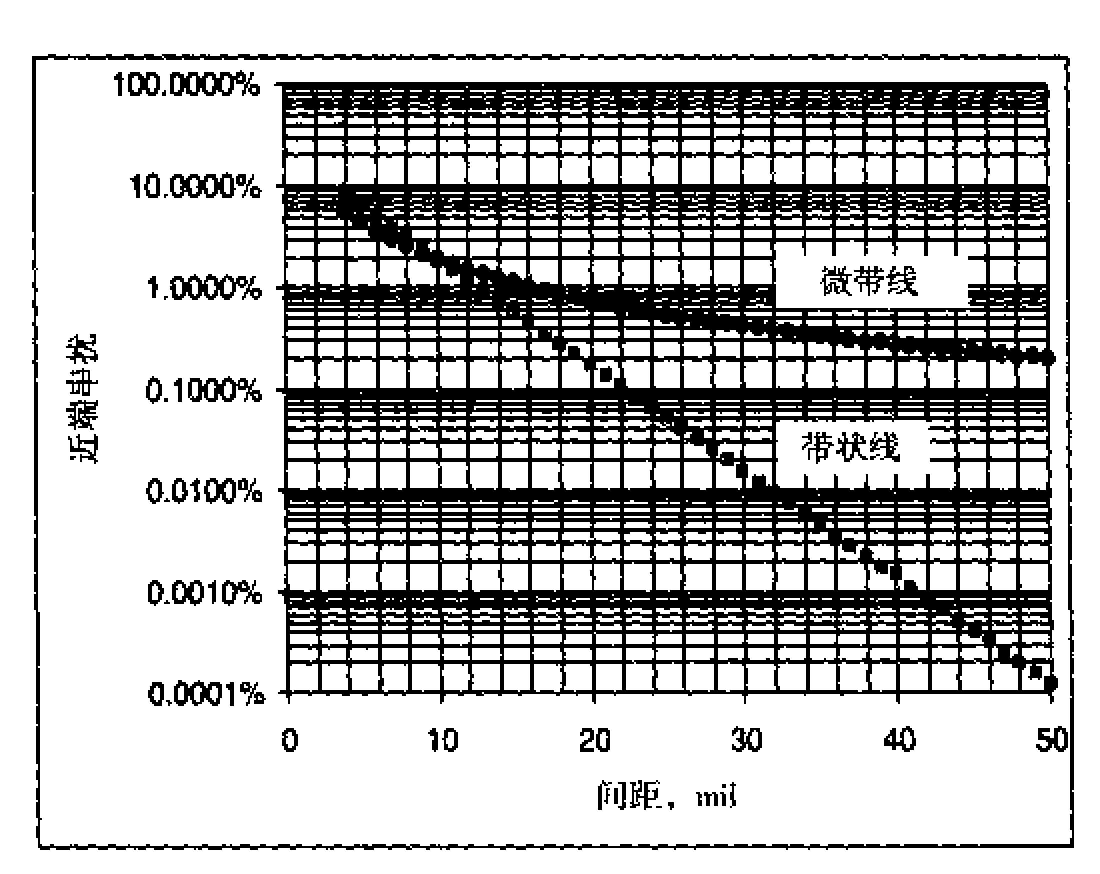


图 10.26　随着间距的增加，FR4 中微带线和带状线的近端串扰系数。其中线条阻抗均为 50 Ω，线宽 5 mil。此图由 Ansoft 的 SI2D 场求解器计算得出

噪声预算中分配的最大可容许串扰大约是信号摆幅的5%，这是个经验法则。如果静态线是总线的一部分，则静态线近端噪声可能会提高到一般情况下的2.1倍，这是静态线两边相邻导线和较远的导线产生的噪声叠加在一起的结果。评估关于近端噪声的设计规则时，间距应该足够大以使只有两根相邻导线时的近端噪声小于 5% ÷ 2.1 ≈ 2%。

提示　对于微带线和带状线，要使产生的近端噪声少于 2%，最小间距应约为 10 mil。这是关于可容许噪声的很好的经验法则：信号路径之间的边对边距离应至少为线宽的两倍。

如果相邻信号路径之间的间距大于线宽的两倍，最大的近端噪声将小于 2%。这时，即使是最差情况下的耦合，即一条受害线的两边有许多攻击线时，受害线上的最大近端噪声也将小于 5%，这落在许多典型噪声预算之内。

从这一点出发可以得出另外两个经验法则，这些适用于分电常数为 4 的 FR4 中 50 Ω 传输线的特殊情况。近端串扰与线宽和间距的比值成比例。当然，介质厚度也是非常重要的，但是特定的线宽和 50 Ω 特性阻抗就已经明确了介质厚度。

图 10.27 总结了间距分别为 1 × W，2 × W，3 × W 时微带线和带状线上的耦合，其结果都是应当记住的经验值。



图 10.27 对于特定间隔情况下微带线和带状线的近端串扰系数，这些都是应当记住的经验值

10.12 远端串扰

远端噪声电压与流经远端端接电阻的净耦合电流有关。毕竟，沿静态线向前传播的是电压，图 10.28 给出了波形的一般特征。远端噪声有以下四个重要特征：

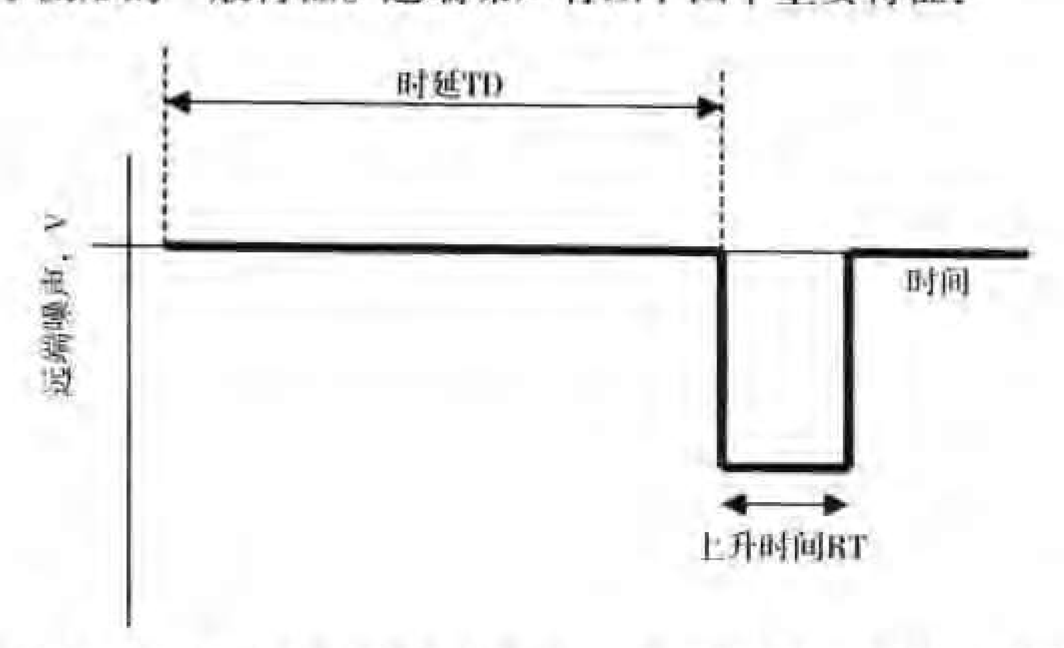


图 10.28 当信号边沿是线性上升时，远端串扰电压噪声的一般特征

1. 直到信号输入 TD 后噪声才会出现。噪声在静态线上的传播速度与信号的速度相等。
2. 远端噪声以脉冲形式出现，它是信号边沿的微分。耦合电流是由 dV/dt 和 dI/dt 产生的，并且在信号沿着攻击线传输的同时，静态线上产生的噪声脉冲也向前传输。脉冲宽度就是信号的上升时间，图 10.29 给出了不同上升时间时的远端噪声。随着上升时间减小，远端噪声的脉冲宽度也减小，而峰值将增加。
3. 远端噪声的峰值与耦合长度成比例。耦合长度增加，噪声峰值将增加。
4. FEXT 系数是对远端噪声峰值电压 V_f 的直接度量，通常把它表示成 V_f 与信号电压 V_a 的比值：FEXT = V_f/V_a。除了基于耦合传输线本征项横截面之外，噪声值还与另两个非本征项（耦合长度和上升时间）成比例。关系式如下：

$$\text{FEXT} = \frac{V_f}{V_a} = \frac{\text{Len}}{\text{RT}} \times k_f = \frac{\text{Len}}{\text{RT}} \times \frac{1}{2v} \times \left(\frac{C_{mL}}{C_L} - \frac{L_{mL}}{L_L}\right) \tag{10.21}$$

$$k_f = \frac{1}{2v} \times \left(\frac{C_{mL}}{C_L} - \frac{L_{mL}}{L_L}\right) \tag{10.22}$$

其中：

FEXT 表示远端串扰系数

V_f 表示静态线远端的电压

V_a 表示信号线电压

Len 表示两条线之间耦合区域的长度

k_f 表示只与本征项有关的远端耦合系数

v 表示线上的信号传播速度

C_{mL} 表示单位长度互容（C_{12}），单位为 pF/in

C_L 表示信号路径上的单位长度电容（C_{11}），单位为 pF/in

L_{mL} 表示单位长度互感（L_{12}），单位为 nH/in

L_L 表示信号路径上的单位长度电感（L_{11}），单位为 nH/in

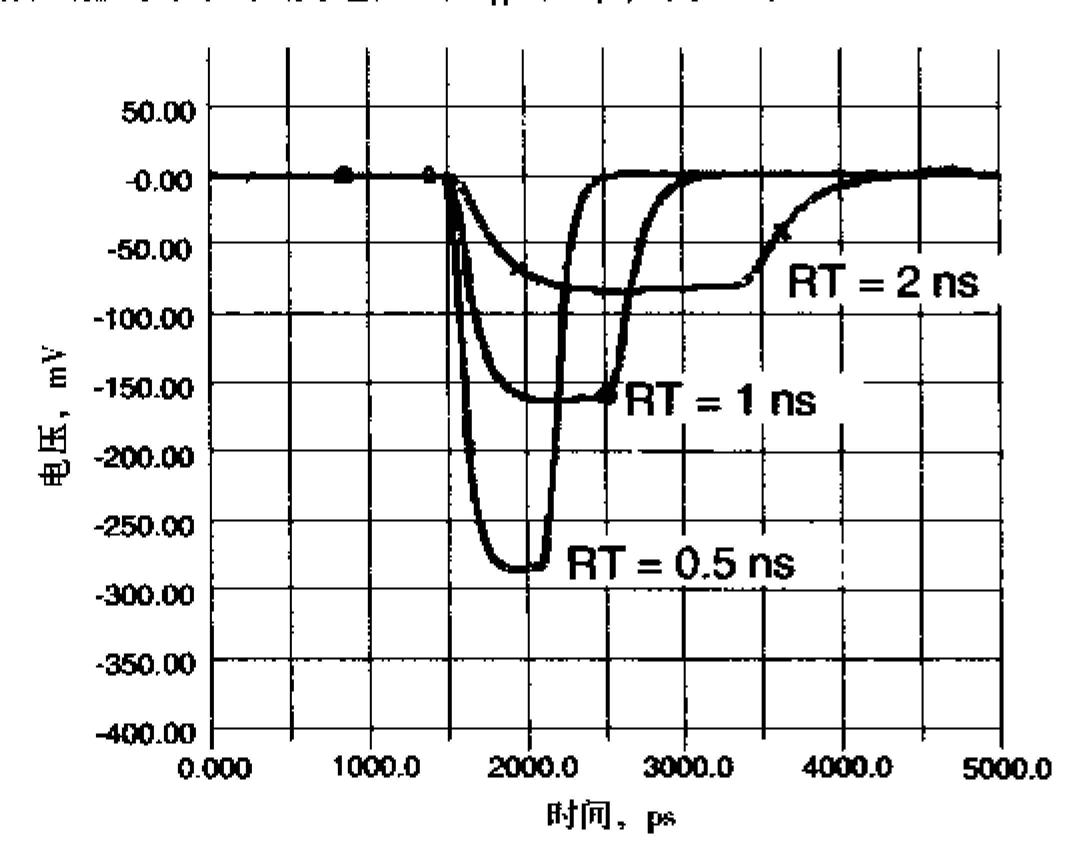


图 10.29 三种情况下，耦合长度均为 10 in 而上升时间不同，FR4 中两条 50 Ω 的微带线之间的远端噪声，其中线宽和间距均为 5 mil。此图由 Mentor Graphics Hyperlynx 仿真得到

其中 k_f 项，即远端耦合系数，只与传输线的本征参量有关：相对电容耦合、相对电感耦合和信号的速度，而与耦合区域的长度和信号的上升时间无关。这一项是什么意思？k_f 的倒数，$1/k_f$ 的单位是 in/ns，这是速度的单位。那么它所指的是什么速度呢？

我们将在下一章讨论，$1/k_f$ 确实与奇模信号和偶模信号的速度差有关。观察远端噪声的另一种方法就是当奇模信号和偶模信号的速度不同时就会产生远端噪声。在同质介质材料中，有效介电常数与电压模式无关，并且奇模信号和偶模信号以相同的速度传输，这时就没有远端串扰。

提示 如果所有导线周围的介质材料是同质的，而且是均匀分布的，如两条耦合的、完全嵌入式微带线或两条耦合带状线，则相对容性耦合和相对感性耦合是完全相同的，在这种结构中就不会出现远端串扰。

如果介质材料有不同质现象，根据信号路径和返回路径之间具体的电压模式，电力线就会经过不同的有效介电常数，相对容性耦合和相对感性耦合就不相等，这将引起远端噪声。

如果一对耦合线的周围空间都充满了空气，并且附近没有其他介质，则相对容性耦合和相对感性耦合就相等，远端耦合系数 k_f 为 0。如果导线周围的空间充满了介电常数为 ε_r 的介质，则相对感性耦合不会改变，因为磁场与介质根本没关系。

容性耦合的增加速率与介电常数成正比，与返回路径之间的电容也将以与介电常数成正比的速率增加。但是，两者的比值保持不变，所以结果还是没有远端串扰。图 10.30 示例了一个没有远端串扰的完全嵌入式微带线的例子。

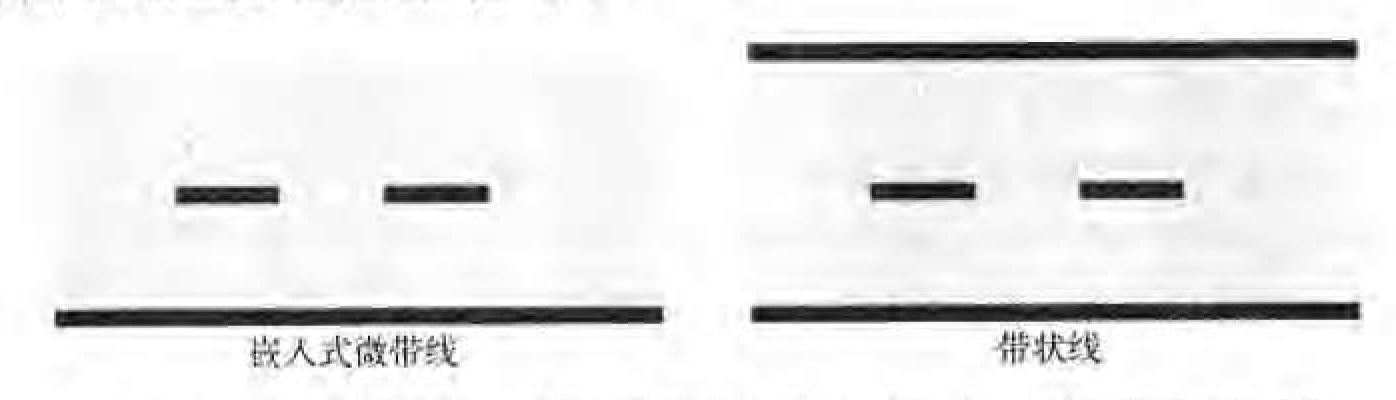


图 10.30　两个同质介质、没有远端串扰的结构：完全嵌入式微带线和带状线

如果将嵌入微带线上边的介质去掉，相对感性耦合将不会改变，因为电感与介质材料完全无关。然而，电容项会受到介质分布的影响。图 10.31 给出了当导线上边的介质厚度减小时，两个电容项的变化情况。虽然当导线上边的介质厚度减小时，与返回路径之间的电容会减小，但是它只是减小了相对来说非常小的量，而耦合电容则减小了很多。耦合电容 C_{mL} 与信号路径之间耦合场最强区域的介电常数有非常密切的关系。当顶层的介质去掉时，耦合电容明显减小了。

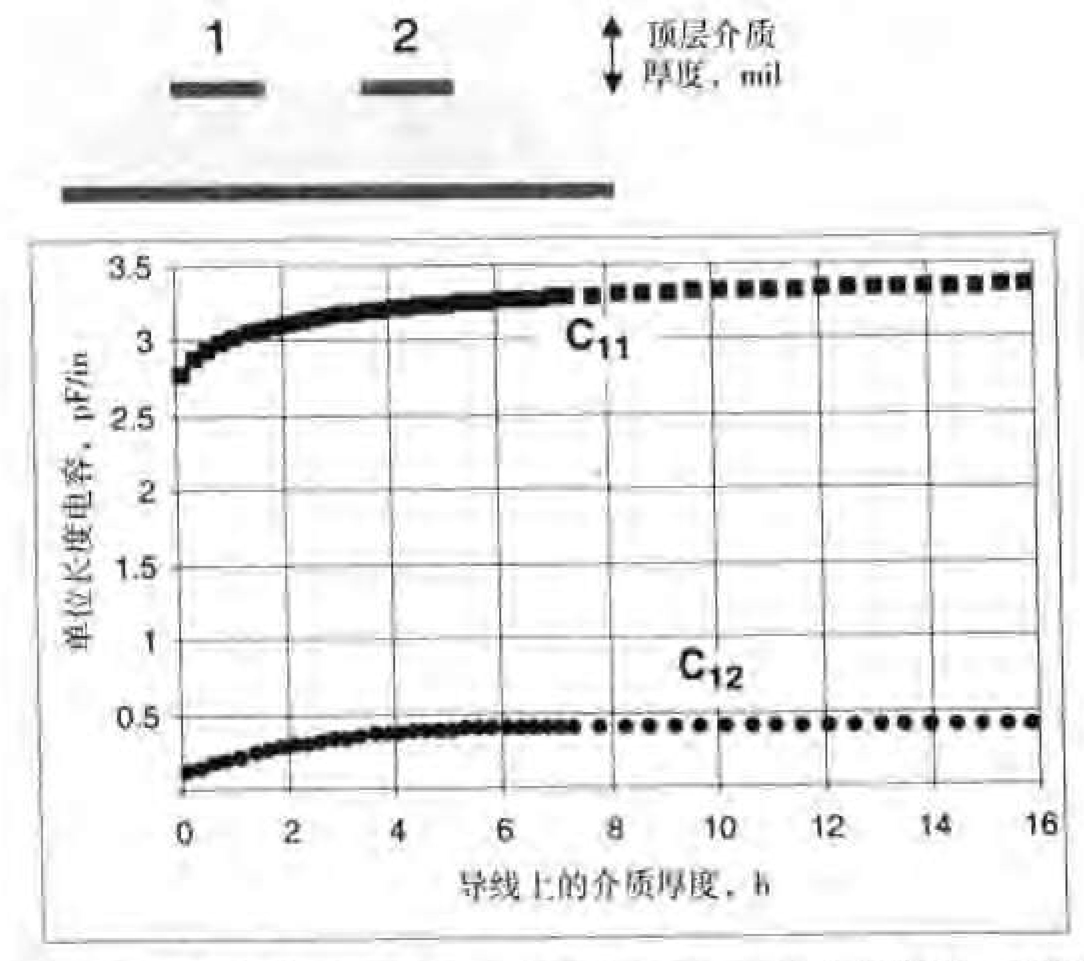


图 10.31　随着导线上介质厚度的增加，电容项 C_{11} 和 C_{21} 的变化情况。对角线元素增加缓慢，而非对角线元素增加了很多。结果由 Ansoft 的 SI2D 场求解器计算得出

在完全嵌入式情况下，相对耦合电容和相对耦合电感一样大。在上层没有介质的纯微带线情况下，其相对耦合电容要比完全嵌入式小些。

提示　当减小耦合电容时，总的远端耦合噪声却增加了。

经常提到的不是 k_f，而是 $v \times k_f$，它是无量纲的：

$$v \times k_f = \frac{1}{2} \times \left(\frac{C_{mL}}{C_L} - \frac{L_{mL}}{L_L} \right) \tag{10.23}$$

由上式，FEXT 可写为：

$$\text{FEXT} = \frac{V_f}{V_a} = \frac{\text{Len}}{\text{RT} \times v} \times v \times k_f = \frac{\text{TD}}{\text{RT}} \times v \times k_f \tag{10.24}$$

其中 $v \times k_f$ 也是本征项，它只与耦合线的横截面性质有关。当耦合线时延等于上升时间即 TD = RT 时，这项也是对远端噪声的度量。如果 $v \times k_f = 5\%$，则当 TD = RT 时静态线上的远端噪声为 5% 。如果耦合长度增大一倍，则远端噪声就达到 10% 。

图 10.32 说明了 $v \times k_f$ 随线间距的变化情况，其中导线是 FR4 中两条 50 Ω 微带线，线宽均为 5 mil。从这条曲线可以得出一个估计远端串扰的经验法则：如果间距等于线宽，则 $v \times k_f$ 约为 4%。例如，如果上升时间为 1 ns，耦合长度是 6 in，即 TD = 1 ns，则一条相邻攻击线产生的远端噪声 $v \times k_f \times \text{TD/RT} = 4\% \times 1 = 4\%$ 。

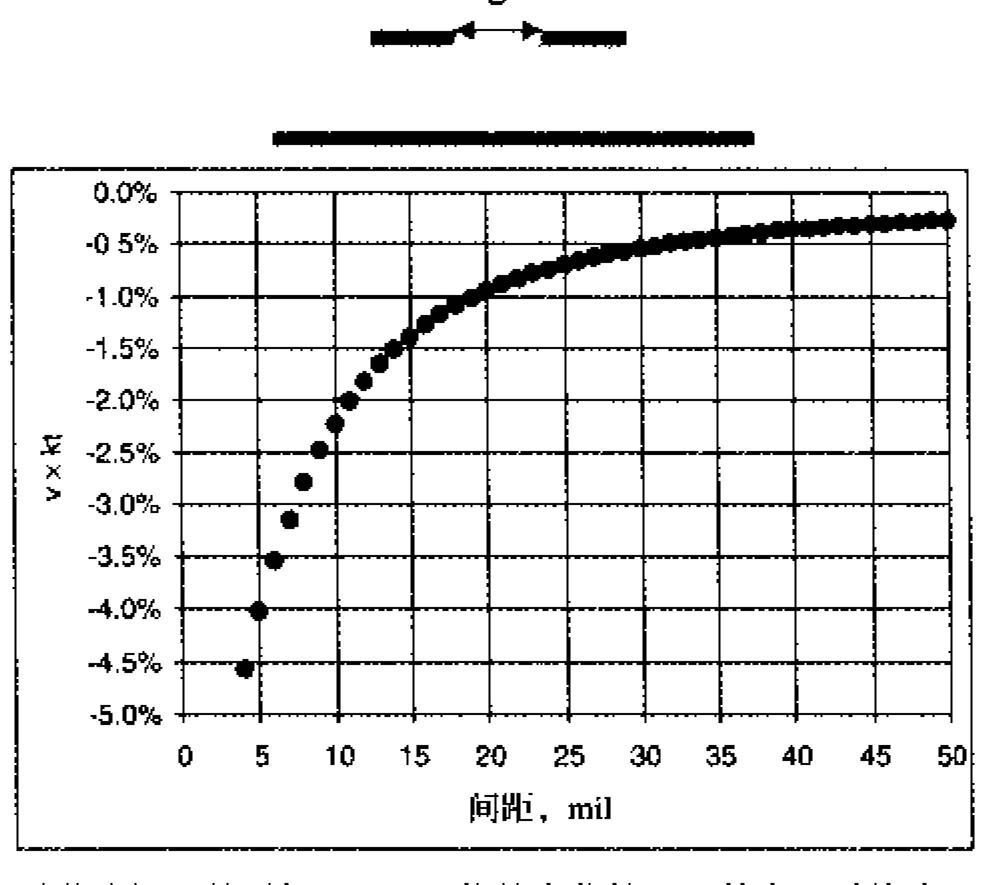


图 10.32　随着线间距的增加，$v \times k_f$ 值的变化情况。其中，导线为 FR4 中两条 50 Ω 耦合微带线，线宽均为 5 mil。此图由 Ansoft 的 SI2D 仿真得到

提示　若 FR4 中两条 50 Ω 微带线之间的距离是可以制造的最小距离，即间距等于线宽，则远端串扰噪声为 –4% × TD/RT，这是一个很好的经验法则。

如果耦合长度增加，或者上升时间减小，远端噪声电压就会增加。如果信号路径两边各有一条动态线，则每条动态线产生的远端噪声值都相等。如果线宽和间距均为5 mil，则当TD = RT 时，静态线上的远端噪声将为 8%。

从一代产品到下一代产品，电路板上表面线条的长度通常不会缩短很多，所以耦合时延大约是相同的。但是，随着产品换代，上升时间一般都会减小。这就是远端噪声问题日益严重的原因。

提示 随着上升时间缩短，远端噪声将增加。在使用最小间距布线规则的电路板上，若上升时间为1 ns或者更小，6 in耦合导线上的远端噪声很容易超过噪声预算。

减小远端噪声的一个重要方法是增加相邻信号路径之间的距离。图10.33列出了FR4中两条50 Ω耦合微带线三种不同间距时的 $v \times k_f$ 值。电容矩阵和电感矩阵元素是与线宽和介质厚度的比值成比例的，所以对于估计任何宽度的50 Ω传输线上的远端串扰，这个表为我们提供了便利方法。



图 10.33 对于FR4中一对50 Ω耦合微带线的不同间距，用来估计远端串扰的经验法则

10.13 减小远端串扰

减小远端串扰的4个原则：

1. 增加信号路径之间的距离。把间距从 1 × W 增加到 3 × W，可以使远端串扰减小65%。然而，互连线密度也将降低，电路板费用将升高。
2. 减小耦合长度。远端噪声值与耦合长度成比例，而且在最小间距（即间距等于线宽）情况下 $v \times k_f$ 为4%，所以如果耦合长度很短，远端噪声的幅度就可以控制得很小。例如，如果上升时间为0.5 ns，耦合长度即TD小于0.1 ns，则远端噪声就小于 4% × 0.1/0.5 = 0.8%。TD为0.1 ns大约相当于线长0.6 in。在BGA或接插件下面的紧密耦合区，如果耦合长度可以控制得很短，那么就仍然可以满足要求。最大并行布线长度，在许多布线工具里都被作为约束文件中的一项。
3. 在表面导线的上方加上介质材料。当需要表面布线而且耦合长度不能减小时，在导线上方铺上介质涂层可以减小远端噪声，如加上一层很厚的阻焊层。图10.34说明了 $v \times k_f$ 随顶层介质厚度的变化情况，其中涂层的介电常数与FR4相同，即均为4，线和线之间的间距等于线宽。

   在导线上方加上介质也会使近端系数增加，并使传输线的特性阻抗减小，所以在加上介质涂层时，必须考虑到这些情况。

   随着介电涂层厚度的增加，远端噪声开始减小并经过0点，接着它变为正值，最后又下降并接近0点。在完全嵌入式微带线中，介质材料是同质的，所以不存在远端噪声，但这是介质厚度为线宽5倍时的情况。产生上述复杂行为的原因是由于导线之间、导线和返回路径之间边缘场的精确形状不同，当涂层厚度增加时边缘场穿越介质的情况也不同。

可以找到一个涂层厚度值，使表面导线的远端噪声恰好为0。在这种特殊情况下，涂层厚度等于信号路径和返回路径之间的介质厚度，即大约为3 mil。

提示 一般来说，最佳涂层厚度与所有的几何特征和介电常数有关。即使很薄的涂层都将会减小远端噪声。

4. 将敏感线布成带状线。如带状线横截面结构，埋层内的耦合线上的远端噪声是最小的。如果远端有问题，减小远端噪声的最稳妥方法就是把敏感线布成带状线。

实际上，即使是带状线，介质材料也不可能完全同质。由于介质材料是核心叠层和聚脂胶片材料的组合，所以介电常数总会有一些变化。通常，聚脂胶片含树脂比较多，它的介电常数比核心叠层小，这就使介质分布不均匀并将引起远端噪声。

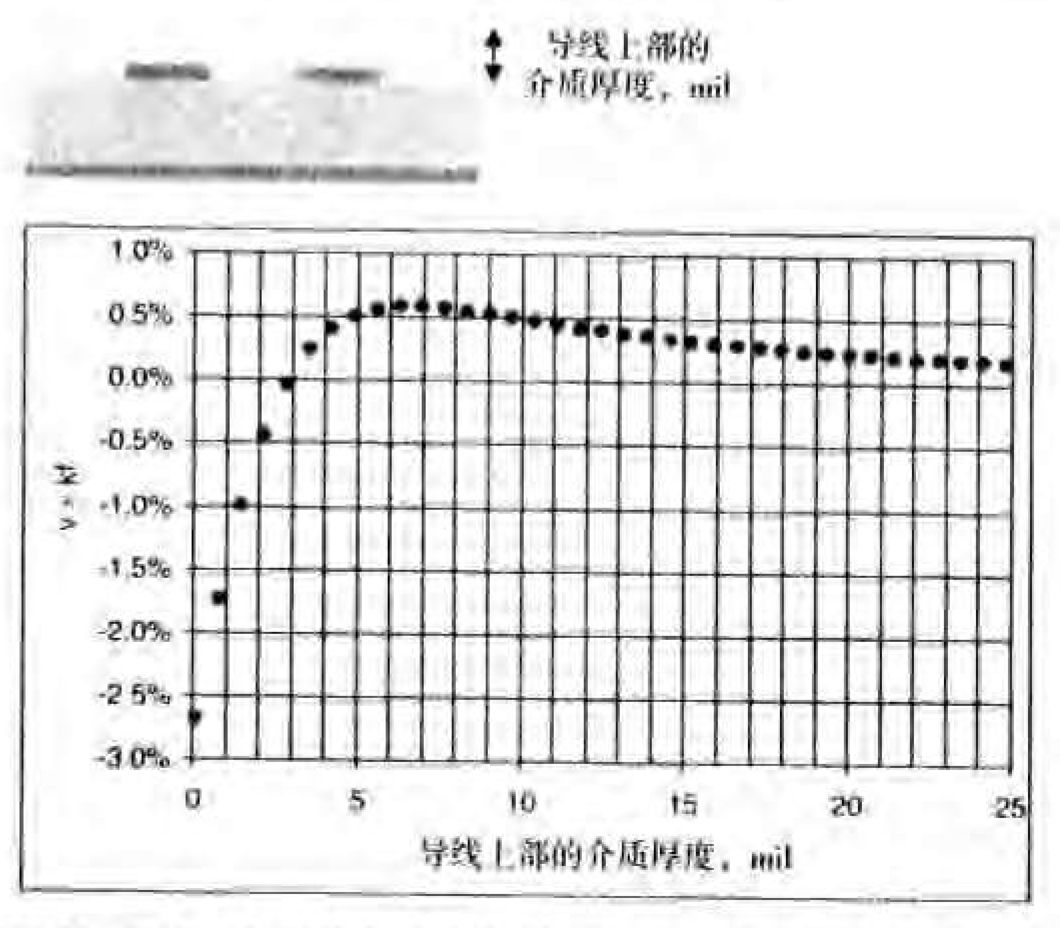


图10.34 随着信号路径上涂层厚度的增加，$v \times k_f$的变化情况。汇流条使用FR4中50 Ω紧耦合微带线，线宽和间距均为5 mil，并且假设涂层有相同的介电常数。此图由Ansoft的SI2D仿真得到

10.14 仿真串扰

两条均匀传输线的每一端都有匹配端接时，只要知道横截面的几何结构和材料性质，就可以计算出近端和远端的电压噪声。二维场求解器可以算出k_b和NEXT。同样也可以计算出k_f，并且根据耦合长度的时延TD和上升时间，可以得到FEXT。

但是，如果端接改变，情况会是怎样？如果耦合长度仅是一个较大电路的一部分，又会怎样？这需要一个包含耦合传输线理想模型的电路仿真器。如果单位长度互容和单位长度互感已知，就可以建立一个n节耦合传输线模型，并且采用足够多的节数，这样就可以对任何端接策略进行仿真。使用n节集总电路模型的困难在于它的复杂性和计算时间。

例如，如果时延为1 ns，即互连线长6 in，且要求模型带宽为1 GHz，则耦合模型中总共需要10 × 1 GHz × 1 ns = 10节集总电路。当长度增加时，所需节数也随之增加。

有一类仿真器，它们可以使用理想的分布式耦合传输线模型来构建耦合传输线。这些工具通常都有集成的二维场求解器，只要输入横截面的几何结构，它们就自动产生分布式耦合模型。理想的分布式耦合传输线，通常称为理想差分对，其细节将在下一章讲解。

提示 内含集成的二维场求解器、从横截面信息就可以自动生成分布式耦合传输线模型的这种工具，可以用来仿真有任意驱动器、负载和端接的耦合传输线电路。在预测实际系统中耦合噪声的性能时，这些工具的功能非常强大。

图10.35说明了理想情况下的远端噪声和近端噪声，其中动态线的一端连接低阻抗驱动器，其他各端都连有端接电阻。此例中的几何结构是紧耦合 50 Ω 微带线，线宽和间距均为 5 mil。

对于源串联端接的情况，结果将稍微复杂些。图 10.36 给出了源串联端接的电路。在这种情况下，静态线远端的噪声非常重要，因为对噪声非常敏感的接收器就在这里。在静态线远端，即接收器处的实际噪声是很复杂的。

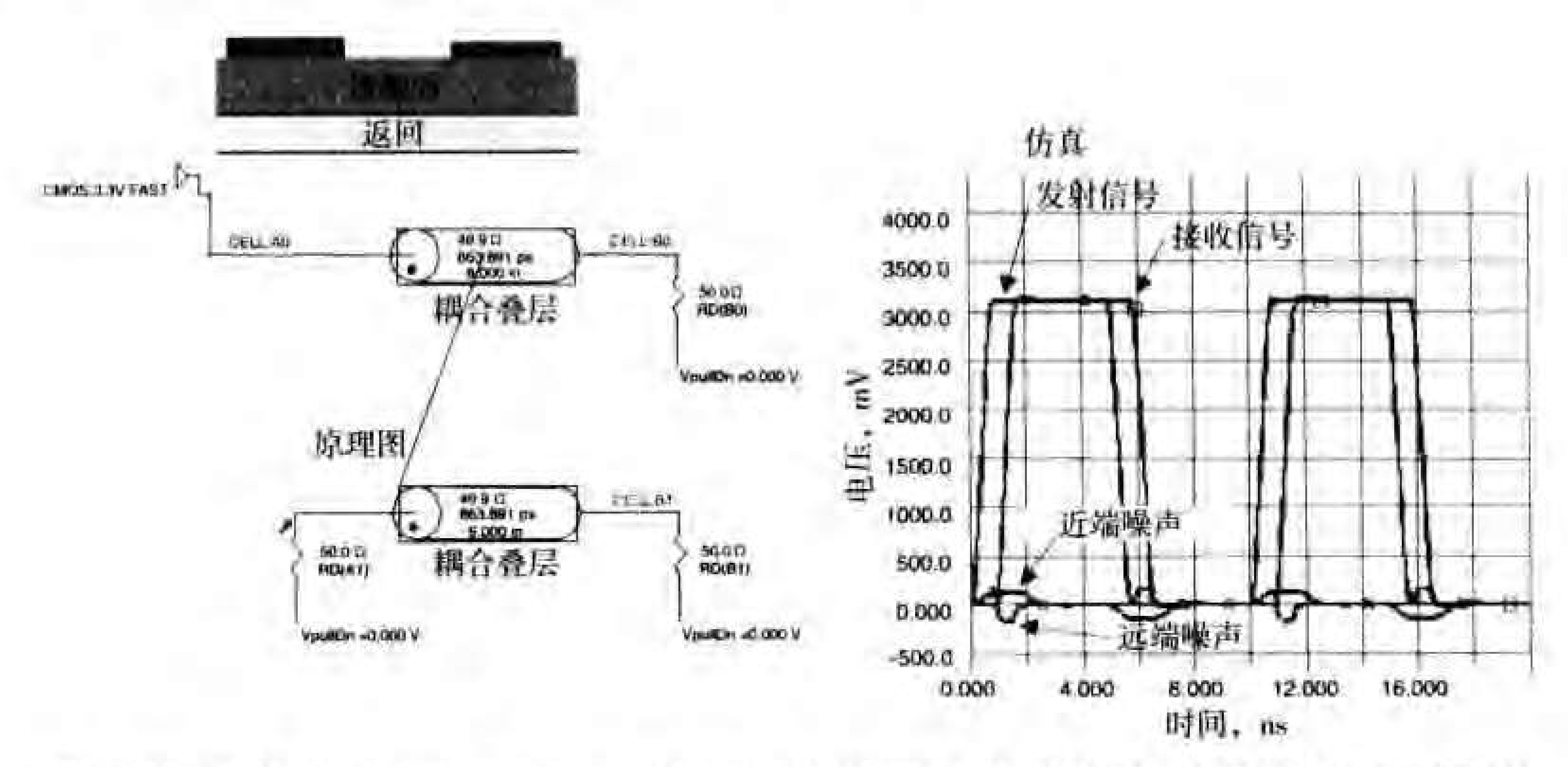


图 10.35 由 Mentor Graphics Hyperlynx 仿真的耦合传输线电路，给出了一个紧耦合微带线线对的截面、包括驱动器和接地电阻的耦合线结果电路，以及动态线和静态线上的仿真电压

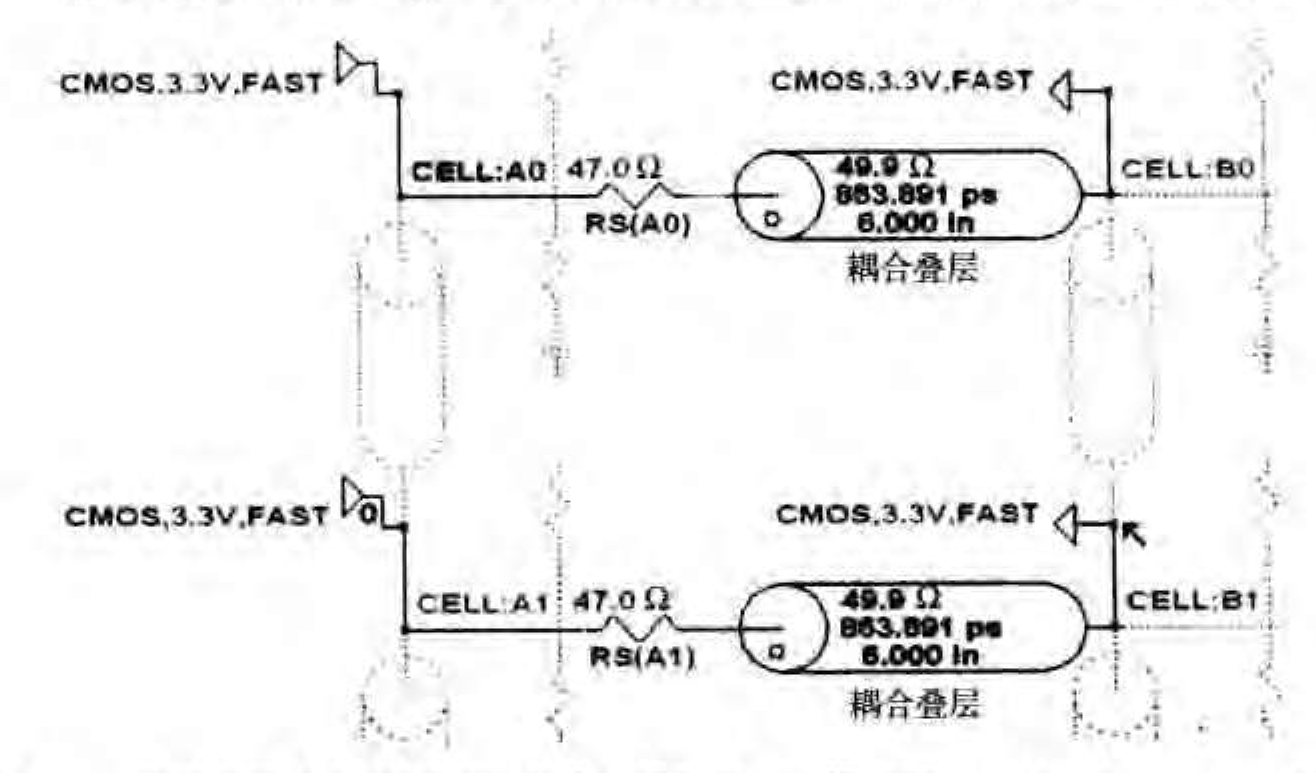


图 10.36 一对带有源串联端接的耦合线电路原理图，使用 Mentor Graphics Hyperlynx 得到

最初，静态线上接收器的噪声是动态线产生的远端噪声，它是一个很大的负脉冲。但是，由于信号在动态线的开路接收端发生反射，信号就沿着动态线返回到源端。同时，相对于反射信号波来说，静态线上的接收器成为后向端，因此在静态线上的接收器就有了后向噪声。尽管接收器是在静态线的远端，但是由于动态线上的信号发生反射，接收器将接收到远端噪声和近端噪声。

静态线上接收器的近端噪声与基于理想NEXT得到的结果大致相同。图10.37比较了理想情况下的NEXT和FEXT及源串联端接拓扑结构中静态线上接收器的噪声。图中的曲线表明FEXT和NEXT的形状与静态线上的预测噪声非常一致。当然，与理想的FEXT和NEXT相比，封装模型和分立端接元件相关的寄生参数将使接收的噪声更加复杂，仿真工具会自动考虑到这些细节。

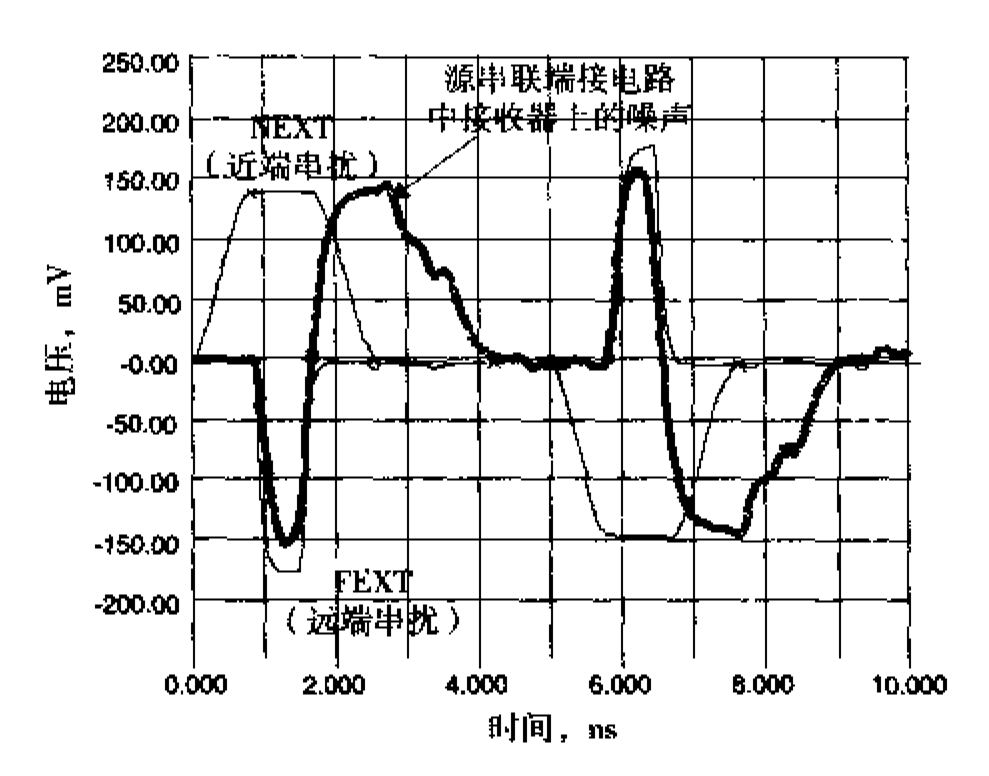


图10.37 带有远端端接电路进行仿真得到的NEXT和FEXT，与之相比较的是相似的一对传输线但带有源串联端接时，静态线接收器的噪声。此图由Mentor Graphics Hyperlynx仿真得到

然而，这仅仅是只有一条攻击线耦合到受害线上的情况。在总线中，将有很多攻击线耦合到一条受害线上，每一条攻击线都在受害线上加上额外噪声。每一边应当包括多少条攻击线？得出结论的惟一方法是从计算中得出结果。

图10.38给出了一个总线电路，其中有一条受害线且两边各5条攻击线。每条线中都带有源串联端接和远端接收器。此例中，使用线宽和间距均为5 mil的50 Ω带状线，其设计规则很具挑战性。传输线上的信号速度大约为6 in/ns，每条攻击线上的信号为3.3 V，信号的上升时间为1 ns，时钟频率为100 MHz，饱和长度是1 ns × 6 in/ns = 6 in。我们取长度为10 in，因此近端噪声将达到饱和，这是最坏的情况。但是在这条带状线上没有远端噪声。

图10.39给出了受害线上接收器的仿真噪声。当只有一条相邻线开关时，静态线上的噪声是195 mV，即约为6%，这对于所有合理的噪声预算来说可能都太大了。这种几何结构的确是最差的情况。

如果受害线另一边的一条攻击线也同时开关，则噪声大约翻倍，即390 mV。所以当受害线两边各有一条相邻攻击线时，产生的电压噪声大约为12%。显然，每条攻击线产生的噪声相等，而且这些噪声在受害线上是叠加的。

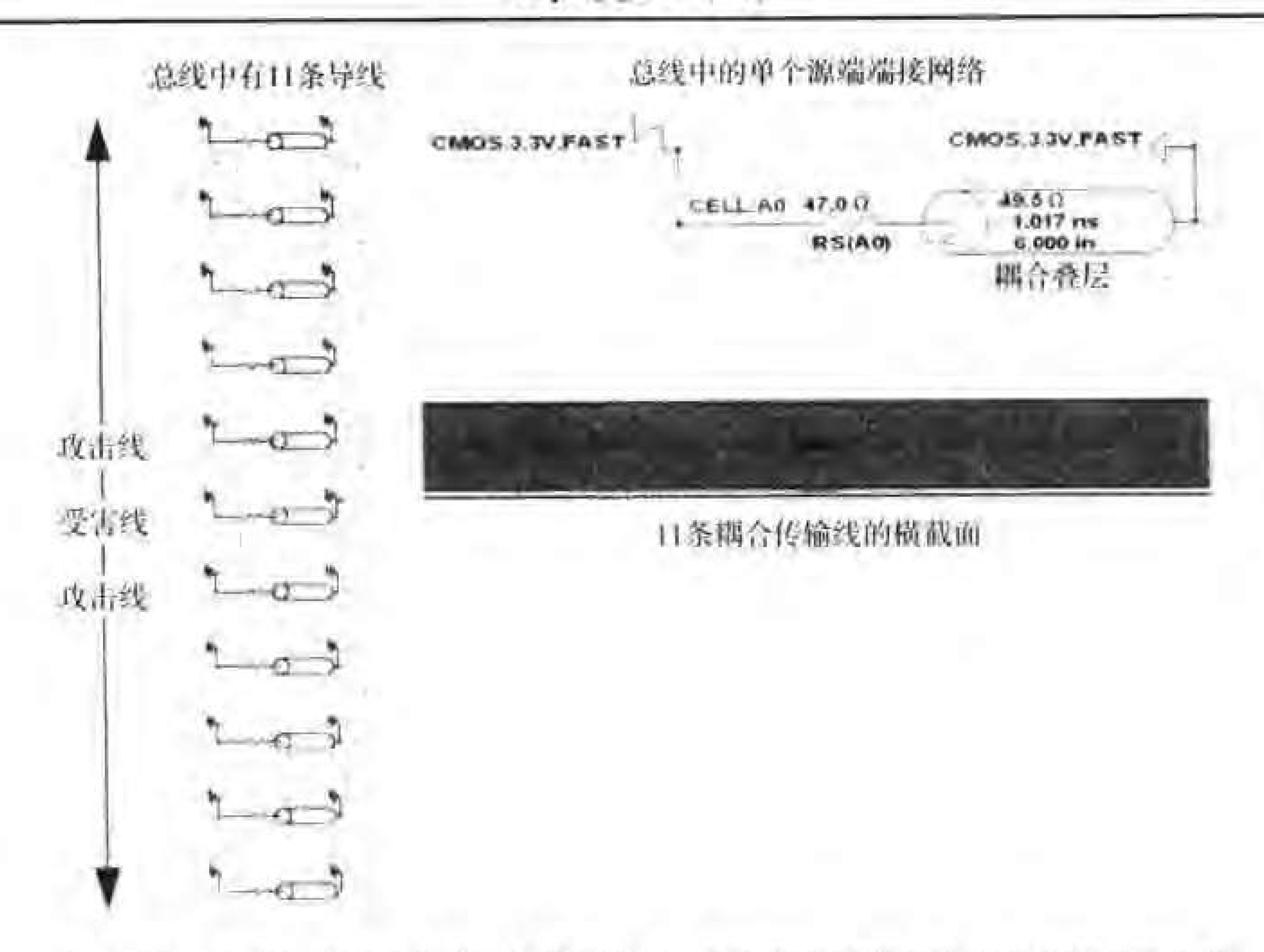


图 10.38 当受害线两边各有5条攻击线时，为仿真受害线上的噪声而使用的电路框图。每条线都为FR4中50 Ω带状线，都带有源串联端接，线宽和间距均为5 mil，线长10 in。此图在Mentor Graphics Hyperlynx中建立

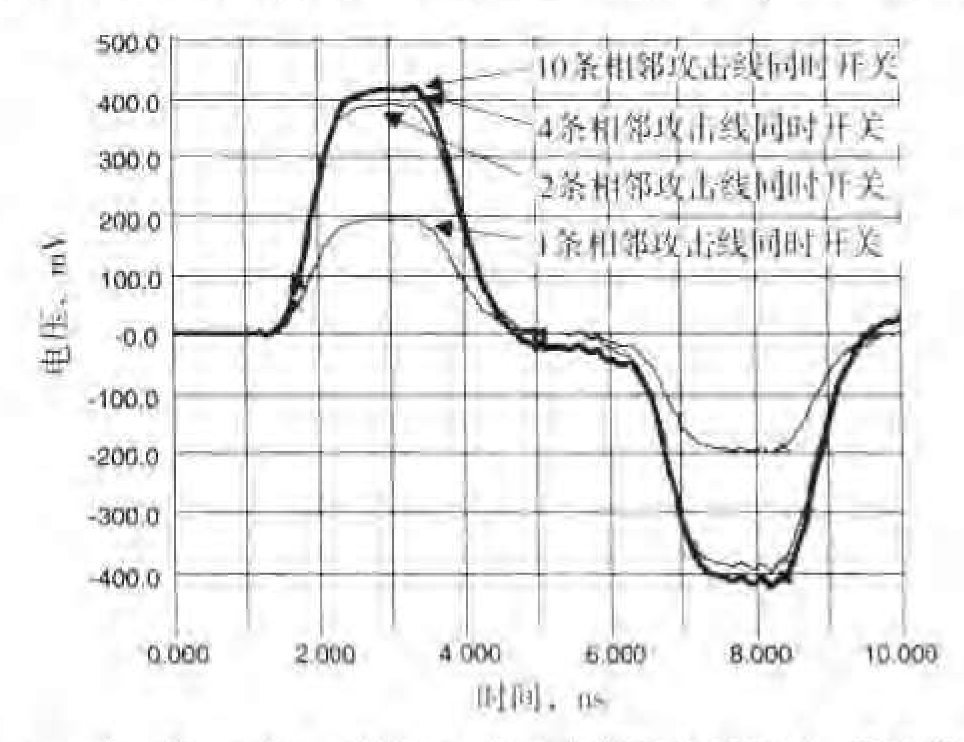


图 10.39 当1条、2条、4条和10条攻击线同时开关时，受害线上接收器的噪声仿真。显然，最近的两条攻击线囊括了绝大多数的噪声。此图由Mentor Graphics Hyperlynx仿真得到

带状线中，随着间距增大，耦合噪声迅速下降。相比于直接相邻的攻击线产生的噪声，我们可以认为距离再远些的那两条攻击线产生的噪声是很小的。当这4条最近的攻击线同时开关时，受害线上接收器的噪声值为410 mV，即12.4%。最后，最坏的情况就是所有攻击线同时开关，这时噪声仍是410 mV，这与相邻最近的4条攻击线同时开关时没有什么区别。

我们知道总线上的绝对最差情况大约是基本NEXT噪声水平的2.1倍。如果只考虑相邻导线的开关，在这种最坏的几何结构下，仍可以包括总噪声值的95%。如果考虑到了每边各有两条邻近攻击线同时开关，也就几乎包括了100%的耦合噪声。

提示　对大多数系统级仿真来说，在串扰分析中只包括受害线两边相邻导线产生的噪声就已经足够了，这些噪声为紧耦合总线中串扰的95%。

在这个例子中，使用了非常具有挑战性的设计规则。串扰量达12%，远高于任何合理的噪声预算。如果使间距等于线宽的两倍，则一条相邻线产生的噪声值将为1.5%，两条相邻线同时开关产生的噪声值将为3%。当4条最近的攻击线同时开关时，静态线上接收器的耦合噪声仍为3%。如果所有的10条相邻线同时开关，它也不会受影响而增大。使用5 mil线宽、10 mil间距的实际设计规则，其仿真结果如图10.40所示。

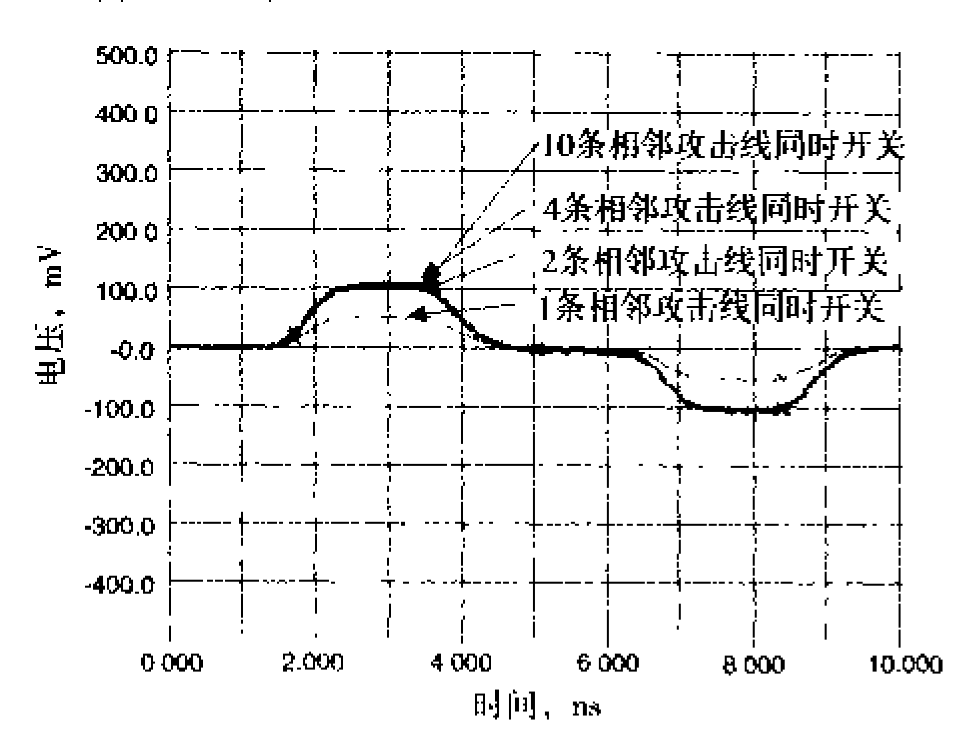


图 10.40　11条FR4中50 Ω带状线组成的总线中，处于中心的那条线上接收器的噪声。其中每条导线宽5 mil，线间距为10 mil。同时开关的动态线分别为1条、2条、4条、10条。此图由Mentor Graphics Hyperlynx仿真得到

在最坏情况分析时，只需考虑受害线两侧的相邻线就可以了。

提示　当使用最具挑战性的设计规则时（即间距等于线宽），总线中某条受害线上多于95%的噪声值是由受害线两侧最近的两条攻击线耦合产生的。若使用保守设计规则，即线间距等于线宽的2倍，则几乎所有的噪声都是由受害线两边最近的攻击线耦合产生的。

这说明对于长平行总线的适当间距，在建立设计规则时，最坏情况下的噪声至多为基本NEXT值的2.1倍。如果噪声预算为受害网络上的串扰分配了5%电压摆幅，则可以允许相邻网络之间的实际NEXT量为：5% ÷ 2.1，即NEXT的值大约是2%。在评估关于微带线或带状线中可允许的最近间隔规范时，我们可以使用这个结论作为设计要求。

10.15　防护布线

减小串扰的一种方法就是增大导线的间距，使间距等于线宽的两倍可以保证最坏情况下的串扰小于5%。在有些情况下，尤其是在混合信号情况下，保持串扰远小于5%很重要。例如，一个敏感的射频接收器可能需要与数字信号的隔离度高达-100 dB。-100 dB就是指出现在敏感静态线的噪声值小于动态信号的0.001%。

通常，使用防护布线可以明显减小串扰，但只有当设计和配置正确时，这才是有效的。

防护布线是位于攻击线和待屏蔽受害线之间的隔离线。图10.41给出了防护布线的几何结构。信号线之间的防护布线应尽量宽，同时还要符合间距的设计规则。防护布线可以使用

在微带线和带状线结构中，但微带线中的防护布线作用不是特别大，后面将给出一个简单的例子。

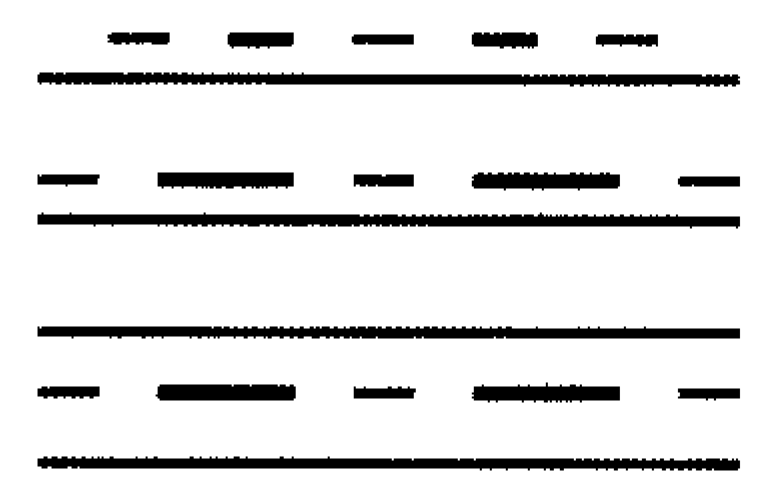


图 10.41　包含防护布线的导线横截面例子，其中加黑线为防护布线，其他为信号线

如果坚持使用最小允许间距等于线宽这条设计规则，则在加入防护布线之前，必须将导线之间的间距增大到线宽的3倍，以便在攻击线和受害线之间加入防护布线。可以通过比较以下3种情况来估计微带线结构中加入防护布线的好处：

1. 间距很近的两条微带线，线宽和间距均为 5 mil；
2. 将间距增大到可以加入防护布线的最小间距（15 mil）；
3. 将间距增大到 15 mil，并加入防护布线。

这 3 个例子如图 10.42 所示。

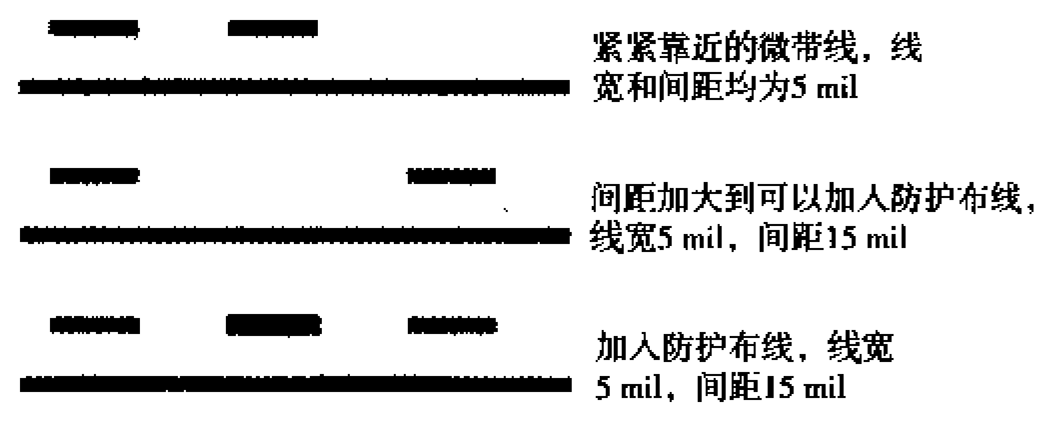


图 10.42　用来估计受害线上接收器噪声的三个不同微带线结构

此外，可以评估防护布线的不同端接策略，它的两端应该是开路，还是应该有端接，还是短路？

图 10.43 把所有这些情况下静态线接收器的噪声峰便进行了比较。接收器上的噪声是动态线上的反射信号、静态线上的近端噪声和远端噪声以及它们反射的合成，与这些一阶效应合在一起考虑的还有封装和电阻元件的寄生参数产生的二阶效应。

导线间距最小时，峰值噪声是 130 mV，约为 4% 。仅把导线间距增大到可以加入防护布线的宽度，噪声就减小到 39 mV，即 1.2%，这大约减小了 75%。当加入防护布线并使其浮空开路时，我们看到静态线上的噪声稍微增加了一点。

但是，如果在防护布线两端连上 50 Ω 端接电阻，噪声将大约减小到 25 mV，即 0.75% 。如果把防护布线两端短路，则静态线上的噪声会减小到 22 mV，即约为 0.66%。

提示　加大间距可以得到许多好处，噪声可以减小到 1/4。加入防护布线并使其两端短路，噪声就可以再减小 1/2。

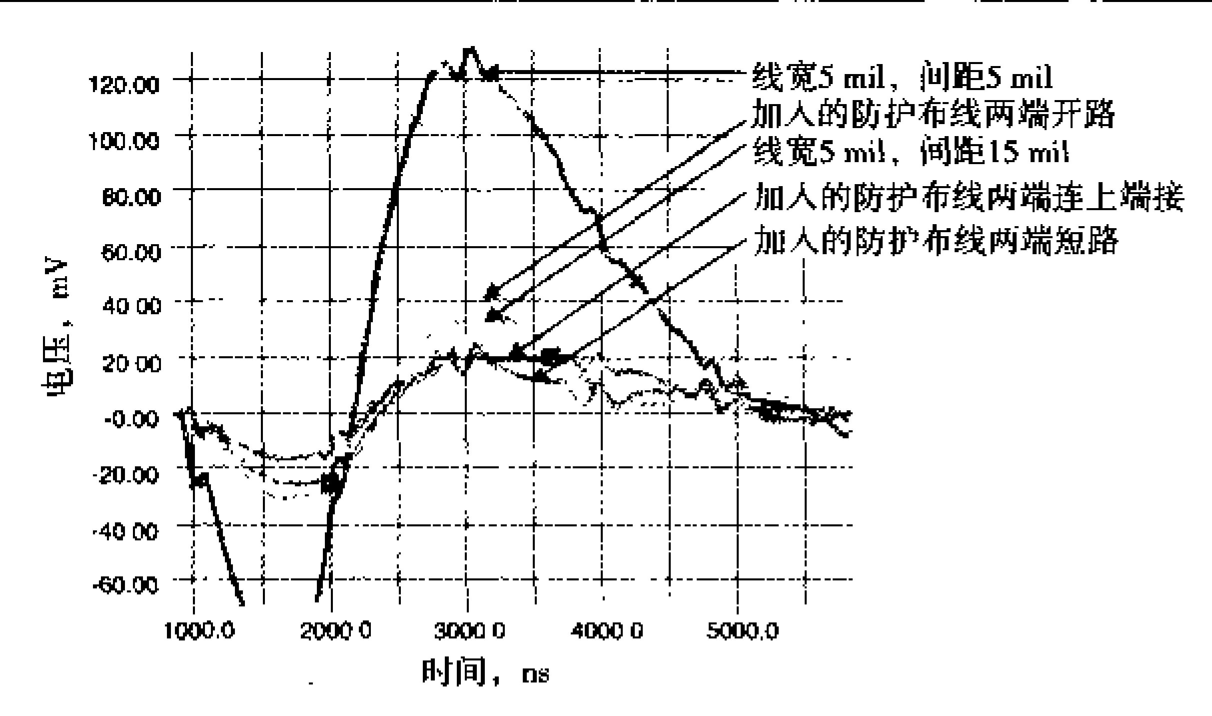


图10.43 对防护布线两端开路、短路和连上端接这三种不同几何结构的测试。此图由Mentor Graphics Hyperlynx进行仿真得到

提示 防护布线影响了攻击线和受害线之间的电场和磁场，最终使电容矩阵元素和电感矩阵元素减小。

防护布线引起非对角元素幅度的减小仅仅与几何结构有关系，而与防护布线和返回路径间的电气连接方式无关。这说明防护布线总是有好处的，但是，防护布线也可以看做是另一条信号线。噪声从攻击线耦合到防护布线上，防护布线上的这个噪声可以再次耦合到静态线上。防护布线上产生的可以耦合到静态线上的噪声值，与防护布线的端接方式有关。

如果防护布线开路，这时防护布线上产生的噪声是最大的。如果每一端都用50 Ω端接，则产生的噪声就会少些。图10.44给出了上述条件下，防护布线远端的噪声。上述条件即线宽和间距均为5 mil，50 Ω微带线，动态线带有源串联端接，动态线上的信号为3.3 V、100 MHz。很明显，当防护布线开路时，防护布线上的噪声更多些。这个额外的噪声也将在静态线上耦合更多的噪声，这就是为什么有时开路的防护布线比仅有防护布线时，在受害线上会产生更多噪声的原因。

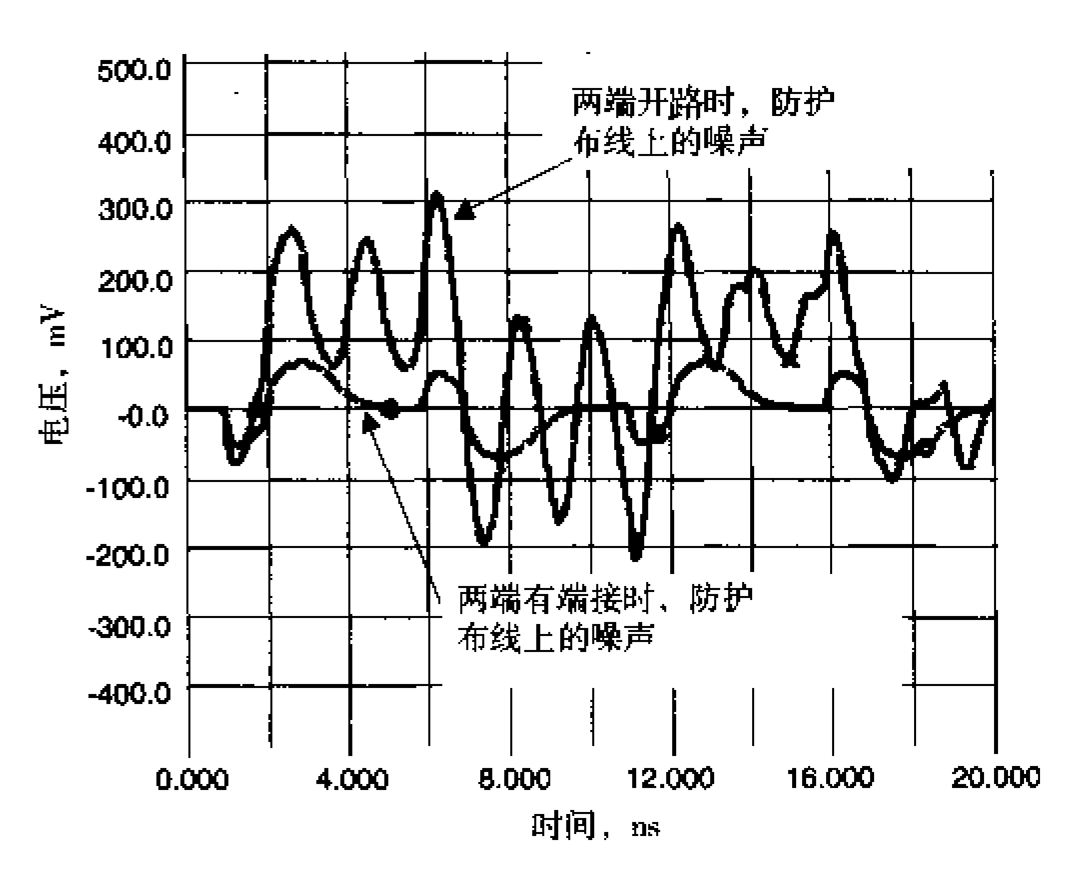


图10.44 防护布线两端分别开路和端接时终端上的噪声，这个噪声将耦合到静态线上。此图由Mentor Graphics Hyperlynx仿真得到

防护布线两端短路才能显现其最大的好处。随着信号沿着攻击线传输，它仍然将噪声耦合到防护布线上。防护布线上的后向噪声到达近端的短路处并且发生反射，反射系数为 -1。这就意味着防护布线上后向传输的大部分近端噪声，与同时存在的前向传输的负反射近端噪声相抵消。

提示 防护布线的短接将消除沿防护布线可能出现的任何近端噪声。

防护布线上也有前向远端噪声，而且此噪声持续向前移动直到它到达防护布线远端短路处。在这一点，它反射回去，且反射系数为 -1。就在防护布线的最远端，净噪声将为0，因为这里是短路。但是，反射的远端噪声将继续向防护布线的近端传输。如果只是将防护布线的两端短路，防护布线上的远端噪声就在两端之间来回反射，对于要保护的受害线来说，这就像一个潜在的噪声源。如果防护布线是无损耗的，则远端噪声就在防护布线上来回迅速移动，就像是一个把噪声耦合到受害线上的小噪声源。

防护布线上短路过孔之间的间距对防护布线上产生电压噪声的影响有两种方式。防护布线上的远端噪声只在过孔之间的区域产生。间距越短，防护布线上产生的最大远端噪声就越小。过孔越多，防护布线上的远端噪声就越小。这意味着可以耦合到受害线上的噪声就减小了。

提示 沿防护布线增加多个过孔，可以减小防护布线上产生的远端噪声值。这些过孔不影响从攻击线直接耦合到受害线的噪声，它们只是抑制防护布线上产生的噪声电压。

对于中间有防护布线的两对 10 in 长耦合微带线，图 10.45 比较了它们的受害线上的噪声，其中一条防护布线每端各有一个短路过孔，另一条防护布线上有 11 个短路过孔，每两个过孔之间的间隔为 1 in。

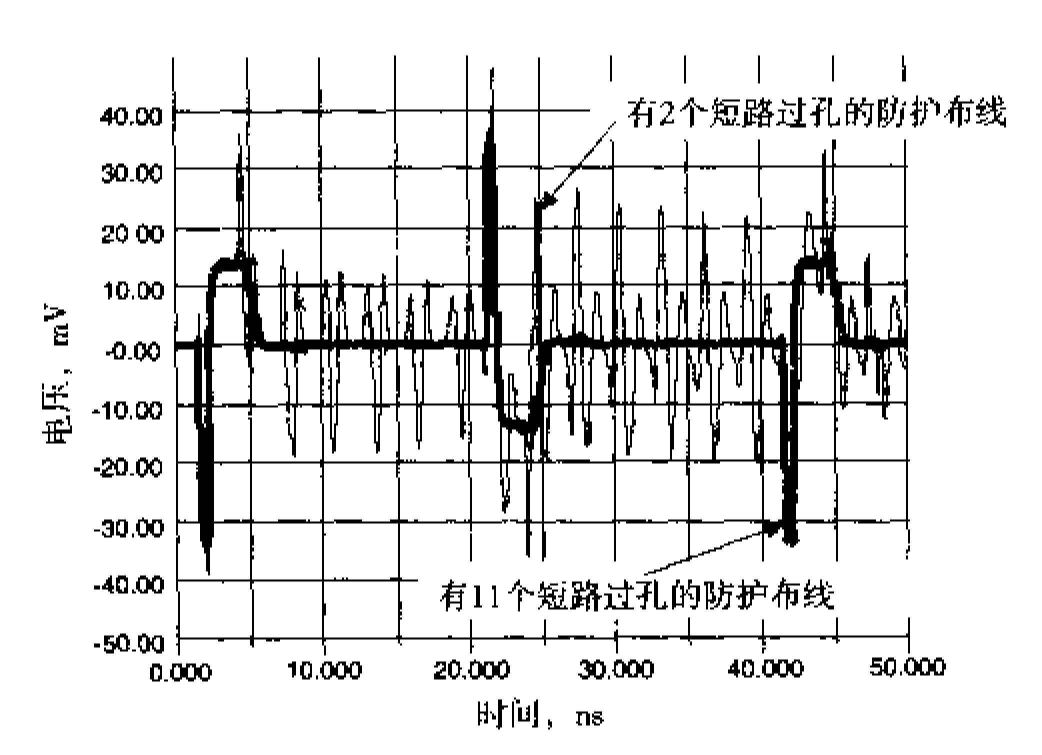


图 10.45 防护布线上分别有 2 个和 11 个短路过孔时，受害线上的噪声比较。其中信号是上升时间为 0.7 ns 的 3.3 V 电压，为了显示只有两个短路过孔防护布线上的噪声效应，我们使用较低的 25 MHz 时钟频率。受害线上的最大噪声为 35 mV，是 3.3 V 电压的 1%。此图由 Mentor Graphics Hyperlynx 仿真得到

刚开始，受害线上的噪声是一样的，与短路过孔数无关，这是受害线和攻击线之间直接耦合的噪声。耦合噪声值与因防护布线而减小的矩阵元素有关。加上过孔时，我们限制了防护布线上产生的噪声，并且消除了这个额外噪声耦合到受害线上的可能性。

多个短路过孔的另一个作用就是使远端噪声产生负反射来抵消入射远端噪声。但是，只有在入射远端噪声和反射远端噪声相叠加的地方才会抵消。如果短路过孔之间的间距长于远端噪声的宽度，即上升时间，这一效果将不会发生。

提示 经验法则：短路过孔应当沿防护布线分布开，在信号上升时间的空间延伸里至少有3个过孔。这将保证使远端噪声和其负反射重叠在一起，从而使防护布线上的噪声电压相互抵消。

如果上升时间为1 ns，则空间延伸为1 ns × 6 in/ns = 6 in，短路过孔之间的间距应为6 in/3 = 2 in。如果上升时间为0.7 ns，正如前一例子，空间延伸为0.7 ns × 6 in/ns = 4.2 in，则短接过孔之间的最优间距为4.2 in/3 = 1.4 in。在前一个例子中，短路过孔为每隔1 in安放一个。这时，更小的间距对耦合到受害线的噪声已没有影响。

当然，信号上升时间越短，得到最佳隔离的短路过孔之间的间隔也越小。通常还需要折中考虑过孔的费用和应当加入的过孔数，但这只是当隔离度要求很高时才是问题。实际上，增加短路过孔数对受害线上的噪声只有很小的影响。

然而，当高隔离度很重要时，带状线中耦合到静态线上的噪声会小得多，所以通常应当使用带状线。在带状线结构中，远端噪声非常小，沿防护布线分布短路过孔的必要性也更小。

防护布线对限制带状线结构中的隔离度非常有效。图10.46分别给出了一对50 Ω带状线在有防护布线和没有防护布线的情况下，攻击线和受害线之间的近端串扰。在这个例子中，逐渐增加两条线之间的间距和防护布线宽度，并符合间距总是大于5 mil这个设计规则。在带状线结构中，与没有防护布线的结构相比较，防护布线提供了一个非常明显的隔离作用。使用宽的防护布线，隔离度甚至大到 -160 dB。如果受害线和攻击线之间的间距为30 mil，则防护布线几乎可以使隔离度降低3个数量级。

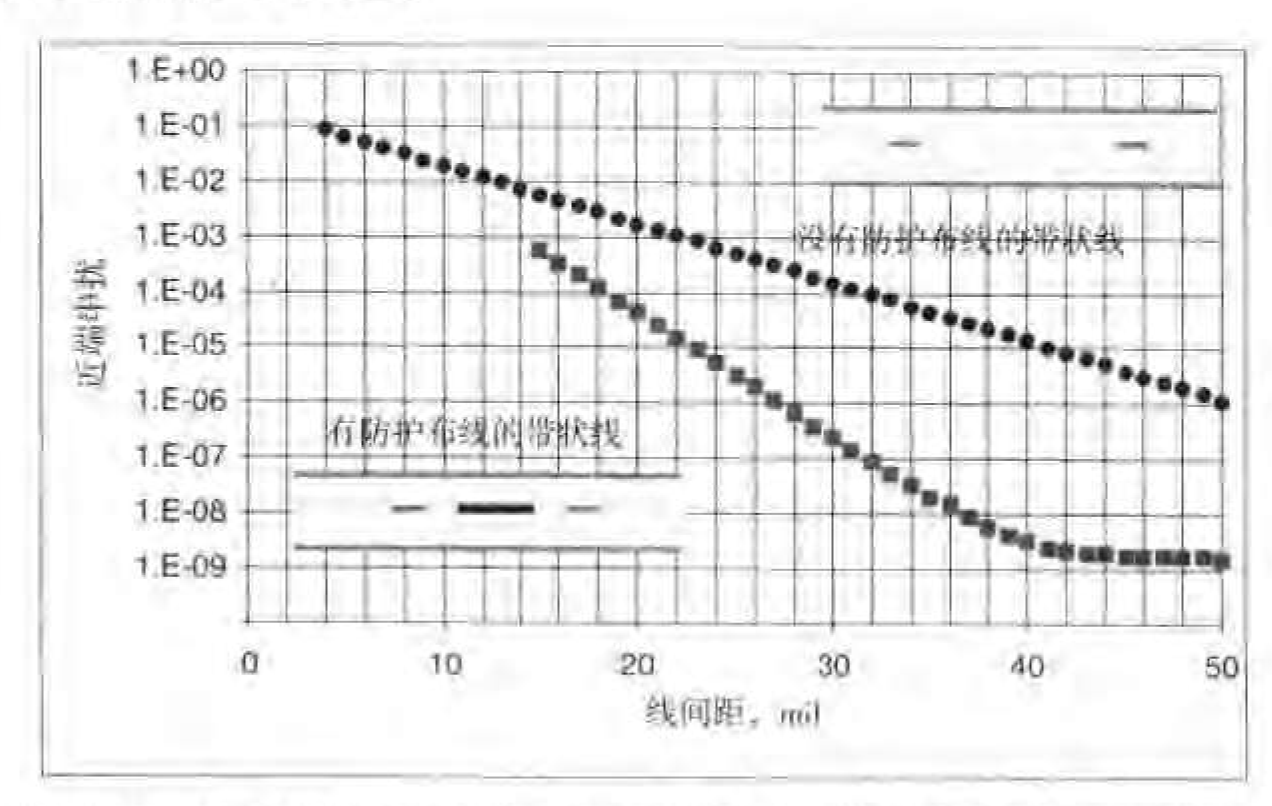


图10.46 有防护布线和没有防护布线情况下，带状线上的近端串扰。信号线宽5 mil，均为FR4中50 Ω带状线。防护布线线宽随信号线间距而增加，但保持5 mil间距。近端噪声在大约10^{-9}处维持不变，表明这已经是仿真器的数值噪声基准。此图由Ansoft的SI2D仿真得到

如果使用了防护布线，它与它所保护的静态线之间也有一些耦合，这将使静态线的特性阻抗减小。如果防护布线是在它所保护信号线宽的两倍范围以内，静态线的阻抗仅减小很小一部

分。如果这将引起问题的话，可以减小静态线的线宽以便使其阻抗返回到期望值。使用二维场求解器很容易确定防护布线结构的适当线宽。

防护布线不仅仅只是屏蔽了电场，附近动态线上的信号电流也在防护线上产生感应电流。图 10.47 给出了线宽和间距均为 5 mil 的动态线、防护布线和静态线上的电流分布。电流只在动态线上激励，但是防护布线上有感应电流，而且与返回平面上的电流密度相当。

攻击线 防护布线 受害线

图 10.47 在攻击线加入 100 MHz 信号，防护布线与返回路径短路连接时，各条导线上的电流分布。颜色越淡，电流密度越高，这里的灰度尺度表示成对数尺度。此图由 Ansoft 的 SI2D 仿真得到

这个感应电流与动态线上的电流方向相反。防护布线上的感应电流产生的磁力线将进一步抵消动态线在静态线位置处产生的杂散磁力线。对于一条或多条用做防护布线的一组导线，在计算它的新电容矩阵元素和电感矩阵元素时，二维场求解器会全面考虑到电场屏蔽效应和磁场屏蔽效应。

10.16 串扰和介电常数

近端噪声与相对容性耦合及相对感性耦合的总和：$C_{12}/C_{11}+L_{12}/L_{11}$ 有关。当然，感性耦合完全不受导线周围的介质材料所影响。

在介质材料处处均匀的 50 Ω 带状线结构中，如果周围所有介质的介电常数都减小，则信号路径和返回路径之间的电容 C_{11} 也减小。但是，两条信号路径之间的边缘场电容 C_{12} 也将减小同样的量。所以这条带状线上的串扰没有任何改变。

然而，如果各处的介电常数都减小，则特性阻抗从 50 Ω 开始增加。使特性阻抗恢复到 50 Ω 的一种方法就是减小介质厚度。如果介质厚度减小到使特性阻抗达到 50 Ω，串扰同时也将减小。

提示 用一种非常微妙的方式，减小介电常数可以降低串扰，但这是间接的作用。对于相同的期望阻抗，较低的介电常数允许信号路径和返回路径之间有更小的间距，这意味着产生的串扰较低。

图 10.48 分别给出了两种不同介电常数情况下，5 mil 宽带状线的特性阻抗随平面之间距离的变化情况。如果设计使用介电常数为 4.5 的叠层（如 FR4），然后换为 3.5（如聚酰亚胺），为了使特性阻抗保持在 50 Ω，则平面之间的距离应该从 14 mil 减小到 11.4 mil。如果 5 mil 线宽之间的间距仍保持在 5 mil，近端串扰将从 7.5% 减小到 5.2%，即近端串扰减小了 30%。

提示 使用较小介电常数的材料，可以使布线间距相同时的串扰减小，或者是对相同的串扰指标，可以使布线间距更小。对于受到串扰规则限制的设计，这种方法可以减小电路板尺寸。

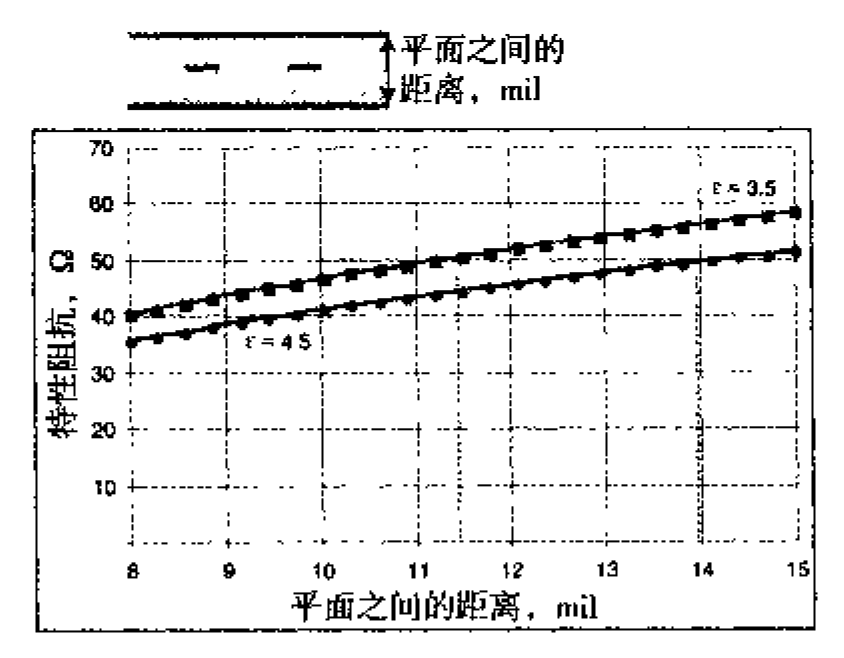


图10.48　对于两种不同的介质材料，随着平面间距离的变化，带状线特性阻抗的变化情况。阻抗相同时，较低的介电常数允许平面之间的距离可以更小些，这使产生的串扰也较小。此图由Ansoft的SI2D仿真得到

10.17　串扰和时序

信号线的时延TD与互连线长度和线上的信号速度有关，信号的速度与周围材料的介电常数有关。原则上讲，相邻攻击线产生的串扰应该不会影响受害线的时延。毕竟，相邻线上的信号怎么可能影响受害线上的信号速度呢？

提示　在带状线中，确实如此。受害线上的信号速度与附近任何攻击线上的信号完全无关，而且串扰对时序也没有任何影响。

但在微带线上，串扰和时序之间有着微妙的相互作用。这是由介质材料的不对称和信号线间的边缘场不相同而共同造成的，其中信号线间的边缘场与攻击线上的数据模式有关。

假设有三条相距很近的10 in长微带信号线，间距和每条线宽均为5 mil。其中，最外边的两条线是攻击线，中心线为受害线。当动态线上没有信号时，受害线的时延约为1.6 ns，如图10.49所示。

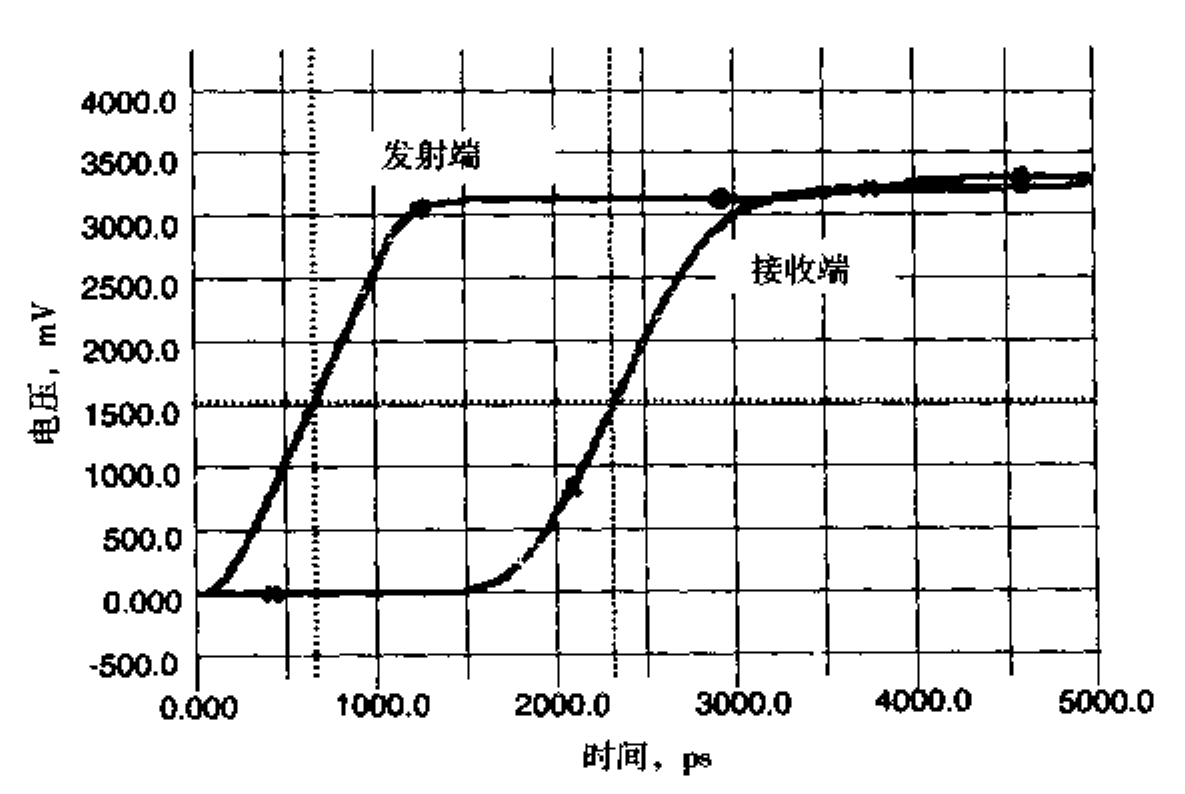


图10.49　当两个攻击线上都没有信号时，信号从受害线驱动器传输到受害线上接收器的时延为1.6 ns。此图由Mentor Graphics Hyperlynx仿真得到

提示 受害线上的信号时延与攻击线上的电压模式有关。当攻击线和受害线的开关方向相反时，受害线时延减小。当攻击线和受害线上的信号相同时，受害线的时延将增加。

攻击线上的电压模式与受害线上的信号时延之间的关系如图10.50所示，仿真结果如图10.51所示。就好像当攻击线开关与受害线相反时，信号速度增加而时延减小；当攻击线开关与受害线上的电压模式相同时，受害线上的信号速度降低而时延增加。

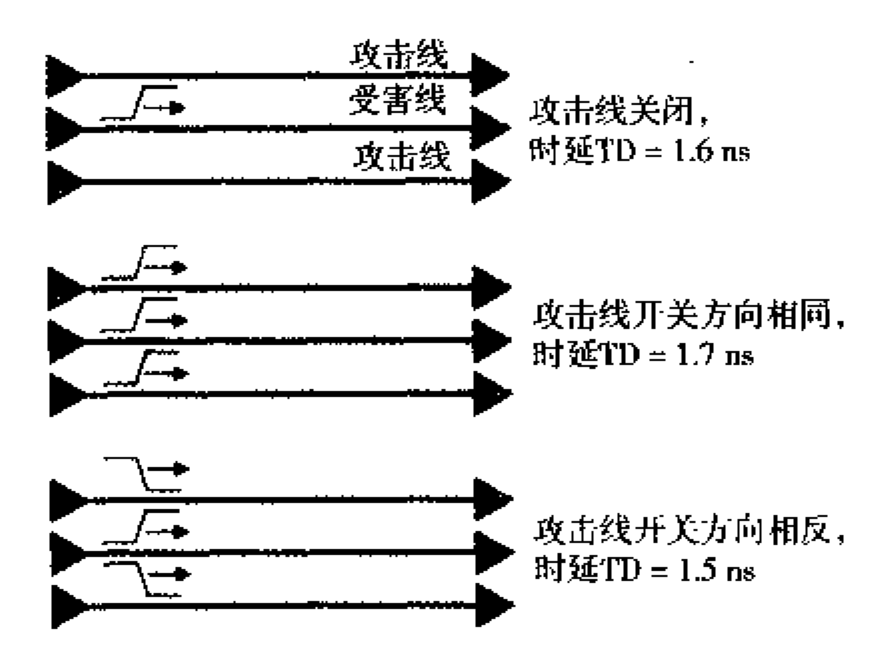


图10.50 信号在攻击线和受害线上的三种方式。攻击线上的电压模式对受害线的时延有影响

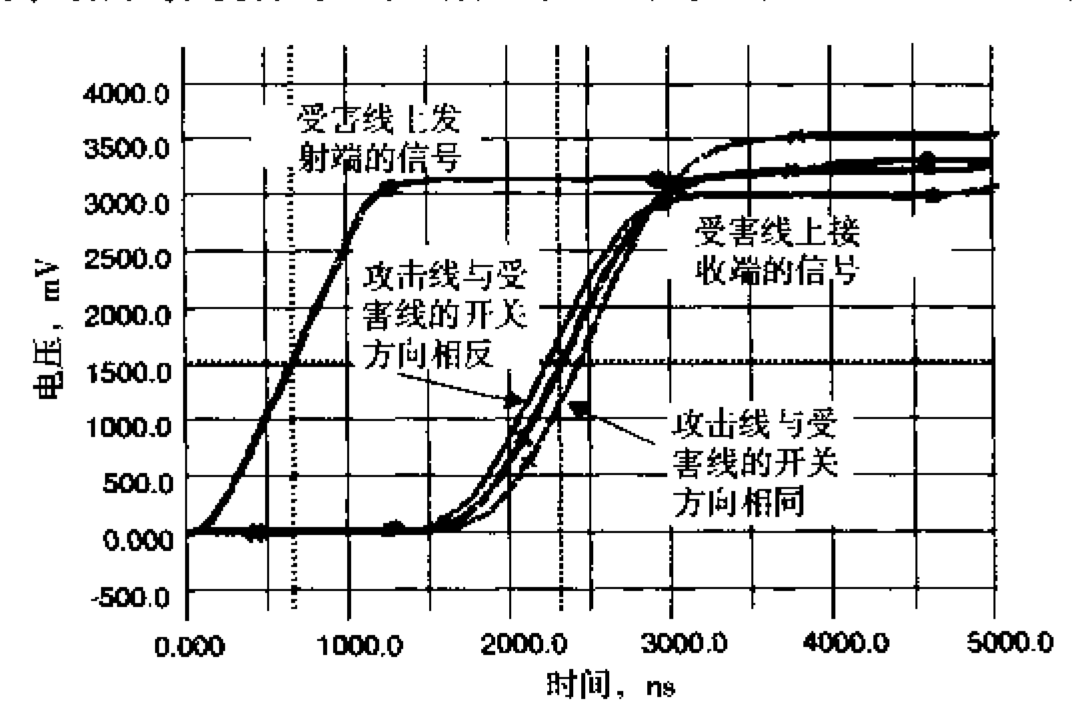


图10.51 当攻击线的开关方向分别与受害线相同和相反时，受害线上接收端的信号。此图由Mentor Graphics Hyperlynx仿真得到

当攻击线关闭时，受害线上信号电压的电力线感受到体材料和导线上的空气两种介质，它们合成的有效介电常数决定了信号的速度。

当攻击线开关与受害线上的信号方向相反时，受害线和攻击线之间将有很强的场，许多电力线在介电常数较小的空气中。这时，受害线受到的有效介电常数有一大部分是源于空气，与攻击线关闭时相比，有效介电常数就减小了。有效介电常数减小，导致受害线上的信号速度更快，从而时延更短，如图10.52所示。

攻击线和受害线的开关方向相同时，每条线都有相同的电位，空气中几乎没有电力线，绝大多数电力线是在体材料中。这说明受害线受到的有效介电常数更大些，由体材料的介电常数决定。这时候，对受害线上的信号来讲，有效介电常数增大，使得受害信号的速度降低，从而时延增加。

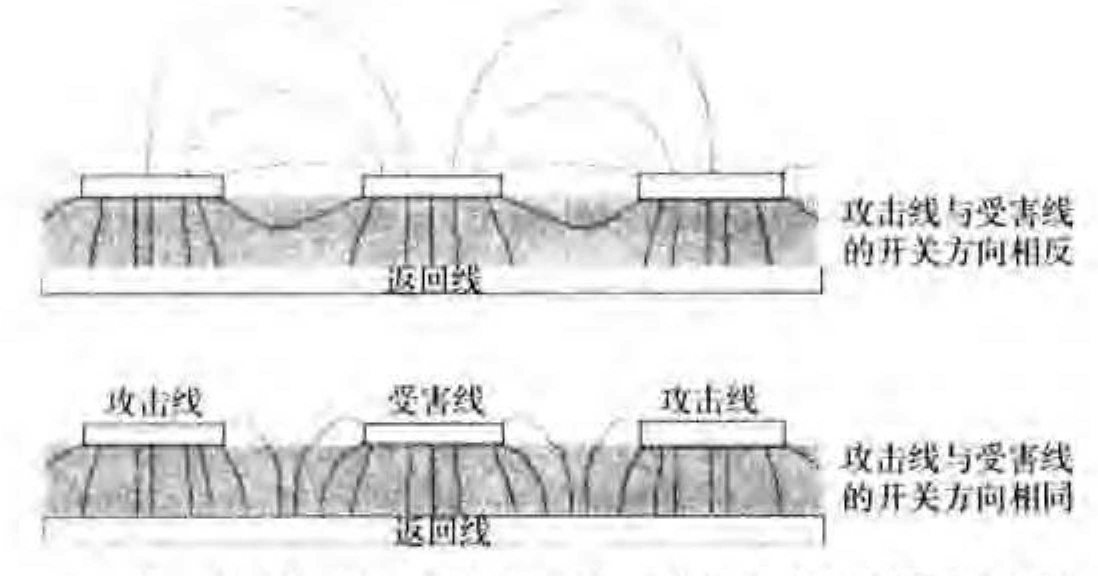


图 10.52　当开关方向相同和相反时，受害线和攻击线周围的电场分布。此图由 Mentor Graphics Hyperlynx 仿真得到

在紧耦合传输线中，边缘场重叠很严重，仅在这时，串扰才会影响时延。如果两条线相隔很远，串扰电压并不引起问题，边缘场就不会重合，受害线时延就与其他导线的开关方式无关。在用分布式耦合传输线模型进行仿真时，已经充分考虑了这种影响。

10.18　开关噪声

如果返回路径不是均匀平面或介质材料非常不均匀时，增加的感性耦合比容性耦合高很多，这时噪声主要由回路互感决定。这通常发生在互连线的很小区域里，例如封装、接插件以及电路板上返回路径被间隔隔断的区域。

当回路互感占主导地位，并且发生在很小的区域时，可以用单个集总互感来模拟耦合。静态线上由互感产生的噪声仅在当动态线出现 dI/dt 时才会上升，即边沿切换的时候。正是由于这个原因，互感占主导地位时产生的噪声有时也称为开关噪声、dI/dt 噪声或 ΔI 噪声。以前讨论过的地弹，在共用引线的局部互感在回路互感中占主导地位的特殊情况下，是开关噪声的一种形式。只要有共用的返回路径，就会发生地弹。这里指出减小地弹的三种方法：

1. 增加返回路径数量，使它们没有共用的返回路径；
2. 增加返回路径的宽度并减小长度，使之局部自感最小；
3. 将每一个信号路径靠近它的返回路径以便增加它们间的互感。

提示　然而，即使没有共用的返回路径，当互感占主导地位时，两个或多个信号/返回路径回路之间也依旧存在串扰。接插件和封装中的回路互感通常是它们实现高速性能的制约因素。

使用一个简单的模型就可以估计出两个信号/返回路径回路之间的回路互感是否太大。当一个信号经过接插件中的一对引脚（动态线）时，回路中的电流会突然在波前处发生变化。由于两个回路之间存在互感，电流的变化引起相邻的静态回路感应出电压噪声。

静态回路上感应的电压噪声可由下式近似：

$$V_n = L_m \frac{dI_a}{dt} = L_m \frac{V_a}{RT \times Z_0} \tag{10.25}$$

其中：

V_n 表示静态回路上的电压噪声

L_m 表示动态回路和静态回路之间的互感

I_a表示动态回路上变化的电流

Z_0表示动态回路和静态回路上的信号受到的典型阻抗

V_a表示动态回路上的信号电压

RT 表示信号的上升时间（即电流开启的快慢）

接插件和封装设计所影响的惟一一项就是回路之间的回路互感。信号受到的阻抗（常见的是 50 Ω）同上升时间和信号电压一样，都是系统指标的一部分。

容许的开关噪声值与噪声预算中分配的噪声有关。根据负责选择接插件和IC封装的工程师谈判技巧的不同，开关噪声值可能必须限制在小于信号摆幅的5%到10%。

提示 一个信号完整性工程师，如果他有很好的谈判技巧，并且知道寻找互感足够低的封装或接插件是多么困难，那么就会争取将互感指标放宽一些，而要求系统中其他部分的指标严格一些。

如果规定了最大可容许的开关噪声，就可以定义动态网络和静态网络之间最大可容性的回路互感。这个最大可容性的回路互感为：

$$L_m = \frac{V_n}{V_a}(RT \times Z_0) \tag{10.26}$$

其中：

L_m表示动态回路和静态回路之间的互感

V_n表示静态回路上的电压噪声

V_a表示动态回路上的信号电压

RT 表示信号的上升时间（即电流开启的快慢）

Z_0表示动态回路和静态回路上的信号受到的典型阻抗

作为示例，使用以下值：

$V_n/V_a = 5\%$

$Z_0 = 50\ \Omega$

$RT = 1\ ns$

此例中，最大可容许的回路互感是2.5 nH。如果上升时间减小，dI/dt产生的开关噪声将更大，所以必须减小回路互感以减小开关噪声。

提示 这给出了一个经验法则：要使一对信号/返回路径回路之间的开关噪声保持在可接受的水平，应使它们之间的回路互感$L_m < 2.5\ nH \times RT$，其中RT的单位是ns。

如果上升时间是0.5 ns，最大可容许的回路互感为1.2 nH。随着上升时间缩短，最大可容许的回路互感也减小，这使接插件和封装设计变得更加困难。有三种主要的几何特征可以减小回路互感。

影响回路互感的最主要因素是回路长度。减小回路长度，互感也将减小。这就是为什么封装和接插件的发展趋势是越小越好，例如芯片级封装。

影响回路互感的第二个因素是回路之间的间距。增加间距，互感也减小。但是，信号/返回路径之间的间距大小是受到实际因素限制的。

影响回路互感的第三个因素是每个回路中信号路径和返回路径的接近程度。回路互感与每个回路的回路自感有关，减小其中一个回路的回路自感将减小它们之间的回路互感。将信号靠

近回路的信号路径将减小它的阻抗。一般来说，信号路径的阻抗减小，开关噪声也减小。当然，阻抗太小将引起一系列与阻抗突变有关的新问题。

这一分析是根据开关噪声是在相邻两条信号路径之间产生的这一假设展开的。如果两条攻击线和同一静态线之间的耦合很大，要使受害线上的开关噪声值保持不变，就要把每对线之间的互感减小一半。与同一条受害线相耦合的攻击线越多，容许的耦合互感就越小。

如果知道在封装和接插件中信号对之间的回路互感的大小，可以使用式（10.26）的近似来直接估算出它们的最短可用上升时间或最高可用时钟频率。例如，如果回路互感是2.5 nH，而且耦合只存在于两条信号路径和返回路径之间，则使开关噪声小于5%信号摆幅的最短上升时间为1 ns。

提示　这给出了一个经验法则：受开关噪声限制的最短可用上升时间，以ns计算，就是$RT > L_m/2.5\ nH$。若假设时钟频率是$10 \times RT$，则最高可用时钟频率约为$10 \times 1/RT = 250\ MHz/L_m$。

例如，如果一对信号路径之间的回路互感是1 nH，最大工作时钟频率大约是250 MHz。当然，如果有5条攻击线可以与受害信号线相耦合，且每一对的回路互感为1 nH，则最大工作时钟频率将减小到250 MHz/5 = 50 MHz。这就是信号路径之间互感的典型值为1 nH的引线封装其最大工作时钟频率在50 MHz左右的原因。

10.19　降低串扰措施分类

串扰不可能完全消除，它只能减小。通常减小串扰的设计特点包括以下几个方面：

1. 增加信号路径之间的间距；
2. 用平面作为返回路径；
3. 使耦合长度尽量短；
4. 在带状线层布线；
5. 减小信号路径的特性阻抗；
6. 使用介电常数较低的叠层；
7. 在封装和接插件中不要共用返回引脚；
8. 使用两端和整条线上有短路过孔的防护布线。

提示　然而，采取减小串扰的措施总会增加系统费用。因此能够精确预测所需的串扰至关重要，这样可以确定适当的折中，以使在容许的串扰范围内使所需费用达到最低。

仿真均匀传输线上的串扰时，内含集成电路仿真的二维场求解器是合适的工具。对于不均匀传输线，不管是静止的（这一段可以用单个集总参数节来近似），还是全波（它的电气长度足够长），三维场求解器就是合适的工具。使用有预测功能的工具，就可以预测结果的价值以及为了实现它而需要付出的代价。

10.20　小结

1. 串扰与两个或多个信号/返回回路之间的容性耦合和感性耦合有关。它通常都很大，足以引起许多问题。

2. 返回平面是宽平面时，串扰最低。这时，容性耦合与感性耦合相当，两者都必须被考虑。
3. 串扰主要是由于边缘场的耦合，所以减小串扰最重要的方法就是增大信号路径之间的距离。
4. 与信号路径相邻的静态线上的近端噪声和远端噪声的特征是不同的。近端噪声与容性耦合电流和感性耦合电流的总和有关，远端噪声与容性耦合电流和感性耦合电流的差有关。
5. 对于总线中耦合的最坏情况，为了保持近端噪声小于5%，50 Ω传输线间的距离应至少为线宽的两倍。
6. 耦合长度等于上升边的空间时延时，近端噪声将达到最大值。
7. 远端噪声与耦合长度的时延和上升时间的比值成正比。对于一对间距等于线宽的微带线，当耦合长度的时延等于上升时间时，远端噪声约为4%。
8. 在紧耦合总线中，只考虑受害线两边最近的两条攻击线，就可以包括95%耦合噪声。
9. 带状线中没有远端串扰。
10. 如果要求有非常高的隔离度，就应使用有防护布线的带状线，这时隔离度可以大于 −160 dB。
11. 在有些封装和接插件中互感在耦合噪声中占主导地位。随着上升时间减小，信号/返回路径的回路间的最大容许互感量也会减小。这将使设计高速性能的器件变得更加困难。

第11章　差分对与差分阻抗

差分对是指一对存在耦合的传输线。应用一对传输线的意义，与其说在利用差分对的特性，倒不如说是利用差分信号的特性，而这通过差分对来实现。差分信号的传输是利用两个输出驱动来驱动两条传输线。一根携带信号，另一根携带它的互补信号。所需的信号就是两条传输线上的电压差，它携带着要传输的信息。

差分信号传输与单端信号传输相比有很多优点，如下所示：

1. 输出驱动总的dI/dt会比单端信号线上的大幅降低，从而减少了轨道塌陷和潜在的电磁干扰（EMI）。
2. 与单端放大器相比，接收器中的差分放大器有着更高的增益。
3. 差分信号在一对紧耦合差分对中传播时，在返回路径中对付串扰和突变的鲁棒性更好。
4. 因为每个信号都有自己的回路，所以差分信号通过接插件或封装时，不易受到开关噪声的干扰。
5. 使用价格低廉的双绞线即可实现较远距离差分信号的传输。

差分信号最大的缺点是会产生潜在的EMI。如果不对差分信号进行恰当的平衡或滤波，或者如果存在任何共模信号，就可能会使加在外部双绞线上的差分信号产生EMI问题。

第二个缺点是与单端信号传输相比，传输差分信号需要两倍数量的信号线。第三个缺点是要去理解许多新原理和重要的设计规则。正因为差分信号这些复杂的效应，设计的复杂程度大大增加了。

10年前，只有不到50%的电路板采用可控阻抗互连线，而现在这一数字已超过了90%。如今有不到50%的电路板使用了差分对，预计在未来几年中，将会有超过90%的电路板使用它。

11.1　差分信号

差分信号广泛应用于小型计算机可升级接口（SCSI）总线及以太网中，还应用于光纤远程通信协议中，如OC-48，OC-192，OC-768，以及以双绞线为主要载体的通信中。其中一种获得广泛应用的信号模式就是低压差分信号（LVDS）。

当观测信号电压时，记录测量点是很重要的。当驱动器在传输线上驱动一路信号时，在信号线和返回路径之间会存在一个信号电压，通常称之为单端传输线信号。当两路驱动器驱动一个差分对时，除了各自的单端信号外，这两路信号线之间还存在着一个电压差，我们称之为差分信号。图11.1给出了这两种信号的测量方法。

在低压差分信号中，采用两个输出引脚来驱动一比特的信号。每路信号电压范围在1.125 V和1.375 V之间，并且各自驱动一根传输线。信号线和返回路径上的单端电压如图11.2所示。

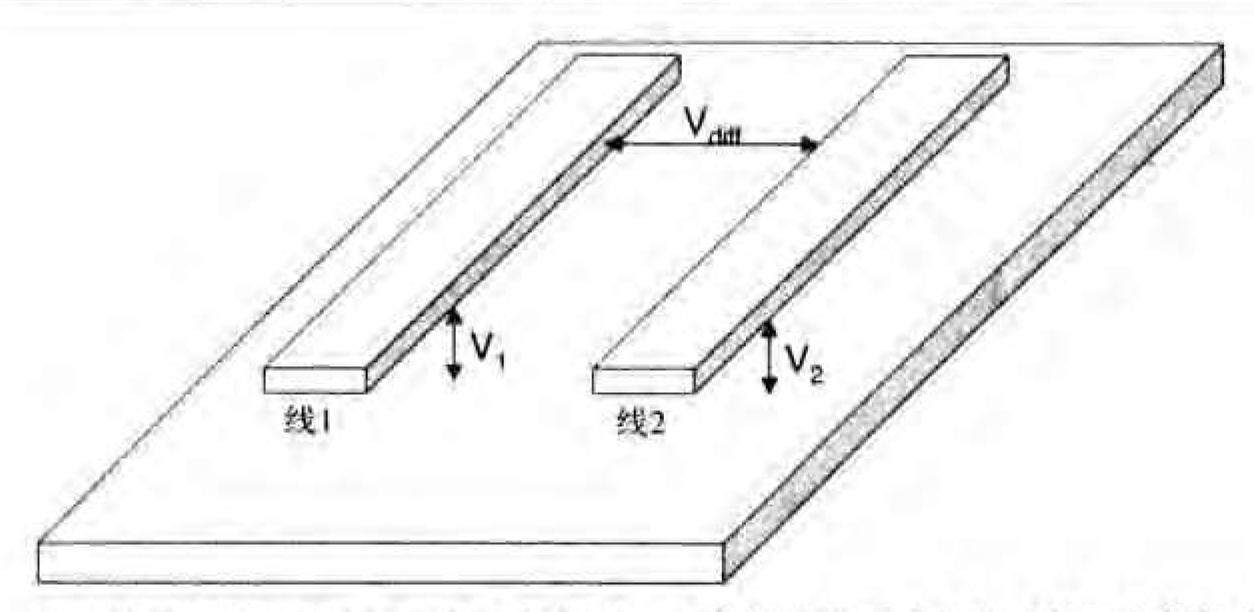


图 11.1 单端信号在信号线和返回线之间测量，差分信号在形成差分对的两条信号线间测量

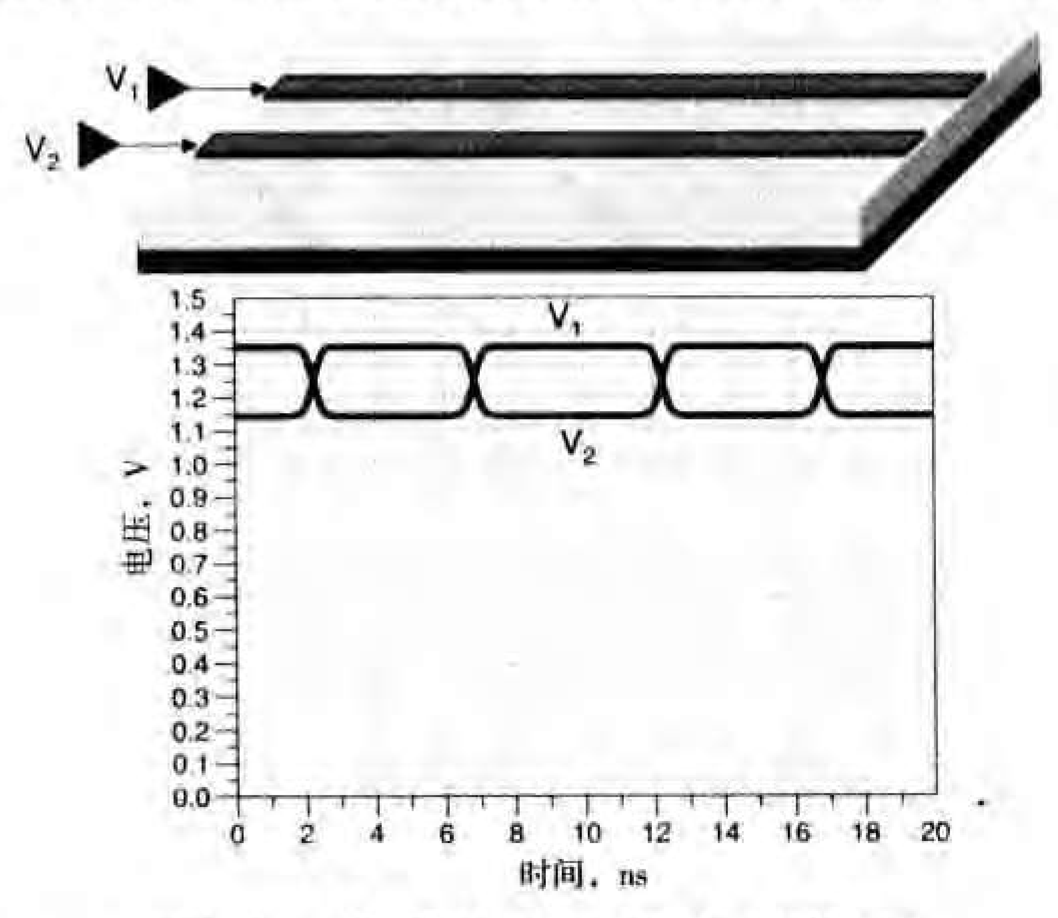


图 11.2 一种典型的差分信号模式：LVDS 信号

在接收器端，线1的电压是 V_1，线2的电压是 V_2。差分放大器检测线1与线2间的电压差，恢复出差分信号：

$$V_{diff} = V_1 - V_2 \tag{11.1}$$

式中，

V_{diff} 表示差分信号

V_1 表示线1相对于共用返回路径的信号电压

V_2 表示线2相对于共用返回路径的信号电压

除了有这些携带要传递的信息的差分信号外，电路中还存在着共模信号。共模信号用两条信号线上的平均电压表示，定义为：

$$V_{comm} = \frac{1}{2}(V_1 + V_2) \tag{11.2}$$

其中：

V_{comm} 表示共模信号

V_1 表示线 1 相对于共用返回路径的信号电压

V_2 表示线 2 相对于共用返回路径的信号电压

提示　这些有关差分信号和共模信号的定义适用于所有的信号。任何加在一对传输线上的任意信号都可用差分信号分量和共模信号分量的组合来描述，并且这种描述方法是完整和惟一的。

给出差分信号和共模信号分量，每根信号线与返回路径间的单端信号电压可表示为：

$$V_1 = V_{comm} + \frac{1}{2}V_{diff} \tag{11.3}$$

$$V_2 = V_{comm} - \frac{1}{2}V_{diff} \tag{11.4}$$

其中：

V_{comm} 表示共模信号

V_{diff} 表示差分信号

V_1 表示线 1 相对于共用返回路径的信号电压

V_2 表示线 2 相对于共用返回路径的信号电压

LVDS信号包含差分信号分量和共模信号分量，这些信号分量如图11.3所示，差分信号在 –0.25 V 到 +0.25 V 之间。因此传输线上的差分信号电压是 0.5 V。

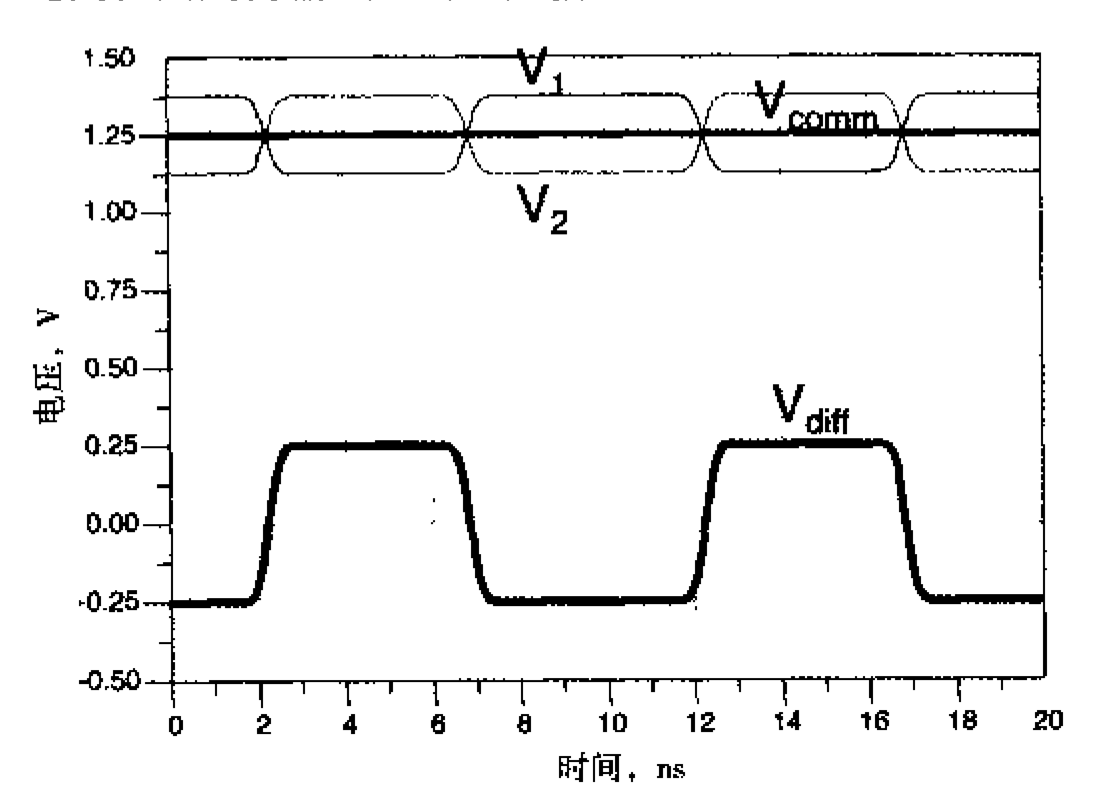


图 11.3　LVDS 信号的差分和共模分量。注意，共模分量很大，从理论上说，它是恒定的

共模电压分量也同样存在，它的均值为 1.25 V，大于差分信号电压的 2 倍。

提示　尽管 LVDS 信号被称为差分信号，但它依然有很大的共模分量，通常认为这个分量是恒定的。

在理想情况下，通常认为共模信号是恒定不变的。共模信号通常不携带信息，因此也不会影响信号完整性和系统性能。但下面将会看到，电路板上互连线的物理设计中很小的干扰都会引起共模分量的改变。共模分量的改变将会潜在地引起两个十分严重的问题：

1. 如果共模信号电压过高，就会使差分接收器的输入放大器饱和，使之不能准确读入差分信号。
2. 如果在同轴线电缆中有变化的共模信号，它将会潜在地引起过量的 EMI。

提示 差分和共模这两个术语指的仅是信号的特性，而不是差分对传输线的性质。误用这两个术语是引起混乱的一个主要原因。

11.2 差分对

构成一个差分对只需两条传输线就足够了，每根线都可用简单的单端传输线。这两条线合起来就称为一个差分对。理论上说，任何两条传输线都可以构成一个差分对。

跟单端传输线一样，差分对传输线也存在很多横截面形状。图11.4给出了最常见的几种截面的几何外形。

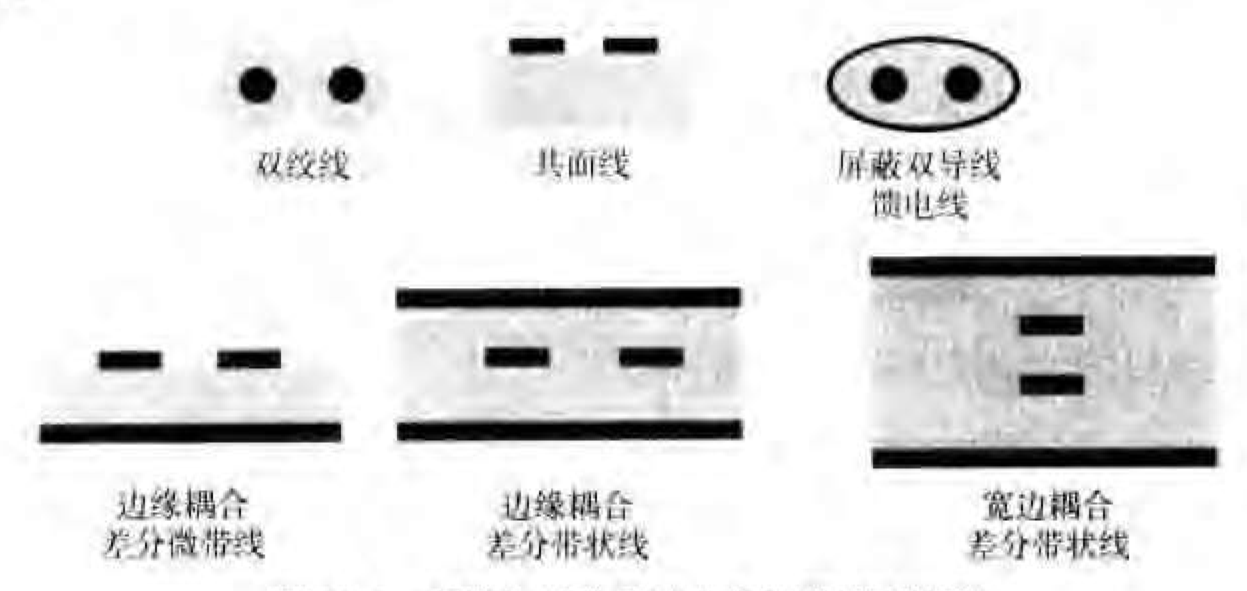


图 11.4 几种比较常见的差分对横截面模型

虽然从理论上来说任意两条传输线都可以构成一个差分对，但有五种特性将会优化大带宽差分信号的传输性能：

1. 差分对最重要的性质就是它的横截面积是恒定不变的，而且对差分信号有一个恒定的阻抗。这些特性将会保证反射和失真达到最小。
2. 差分对第二个重要的性质就是每根线上的时延是相同的，从而确保了差分信号边沿的陡峭。两条传输线上的任何时延差或错位（skew）都会使部分差分信号变成共模信号。
3. 两条传输线要完全相同，线的宽度和两条线间的介质间距也完全相同。这种特性叫对称性。两条线不能有任何的不对称，如一根线上有测试焊盘而另一根没有，或是一根线上出现了凹槽而另一根却没有，这种不对称就会使差分信号变成共模信号。
4. 传输线的长度也必须完全相同。线的总长度完全相同能保证传输线时延相同，使错位最小。
5. 差分对的两条传输线间不一定有耦合，但没有耦合将导致差分对抗噪声能力的下降。与单端信号相比，差分信号在耦合差分对上传输时较少受到其他动态网络的噪声干扰。线间耦合程度越强，差分信号就越不容易受到突变和不理想情况的影响。

现举例说明，如图 11.5 所示，有一差分对传输线正在传输差分信号。线 1 上的信号是从 0 V 到 1 V 的跳变电压，线 2 上的信号是从 1 V 到 0 V 的跳变电压。当这两个信号在传输线上传播时，线上电压的分布如图所示。

给出每根传输线上的电压，就能很容易算出电压差。根据定义，它的大小为 V_1-V_2。差分对上的净差分信号如图所示，当每根线上都是0 V到1 V的跳变信号时，差分信号是一个幅值为 2 V 的跳变信号。同时，线上还有一个恒定的共模信号分量，大小为 $1/2\times(V_1+V_2)=0.5$ V。

提示　差分对最重要的电气特性就是对差分信号的阻抗，我们称之为差分阻抗。



图 11.5　正在传输信号的差分对和两线间的差分信号

11.3　无耦合时的差分阻抗

差分对对差分信号的阻抗，即差分阻抗，是差分信号电压与其电流的比值。这个定义是计算差分阻抗的基础。它的微妙之处在于怎样定义信号电压与电流。

让我们先来分析最简单的情况，构成差分对的两条传输线间不存在耦合。现在先确定出这种情况下的差分阻抗，然后再加入耦合，看它如何改变差分阻抗。

为了使耦合降到最小，假定两条传输线离得足够远，例如，线距至少有线宽的2倍。这样它们之间的相互作用就不明显了，因此每根线的单端特性阻抗 Z_0 为 50 Ω。流经信号传输线与返回路径之间的电流为：

$$I_{one} = \frac{V_{one}}{Z_0} \tag{11.5}$$

其中：

I_{one} 表示流经信号线与返回路径的电流

V_{one} 表示信号线与临近返回路径间的电压

Z_0 表示单端信号线的特性阻抗

例如，将 0 V 到 1 V 的跳变信号加到第一根线上，同时将 1 V 到 0 V 的跳变信号加到第二根线上。每根线都有一个电流回路，流经第一根线的电流大小为 $I = 1\ V/50\ \Omega = 20\ mA$，方向为从信号线流向返回路径。第二根线的电流也是 20 mA，但方向是从返回路径流向信号线。

传输线上的跳变差分信号是两条信号线上的差信号，它的电压是每根信号线上电压的 2 倍：$2 \times V_{one}$。在本例中，差分信号是一个 2 V 的跳变电压。同时，如果仅着眼于这两条信号线，就会发现在它们之间好像构成一个电流回路，有 20 mA 的电流从一根信号线流出，再流入另一根信号线。

根据阻抗的定义，差分信号的阻抗为：

$$Z_{diff} = \frac{V_{diff}}{I_{one}} = \frac{2 \times V_{one}}{I_{one}} = 2 \times \frac{V_{one}}{I_{one}} = 2 \times Z_0 \tag{11.6}$$

式中：

Z_{diff} 表示信号线对差分信号的阻抗，即差分阻抗

V_{diff} 表示跳变差分信号电压

I_{one} 表示流经每根信号线与其返回路径间的电流

V_{one} 表示每根信号线与其临近返回路径间的电压

Z_0 表示单端信号线的特性阻抗

差分阻抗的大小是单端信号线特性阻抗的2倍。这一点不难理解，因为两信号线间的电压是每根信号线自身电压的2倍，而流经差分信号线的电流却与单端信号线相同。如果单端信号线的特性阻抗是50 Ω，那么差分阻抗就是2 × 50 Ω = 100 Ω。

如果一个差分信号经差分对传播到了接收终端，那么终端的差分阻抗将会非常大，这会使差分信号反射回源端。这种多次反射将会产生噪声，影响信号质量。如图11.6所示在差分对末端出现的模拟差分信号。出现振铃的原因就在于差分信号在低阻抗的驱动端和高阻抗的信号线末端之间出现了多次反弹。

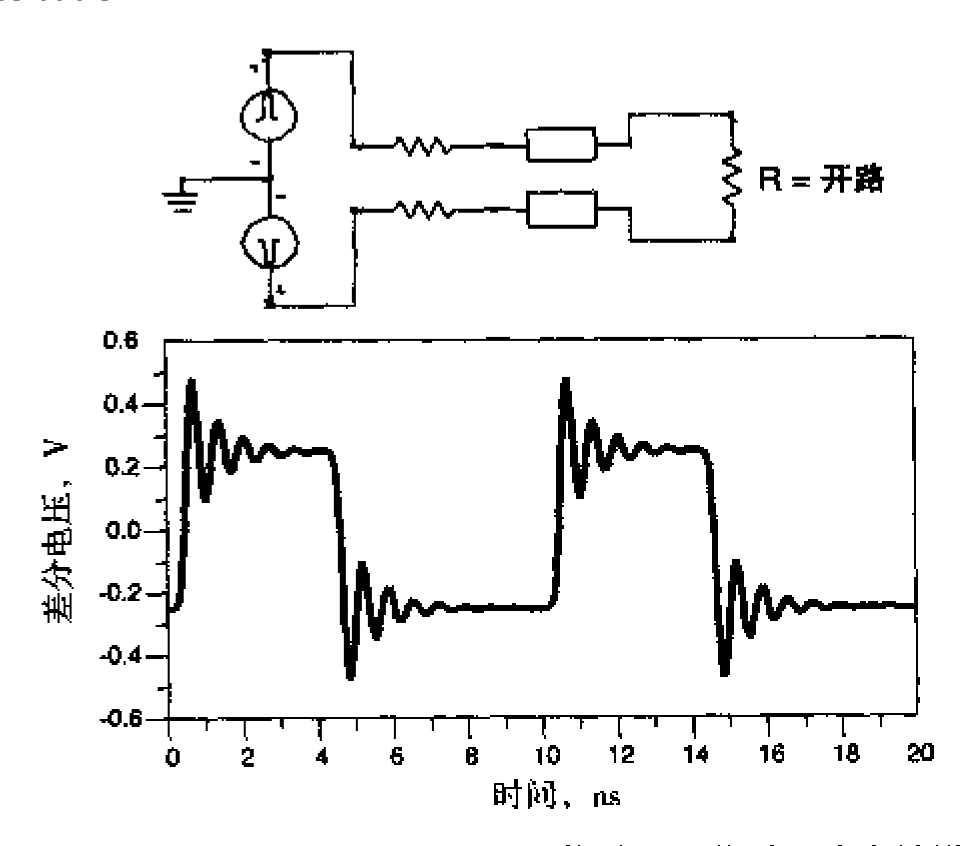


图 11.6　差分电路和差分对的远端接收信号。差分对互连末端没有端接，并且差分对之间没有耦合。使用安捷伦的ADS仿真得到

一种消除反射的方法就是在两条信号线的末端跨接一个端接电阻来匹配差分阻抗。这个电阻阻值必须为 $R_{term} = Z_{diff} = 2 \times Z_0$。对差分信号来说，信号线末端的端接电阻和差分对的阻抗是相同的，这将会消除反射。如图11.7所示是在两信号线间加入100 Ω端接电阻时，接收端的差分信号。

差分阻抗还可以看做两个单端信号线等效阻抗的串联，如图11.8所示。从信号线的前端看进去，对每个驱动来说，信号线的特性阻抗都是Z_0。两信号线间的阻抗是每根信号线与返回路径间阻抗的串联。两信号线间的等效阻抗，或称之为差分阻抗，是串联阻抗：

$$Z_{diff} = Z_0 + Z_0 = 2 \times Z_0 \tag{11.7}$$

式中：

Z_{diff} 表示两信号线间的等效阻抗，即差分阻抗

Z_0 表示每根信号线与返回路径间的阻抗

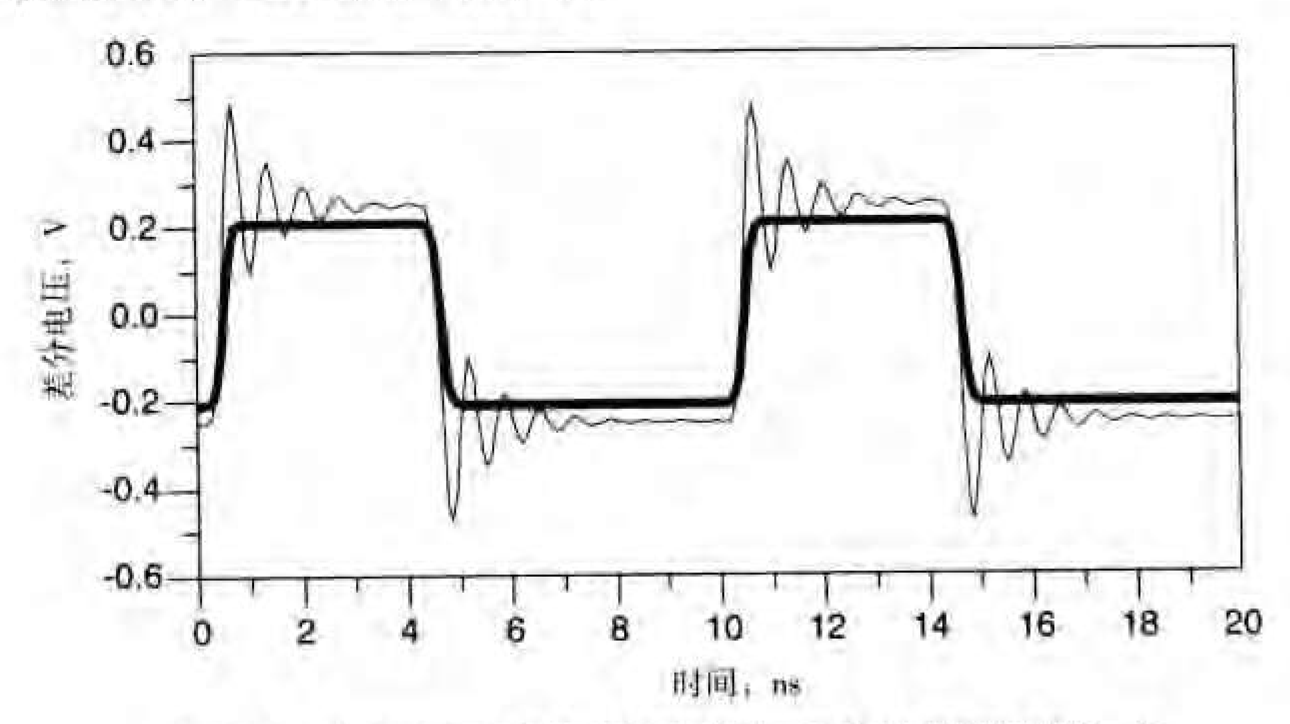


图 11.7　差分对远端接收的差分信号。差分对末端有端接，并且差分对之间没有耦合。使用安捷伦 ADS 仿真得到

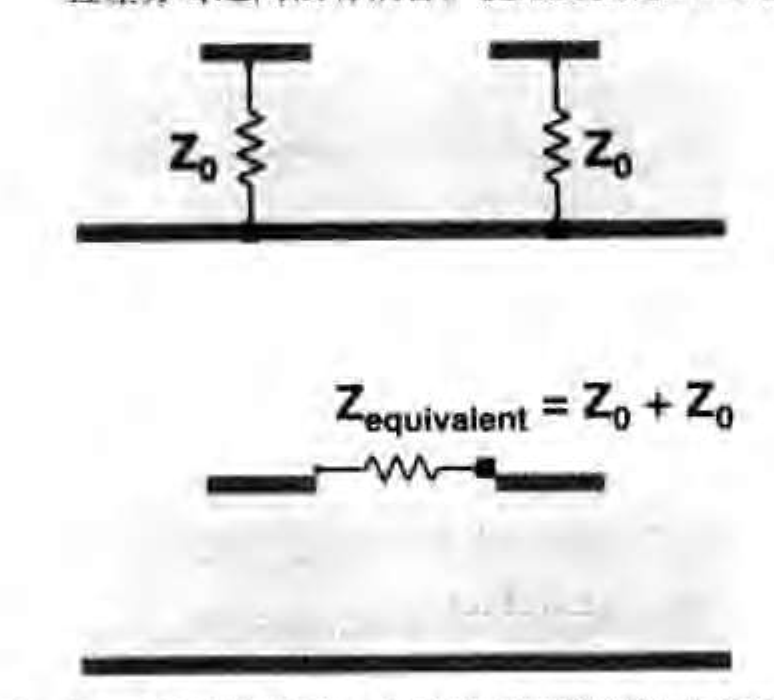


图 11.8　在差分对中，每根信号线与返回路径间的阻抗及两信号线之间的阻抗

如果仅考虑没有耦合传输线的差分阻抗，那么到此就算结束了。对每个驱动来说，差分阻抗总是单端信号线与返回路径间阻抗的2倍。但有两个因素使问题变得复杂了，第一个就是两线间耦合的影响，第二个就是共模信号的作用以及它的产生与控制。

11.4　耦合的影响

当把两条带状线靠得越来越近时，它们的边缘电场和磁场就会互相覆盖，之间的耦合程度也会越来越强。耦合程度是用单位长度上的互感电容 C_{12} 和互感电感 L_{12} 来描述的（除非有特别说明，电容矩阵元素指的是 SPICE 电容矩阵元素，而不是 Maxwell 电容矩阵元素）。

当把两信号线靠近时，C_{11} 和 C_{12} 都将发生改变。因为信号线 1 和返回路径间的边缘场被临近的信号线阻断了，所以 C_{11} 会减小，而 C_{12} 会增加。但负载电容 $C_L = C_{11} + C_{12}$ 却没较大的变

化。图 11.9 给出了两条带状线的等效电容电路以及 C_L，C_{11}，C_{12} 的变化情况。带状线材料是 FR4，线宽是 5 mil，特征阻抗是 50 Ω。

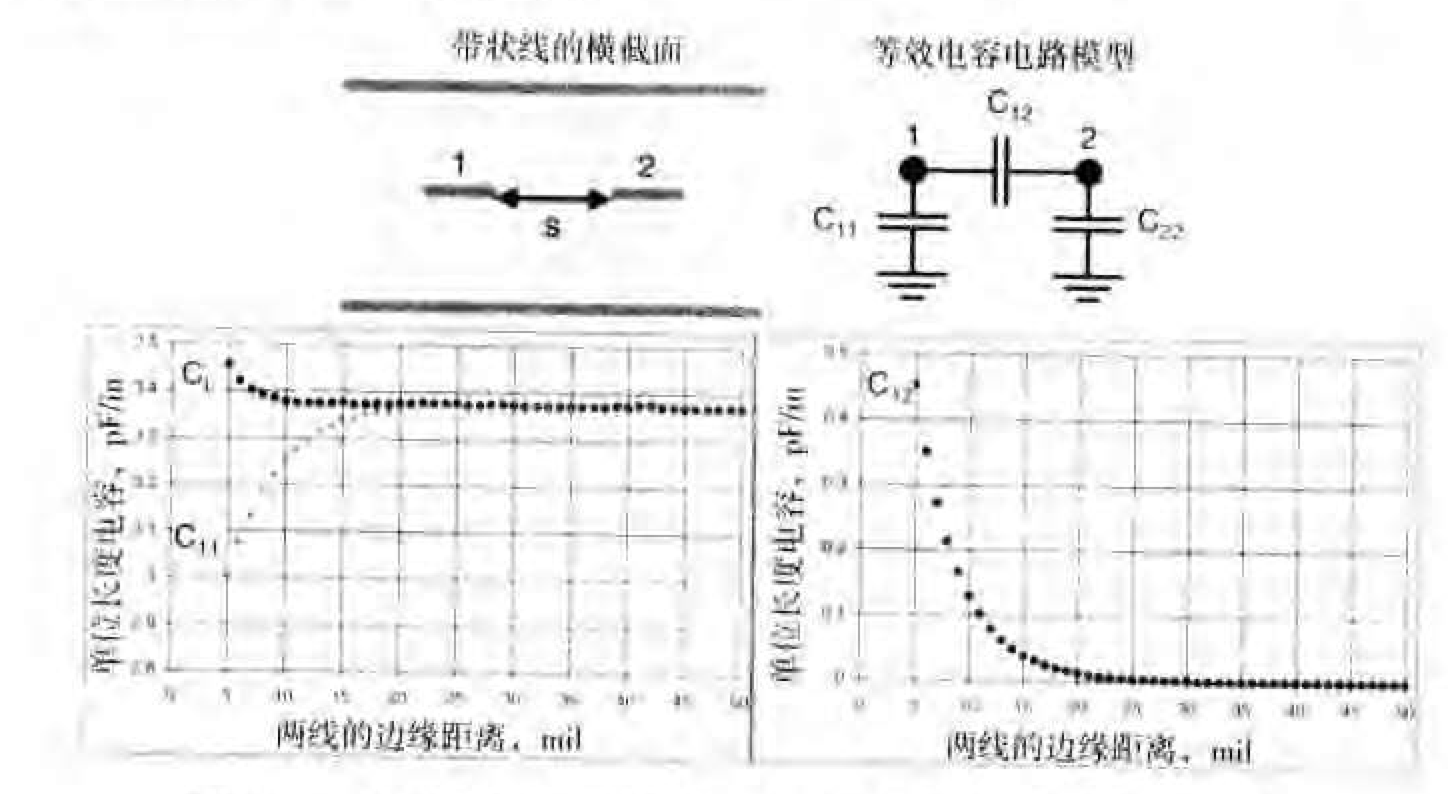


图 11.9 单位长度的负载电容 C_L、单位长度的 SPICE 对角线电容 C_{11} 及耦合电容 C_{12} 的变化情况。使用 Ansoft 的 SI2D 仿真得到

提示 必须注意，由电容和电感矩阵元素描述的耦合与所加电压完全无关，它只与导线的几何结构和材料特征有关。

当把两条信号线靠近时，L_{11} 和 L_{12} 也都将发生改变。如图 11.10 所示，由于临近导线的感应涡流，L_{11} 将会有略微的减小（最近时的减小量小于 1%），L_{12} 将会增加。

两条信号线的间距越小，它们之间的耦合就越强。但即使间距最小（即间距等于线宽）的情况下，最大的相对耦合度（即 C_{12}/C_L 或 L_{12}/L_{11}）也不到 15%。当间距大于 15 mil 时，相对耦合度就降到了 1% ——基本上可以忽略。如图 11.11 所示，图中给出了相对电容耦合度和相对电感耦合度随间距的变化情况。

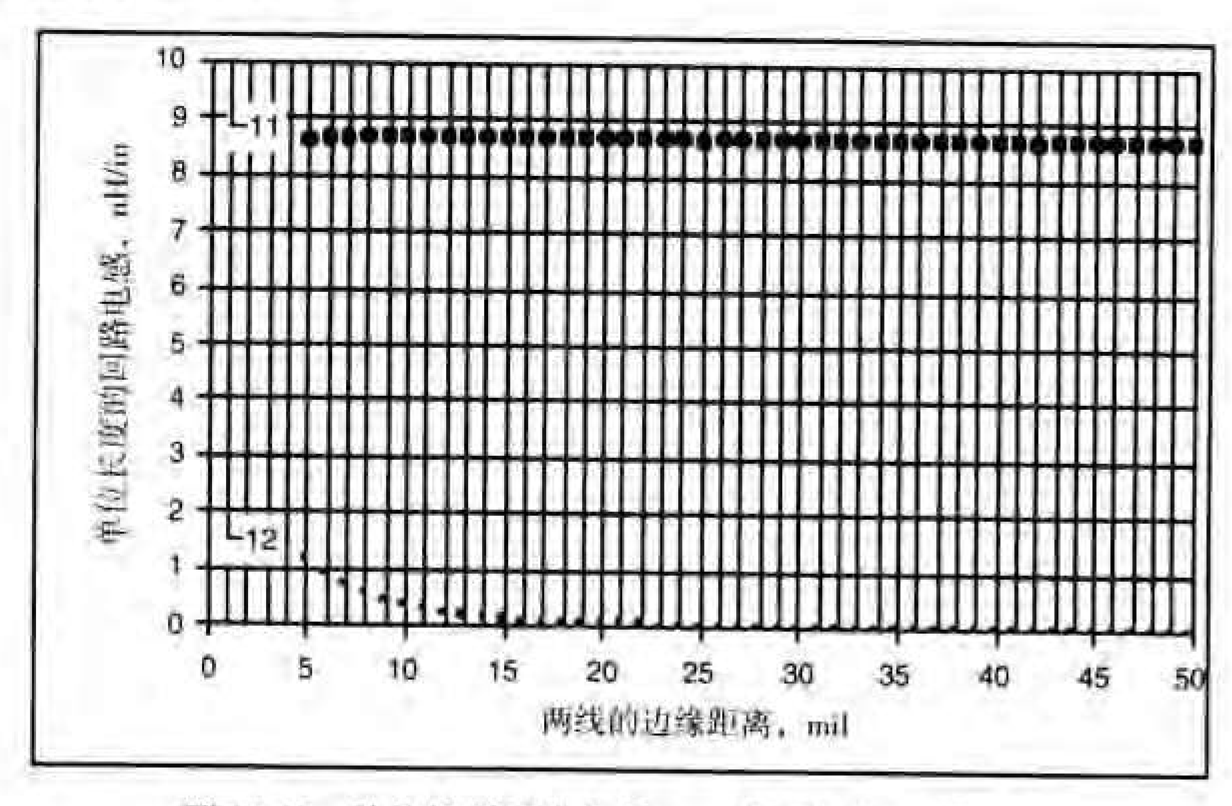


图 11.10 单位长度回路自感 L_{11}，单位长度回路互感 L_{12} 的变化情况。使用 Ansoft 的 SI2D 仿真得到

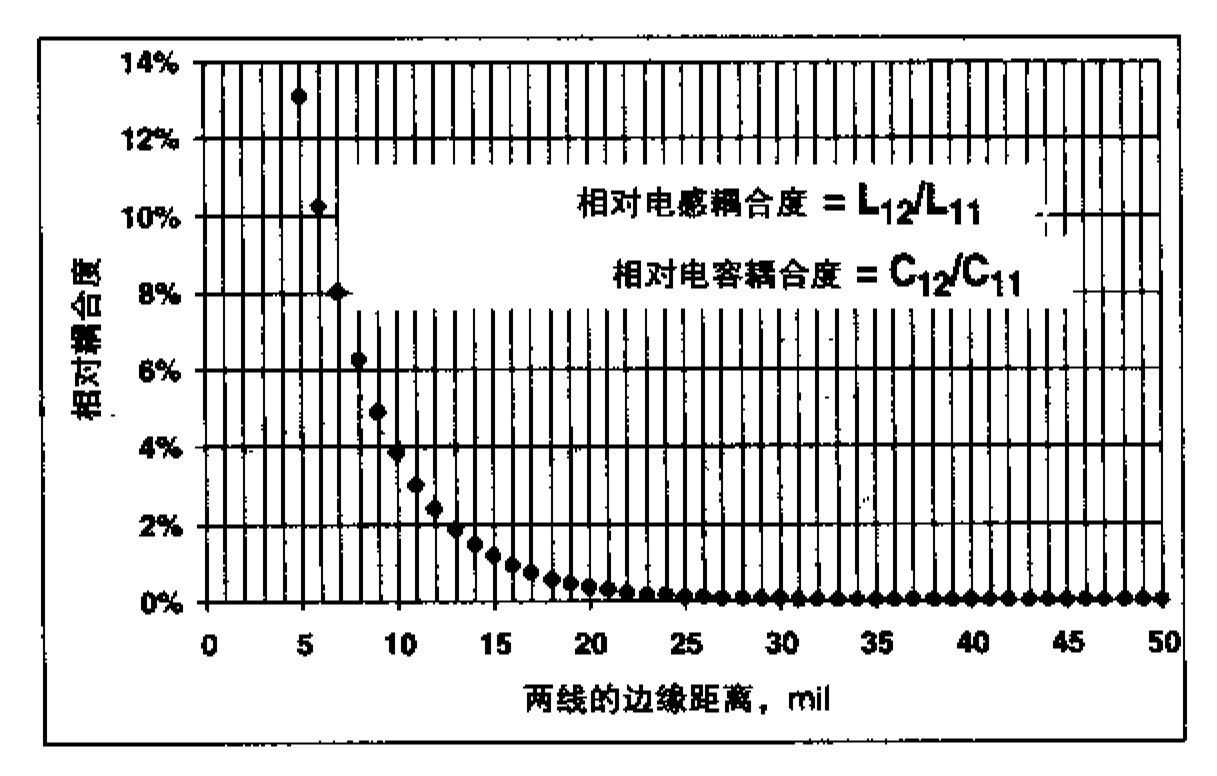


图 11.11　当两条 50 Ω、5 mil 的 FR4 带状线的间距变化时，相对互容和互感的变化情况。对像带状线这种有相同介质结构的传输线来说，两条传输线的相对耦合电容和耦合电感是相同的。使用 Ansoft 的 SI2D 仿真得到

当两传输线相距很远时，线 1 的特性阻抗和另外一根线完全没有关系。它的特性阻抗跟 C_{11} 成反比：

$$Z_0 \approx \frac{1}{C_{11}} \tag{11.8}$$

式中：

Z_0 表示信号线的特性阻抗

C_{11} 表示信号线 1 与返回路径间单位长度的电容

当信号线距离得非常近时，临近信号线的存在将会影响线 1 的阻抗，人们称之为临近效应。如果信号线 2 被固定到返回路径线上，例如给信号线 2 加 0 V 信号，只对线 1 进行驱动，那么有临近信号线存在时，线 1 的阻抗就将由负载电容来决定。驱动线的特性阻抗和驱动线单位长度的电容有关：

$$Z_0 \approx \frac{1}{C_{11}+C_{12}} = \frac{1}{C_L} \tag{11.9}$$

式中：

Z_0 表示信号线的特性阻抗

C_{11} 表示信号线与返回路径间单位长度的电容

C_{12} 表示临近信号线间单位长度的互电容

C_L 表示单位长度的负载电容

当两信号线越靠越近时，线 1 的阻抗将会减小，但减小的幅度不到 1%。图 11.12 给出了随着两信号线的接近，线 1 的单端特性阻抗的变化情况。但是，即使在临近的情况下，如果第二根信号线被固定在 0 电位，线 1 的单端特性阻抗也基本保持不变。

但是，假设线 2 也被驱动并且信号与线 1 的相反。当线 1 的信号从 0 V 升到 1 V 时，线 2 的电压也同时从 0 V 降到 –1 V。当信号线 1 的驱动开启时，由于信号线 1 与返回路径间存在

dV_{11}/dt，于是就会产生一个穿过电容C_{11}的电流。同时，由于两信号线间存在变化的电压dV_{12}/dt，所以将会有电流从线1流往线2。这个变化的电压将是线1与返回路径间电压的2倍，即$V_{12} = 2\ V_{11}$。

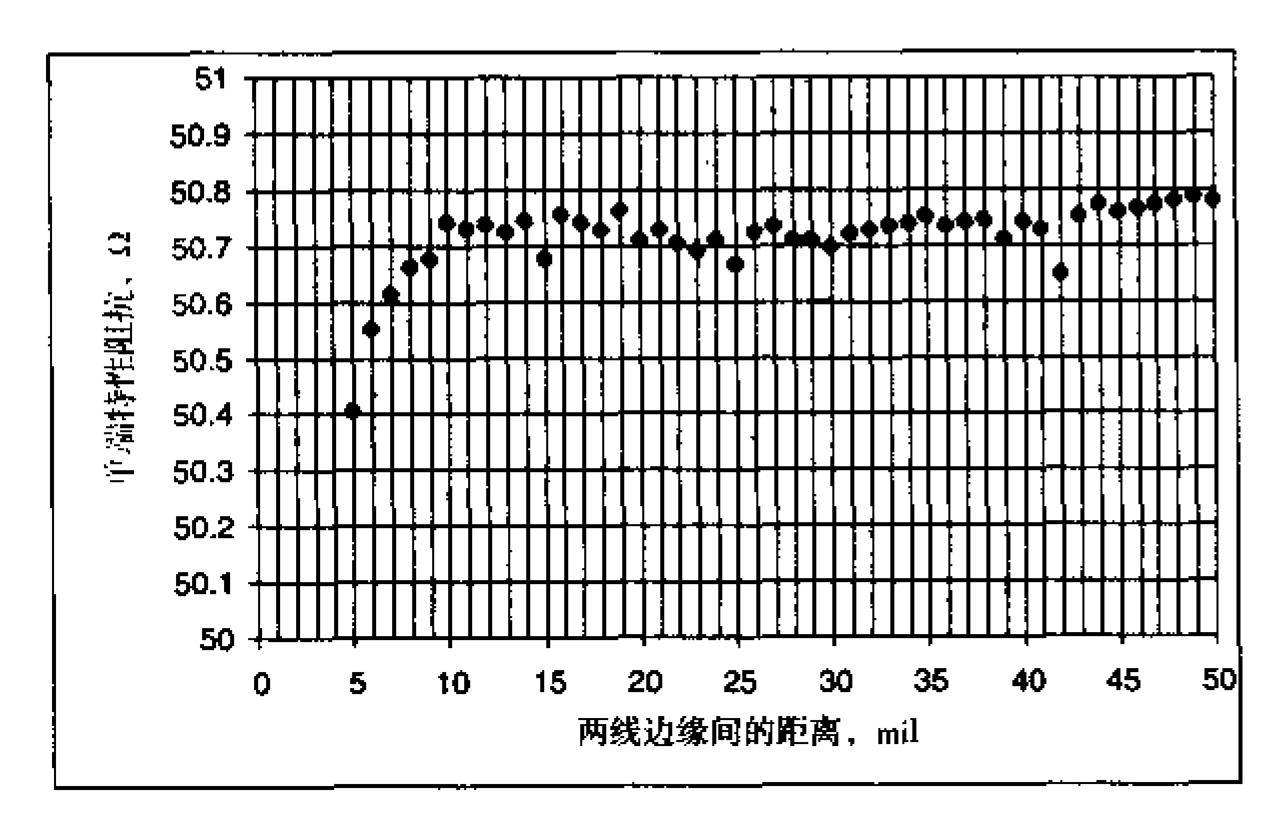


图 11.12　当两条50 Ω、5 mil宽的FR4带状线中的一根被短接到返回路径上时，另外一根线的特性阻抗随间距的变化情况。由于仿真器存在数字噪声，阻抗值会有约0.5 Ω的起伏。使用Ansoft的SI2D仿真得到

流经信号线的电流将由下式决定：

$$I_{one} = v \times RT \times \left(C_{11}\frac{dV_{11}}{dt} + C_{12}\frac{dV_{12}}{dt} \right) \approx C_{11}V_{one} + 2C_{12}V_{one} = V_{one}(C_L + C_{12}) \quad (11.10)$$

式中：

I_{one}表示流经一根信号线的电流

v表示信号沿信号线的传播速度

C_{11}表示信号线与其返回路径间单位长度上的电容

V_{11}表示信号线与其返回路径间的电压

C_{12}表示两信号线之间单位长度上的互容

V_{12}表示两信号线间的电压

V_{one}表示单个信号线与其返回路径间电压的变化量

RT表示跳变信号的上升时间

两条信号线由方向相反的两个跳变信号来驱动，电流从驱动流进信号线1，然后流向返回路径。当两条信号线互相靠近时，为了驱动单端信号线更大的电容，这个电流将会增大。

提示　如果所加电压没有变化而电流增加，则对驱动来说，就意味着输入阻抗的减小。如果给第二根信号线加上相反的信号，那么第一根线的单端特性阻抗就会减小。

假设给第二根信号线加上与第一根信号线相同的信号。因为两信号线间不存在电压差，所以对驱动来说，只有电容C_{11}存在，这就意味着要驱动的电容减小了。此时流经信号线1的电流为：

$$I_{one}=v\times RT\times\left(C_{11}\frac{dV_{11}}{dt}\right)=C_{11}V_{one}=V_{one}(C_L-C_{12})\tag{11.11}$$

式中：

I_{one} 表示流经一根信号线的电流
v 表示信号沿信号线的传播速度
C_{11} 表示信号线与其返回路径间单位长度上的电容
V_{11} 表示信号线与其返回路径间的电压
C_{12} 表示两条信号线之间单位长度上的互容
V_{one} 表示单个信号线与其返回路径间电压的变化量
RT 表示跳变信号的上升时间

我们发现当有第二根临近信号线存在时，信号线1的特性阻抗不是一个特定的值。它还取决于临近信号线的驱动情况。如果信号线2被固定在0电位，阻抗值接近于未耦合时的值；如果信号线2加相反信号，阻抗值会降低；如果信号线2加相同信号，阻抗值会升高。图 11.13 给出了这三种情况下，信号线1的单端特性阻抗随两信号线间距的变化情况。

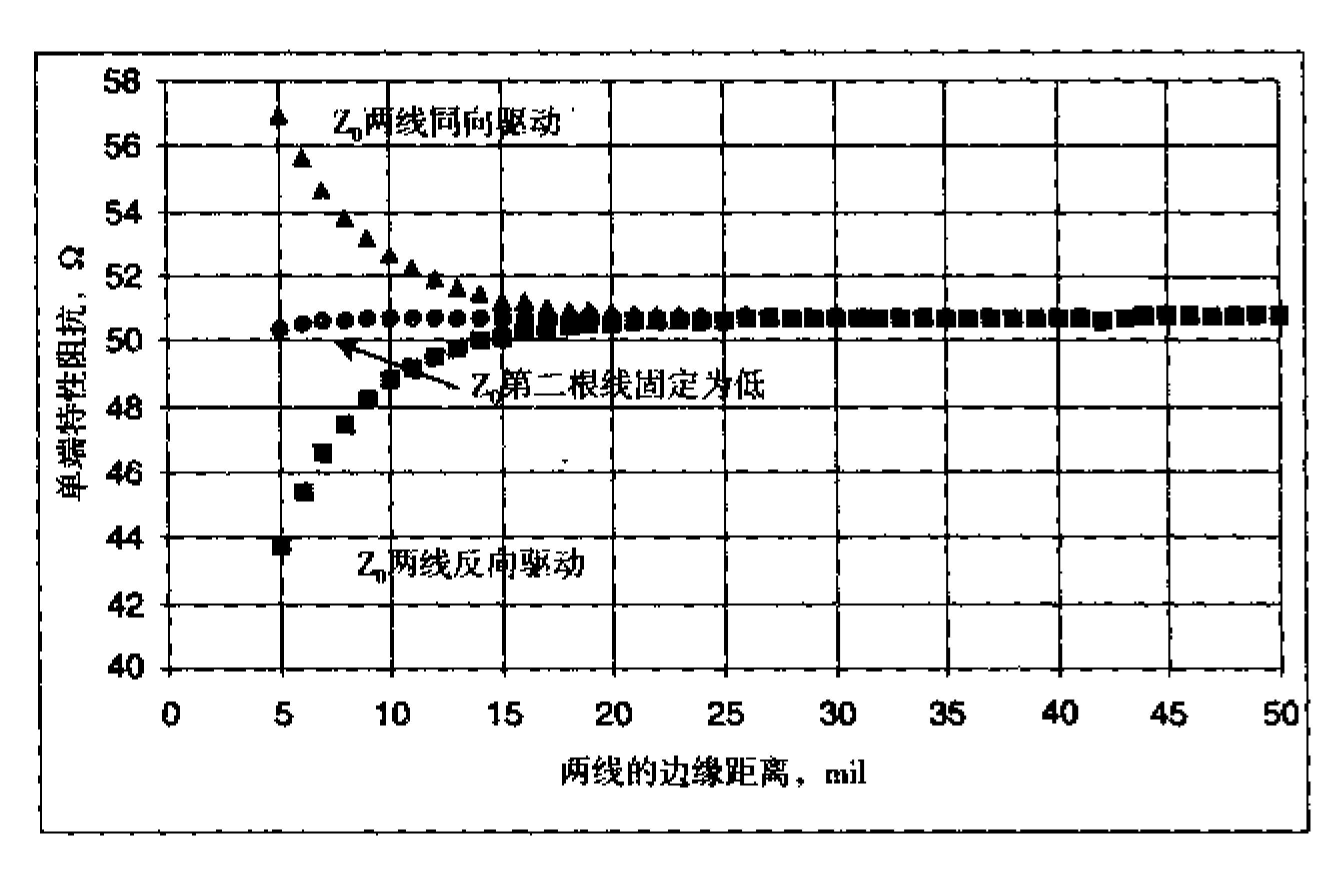


图 11.13　当分别给第2根信号线加0 V电压、相反的信号、相同的信号时，线1的单端特性阻抗随两线间距的变化情况。传输线为 5 mil 宽、50 Ω 的 FR4 带状线。使用 Ansoft 的 SI2D 仿真得到

当差分信号沿差分对传输时，对它来说，阻抗是每根信号线与其返回路径间单端特性阻抗的串联。差分信号驱动在这两条信号线上驱动两个相反的信号，正如前面讨论的那样，此时每条信号线的阻抗会因为被此间的耦合而减小，而差分阻抗依然是每根线特性阻抗的2信。图 11.14 给出了当两信号线间距逐渐减小时，差分阻抗的变化情况。对带状线来说，相比于间距等于三倍线宽的无耦合情况，在可制造的最小间距（如间距等于线宽）下，存在耦合时的差分阻抗也仅仅减小了约 12%。

提示　当线间距小于三倍线宽时，临近信号线的存在就会影响到第一根线的特性阻抗。此时必须要考虑与它的临近程度及其驱动方式。

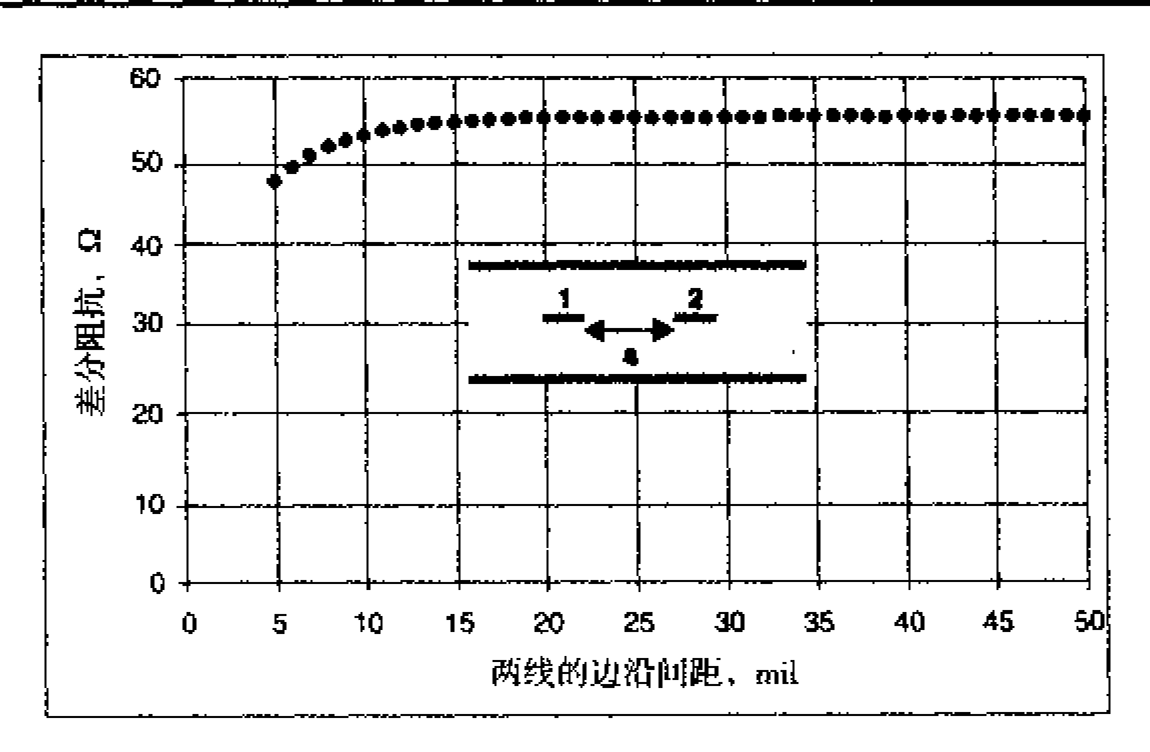


图 11.14 当两线间距逐渐减小时、带状线的差分阻抗变化情况。导线材料为 FR4、线宽 5 mil、特性阻抗 50 Ω。使用 Ansoft 的 SI2D 仿真得到

11.5 差分阻抗的计算

为了描述这不到 12% 的影响，必须引进一些附加公式。当信号线间距越来越小并且耦合开始起作用时，差分阻抗就会逐渐减小。问题的复杂性在于怎样计算阻值的变化情况。这里有 5 种分析方法：

1. 直接使用近似的结果。
2. 直接使用场求解方法得到的结果。
3. 使用基于模态的分析。
4. 使用基于电容和电感矩阵的分析。
5. 使用基于特性阻抗矩阵的分析。

计算边缘耦合微带线或者是带状线的差分阻抗，只有一种有用而且合理的近似方法，它最早由 James Mears 在国际半导体应用手册（AN-905）中给出。这种近似方法是基于实验数据的经验匹配。

对于 FR4 材料的边缘耦合微带线，差分阻抗近似为：

$$Z_{diff} = 2 \times Z_0\left[1 - 0.48\exp\left(-0.96\frac{s}{h}\right)\right] \qquad (11.12)$$

式中：

Z_{diff} 表示差分阻抗，单位为 Ω

Z_0 表示未耦合时的单端特性阻抗

s 表示信号线的边沿间距，单位为 mil

h 表示信号线与返回路径平面间的介质厚度

对于 FR4 材料的边缘耦合带状线，差分阻抗近似为：

$$Z_{diff} = 2 \times Z_0\left(1 - 0.37\exp\left(-2.9\frac{s}{b}\right)\right) \qquad (11.13)$$

式中：

Z_{diff} 表示差分阻抗，单位为 Ω

Z_0 表示未耦合时的单端特性阻抗

s 表示信号线的边沿间距，单位为 mil

b 表示平面间总的介质厚度

通过与精确的场求解方法计算出来的差分阻抗相比较，可以评估这种近似的精度。在图 11.15 中，有三种不同横截面的耦合微带线和耦合带状线，这里用场求解器给出单端特性阻抗，在此基础上用近似计算求出差分阻抗。近似计算也预测出耦合对差分阻抗产生的轻微影响。假定差分阻抗的初始值是准确的，那么这种近似的误差在 1% 到 10% 之间。

预测每根信号线单端特性阻抗的一种更准确的工具是二维场求解器。给出和截面形状、材料性质有关的参数，还可以用它算出差分对的差分阻抗等有关的量。运用场求解方法的一个优势在于：在很多种几何外形下，基于此方法的一些计算工具的误差在1%以下。它不仅计算一些一阶影响，像线宽、介质厚度、间距等，还可以计算一些二阶的影响，像信号线的厚度、形状、不同质介质的分布情况等。

然而，如果只用场求解器求解差分阻抗，所求出的参数还不足以描述共模信号、端接、串扰等行为。在下面几节中，将引入奇模和偶模的概念以及它们和差分阻抗、共模阻抗的关系。在此基础上，将会讨论差分信号、共模信号的端接策略。

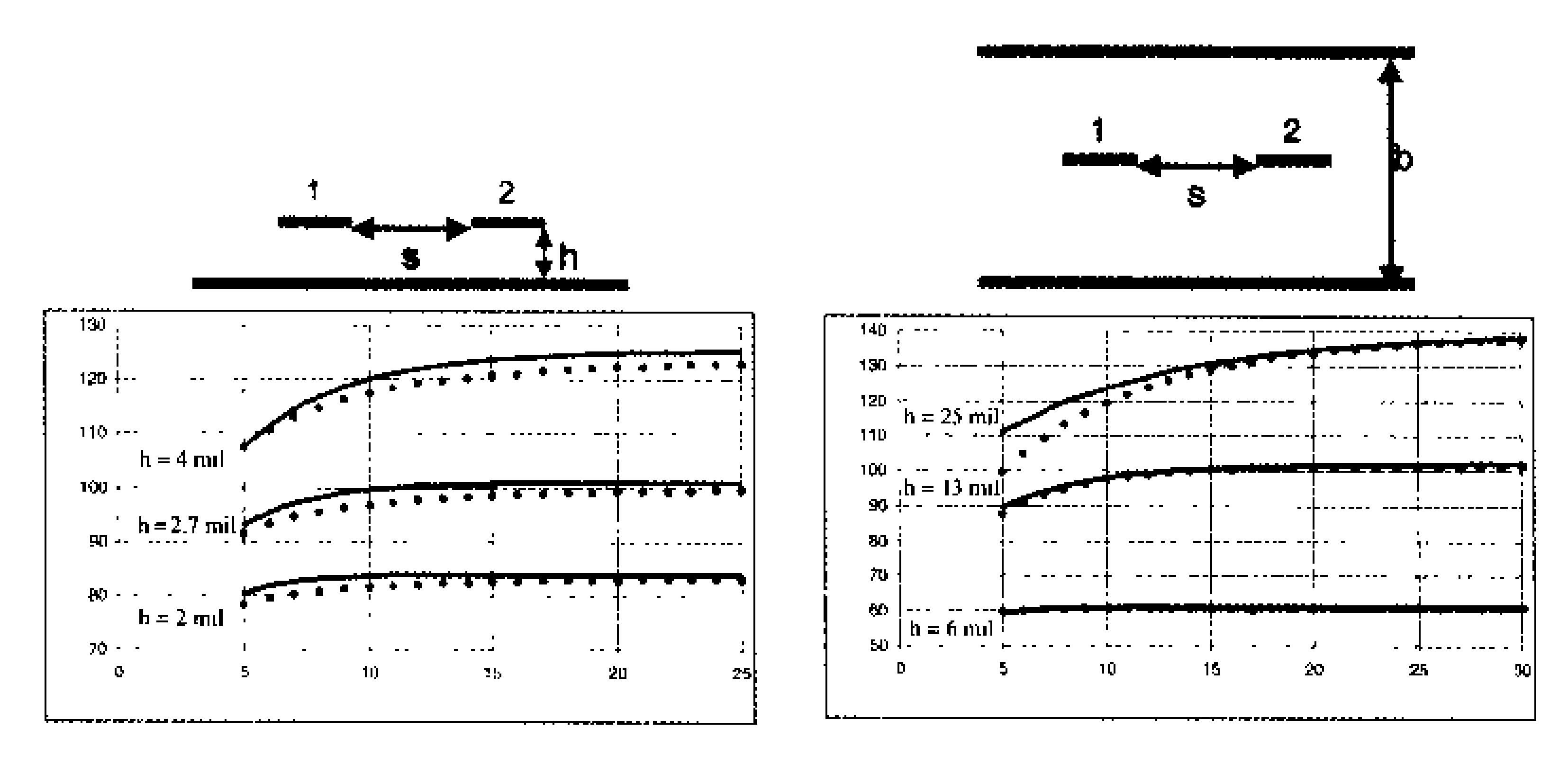


图 11.15　将差分阻抗估算的准确度与二维场求解器的结果相比较。图中线宽是 5 mil，材料是FR4。图中实线表示估算值，点组成的虚线由 Ansoft 的 SI2D 仿真得到

提示　当精度要求比较严格时，比如交付制造 PCB 版图的签发，这时惟一的工具就是使用校验过的二维场求解器。绝对不能将近似的方法运用到最终设计中去。

用电容和电感矩阵描述两条耦合传输线以及用阻抗矩阵来计算它们的奇模阻抗、偶模阻抗、差分阻抗、共模阻抗的方法就介绍到这里。它们是最基本的描述，可以将其推广到 n 条不同传输线耦合的情况。这些内容也就是现在大多数场求解方法和仿真工具的内部机理。

即使不再做更复杂的描述，我们已经有条件根据场求解器的结果去设计期望差分阻抗以及评估差分对另外一个重要的性质——电流分布。

11.6 差分对的返回电流分布

当两条边缘耦合微带线的间距大于三倍线宽时，两线间的耦合度很小。在这种情况下，如果用差分信号来驱动它们，信号线中会出现电流，返回平面中也会出现与之大小相等方向相反的电流。图11.16是一个电流分布的例子，微带线中的差分信号频率是100 MHz，微带线是1盎司铜，即线厚度是1.4 mil。



图11.16 微带线的电流分布。图中耦合微带线的线宽为5 mil，两线间距为15 mil，信号频率为100 MHz。图中明亮颜色表示较高的电流密度。为了更为清晰地显示电流分布，平面上的电流密度比线条中的放大了10倍。使用Ansoft的SI2D仿真得到

假定流经线1的电流方向是流进纸内，线1下面的返回平面内返回电流的方向是流向纸外。类似地，流经线2的电流方向是流向纸外，它的返回路径平面内的电流方向是流进纸内。返回平面中返回电流分布局限在各自的信号线下面，当由差分信号驱动时，返回路径平面中的电流分布不会出现重叠。

如果仅仅着眼于信号传输线内的电流，好像是等量电流从一根信号线流入，从另外一根信号线流出。可能会由此得到这样的结论：一根信号线的返回电流由另外一根信号线来传送。等量电流从一根信号线流入再从另外一根信号线流出的确是事实，但并不是事实的全部。

因为差分对的两信号线间距比较大，所以当用差分信号来驱动时，返回平面中的电流不会出现重叠。此时返回路径平面内的总电流为0，但每根信号线底下的平面中都有确定的局部电流分布。任何改变电流分布的因素都将会改变差分对的差分阻抗。

然而，返回平面的存在限制了每条线的单端特性阻抗。如果增加平面间距，单端特性阻抗就会增加，这将会引起差分阻抗的改变。

在两条边缘耦合微带线最紧密耦合的情况下，即信号线的线间距等于线宽时，返回平面中电流的重叠程度依然很小。两种情况下电流分布的比较如图11.17所示。

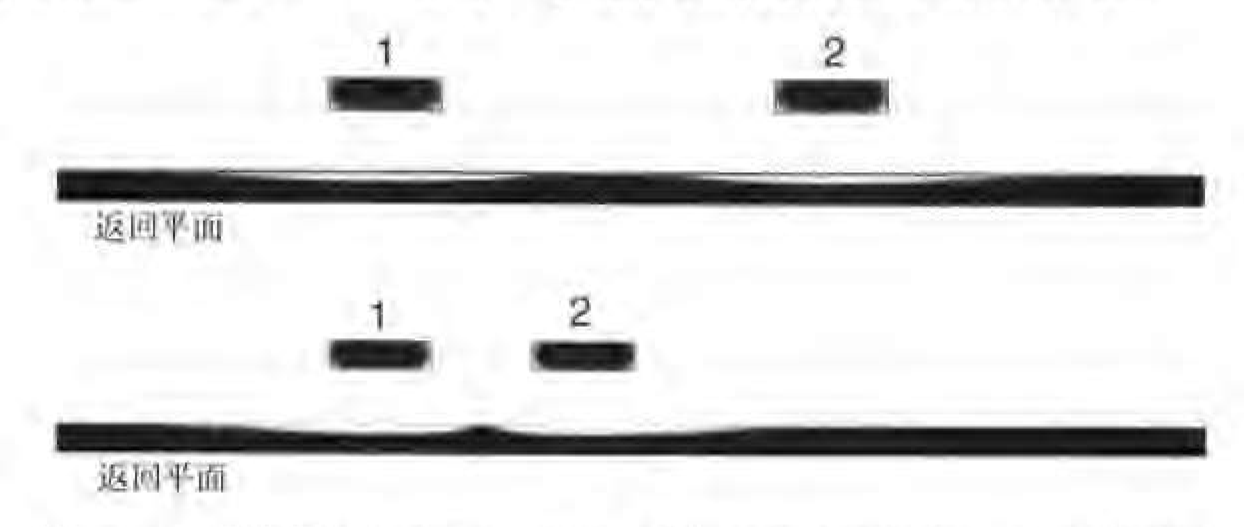


图11.17 微带线的电流分布。图中耦合微带线的线宽为5 mil，两线间距分别为5 mil、15 mil，信号频率为100 MHz。图中明亮的颜色表示较高的电流密度。为了更为清晰地显示电流分布，平面中的电流密度放大为线条中的10倍。使用Ansoft的SI2D仿真得到

提示 当差分对的信号线与返回路径平面间的耦合程度大于两信号线间的耦合时，返回路径平面中就会出现两路不同的相互分离的电流，并且返回路径电流分布只出现微小的重叠。返回路径电流分布对差分对的差分阻抗有很大的影响，返回路径电流分布的破坏将会影响到差分阻抗。

对任何一对共用返回导体的单端传输线来说，如果返回导体距信号线足够远，那么差分信号的返回导体电流分布会相互重叠、相互抵消。此时返回路径导体的存在对差分阻抗产生不了任何影响。这里有三种情况需要注意：

1. 边缘耦合微带线，返回平面足够远；
2. 双绞线电缆；
3. 宽边耦合带状线，返回平面足够远。

对边缘耦合微带线来说，若两线间距达到可制造的最小值，典型值等于线宽时，两线间的耦合度将达到最大。如图 11.17 所示，当信号线阻抗约为 50 Ω，信号线间距最小时，返回平面中有明显的电流分布，平面的存在将影响差分阻抗。如果将平面移到更远处，每条线的单端特性阻抗将会增加，差分阻抗也将会增加。然而，随着平面越移越远，差分信号的返回电流在平面中的重叠程度也越来越大。

如图 11.18 所示，当返回路径平面到达一个足够远的距离时，返回路径电流重叠的程度达到使返回路径电流消失的程度，此时，返回路径平面的存在将不再会影响差分阻抗。随着返回路径平面与信号线之间间距的增加，单端特性阻抗将不断地增加，但差分阻抗达到约 140 Ω 的最大值后将不再增加。此时返回路径电流完全重叠，信号线与平面间距约为 15 mil。

提示 根据经验法则，当信号线与返回路径平面间的距离大于等于两信号线边缘距离时，返回路径平面内电流互相重叠，返回路径平面的存在对信号线的差分阻抗没有影响。此时对差分信号来说，一根信号线的返回电流完全可以看做由另一根信号线来传送。

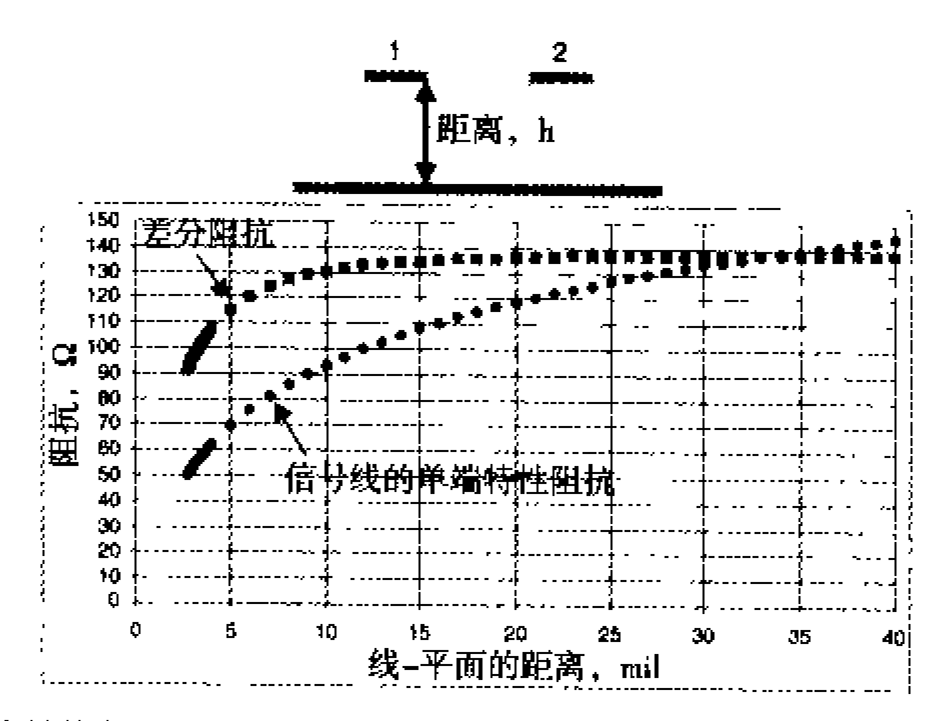


图 11.18 随着信号线与返回平面间距的增加，边缘耦合微带线的单端阻抗与差分阻抗的变化情况。图中微带线宽 5 mil，两线间距为 5 mil。使用 Ansoft 的 SI2D 仿真得到

像这种距平面较远的边缘耦合微带线倒像由单端信号驱动的共面传输线。在两种情况下，信号都是由信号线间的电压来表示的。此时，单端信号与差分信号相同，那么单端信号受到的阻抗也会和差分信号受到的相同。所以，如果共面传输线下面介质厚度很大，面边缘耦合微带线距返回平面较远，在这两种情况下，共面传输线的单端特性阻抗与微带线的差分阻抗相同。

对屏蔽双绞线来说，每根信号线的返回路径都是屏蔽层。双绞线的间距取决于绝缘材料的厚度。一些电缆的线直径为16 mil，或者说是26型线，两条双绞线截面中心间距为25 mil。当屏蔽线与双绞线的间距逐渐增大时，可以用二维场求解器的方法来计算这种情况下的差分阻抗。

将两条双绞线的其中一根用信号源驱动，而把屏蔽线当做其返回路径导体。当信号电流沿信号线流动时，外面的屏蔽线中有对称的返回路径电流流过。类似地，当第二根信号线用信号源驱动时，返回路径电流有着相同的分布，只是方向相反。当两条双绞线都近似位于屏蔽层的中心而且由差分信号来驱动时，它们的返回电流朝相反方向流动而且相互叠加，屏蔽层中将没有剩余电流分布。此时屏蔽线产生不了电效应，可以将其除去。

当屏蔽层距双绞线非常近时，两条双绞线偏离中心轴的位置将导致它们在屏蔽层中的返回电流分布稍有不同。此时屏蔽层位置的改变将会轻微地改变差分阻抗。如果屏蔽层离得足够远，返回路径电流会大致呈对称分布，两路返回电流相互叠加，此时，屏蔽层的位置影响不到差分阻抗。图11.19给出了随着屏蔽层半径的增加，差分阻抗的变化情况。当屏蔽层半径约为两双绞线中心间距的2倍时，返回电流大部分叠加，差分阻抗的大小与屏蔽层的位置无关。

无屏蔽双绞线与屏蔽层半径较大的屏蔽双绞线的差分阻抗基本相同。对差分阻抗来说，屏蔽层起不到任何作用。下面我们将会看到，屏蔽层的一个重要作用在于为共模电流提供了一个返回路径，从而减小了它的辐射效应。

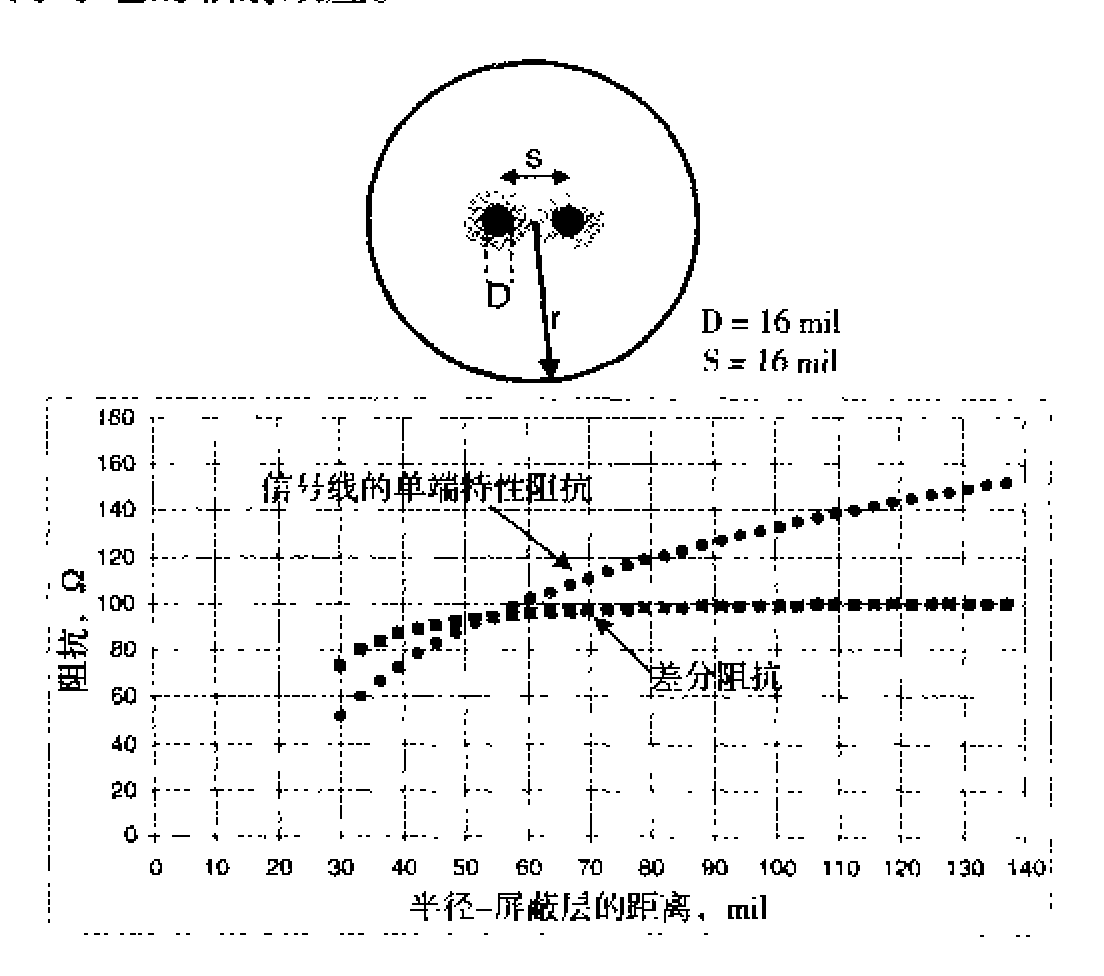


图11.19 随着屏蔽层半径的增加，单端双绞线与屏蔽层间的单端特性阻抗以及双绞线的差分阻抗的变化情况。当屏蔽层半径超过两双绞线中心间距的2倍时，屏蔽层中的返回电流因互相叠加而抵消，屏蔽层的存在影响不了差分阻抗。使用Ansoft的SI2D仿真得到

在宽边耦合带状线间也存在着同样的效应。当两个参考平面互相靠近并且传输线由差分信号来驱动时，两个参考平面内会出现各自独立的明显的返回电流。此时，平面的存在会影响到差分阻抗。当平面间距增加时，每根线在两个平面内的返回电流分布都基本相同，因此平面内的电流互相抵消。此时平面的影响可以忽略。

图 11.20 给出了当面间距增加时，差分阻抗的变化情况。本例中，线宽为 5 mil，两线间距为 10 mil，两平面的间距是 25 mil。这是差分阻抗为 100 Ω 的带状线一种典型的构成方式。当信号线与最近平面的间距约为 2 倍信号线间距（在本例中这个值为 20 mil）并且面间距大于 50 mil 时，差分阻抗与平面的位置无关。

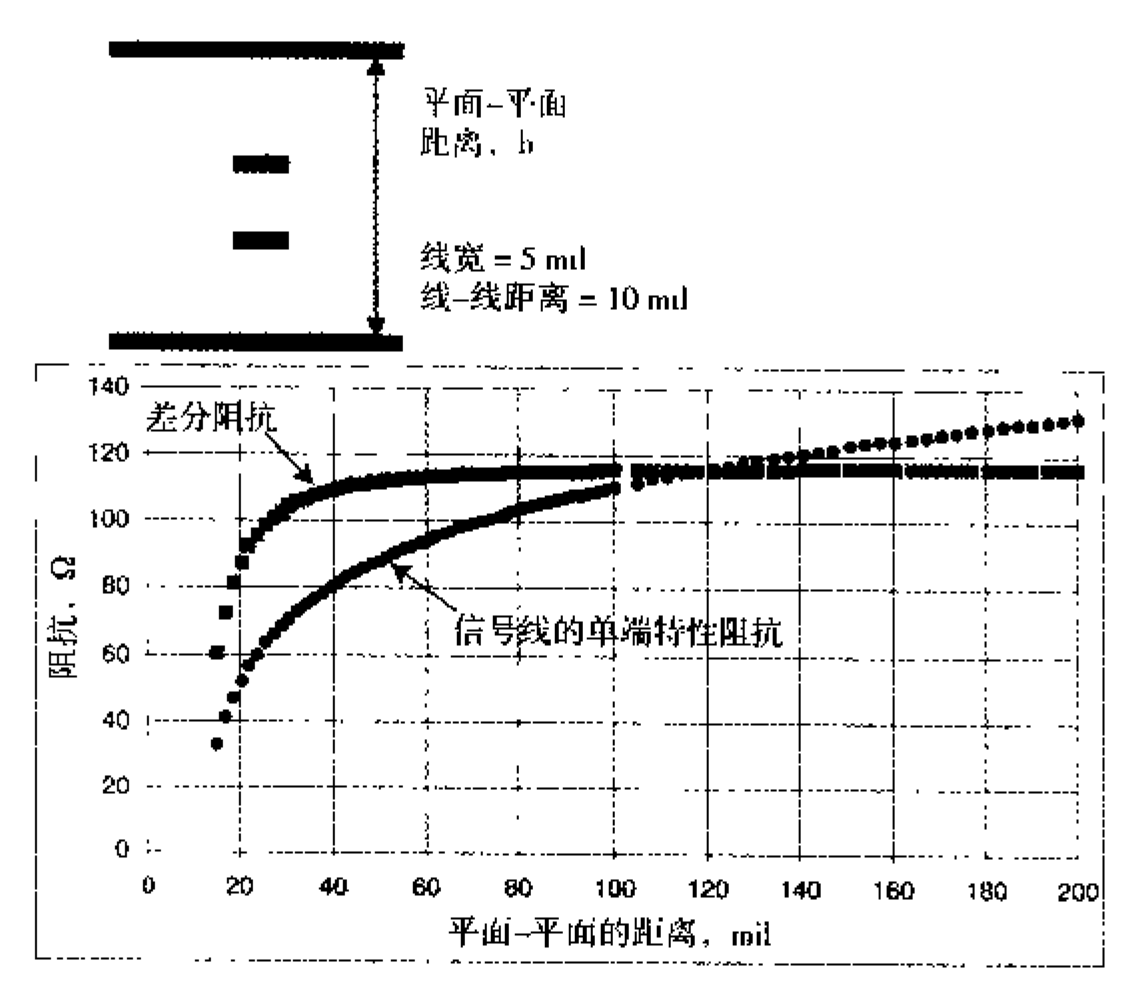


图 11.20　随着面间距的增加，信号线与平面间单端特性阻抗和两信号线间差分阻抗的变化情况。信号线为宽边耦合带状线。使用 Ansoft 的 SI2D 仿真得到

以上三个例子揭示了差分对一个十分重要的性质，当信号线与返回平面间的耦合度大于两信号线间的耦合度时，返回路径平面中出现明显的返回电流。平面在确定差分对差分阻抗时起到了重要作用。

而当两信号线间的耦合度远大于信号线与返回平面间的耦合度时，平面中的大部分返回电流会叠加、抵消。这种情况下，平面影响不到差分信号，将它移走也不会影响到差分阻抗。此时第一根线的返回电流可以看成由第二根信号线来传送。

提示　根据经验法则，要使两信号线间的耦合度大于信号线与路径平面间的耦合度，信号线与最近平面间的距离必须大于两信号线跨度的 2 倍。

在多数板级互连中，信号线与平面间的耦合度远大于两信号线间的耦合度，所以此时平面中的返回电流十分重要。此时，第一根线的返回电流不可以看做由第二根信号线来传送。

然而，若返回路径被移开，如出现了间隙，两信号线间的耦合起主要作用。在这个突变区域内，第一根线的返回电流基本上可以看做由第二根信号线来传送，此时，在返回路径的突变区域内可以通过增加两线间耦合度，来使差分对的差分阻抗变化最小。稍后将在本章中讨论这个问题。

在接插件连接处，两线条间的耦合度一般大于线条与返回引脚（pin）的耦合度。此时一根引脚的返回电流基本上可以看做由另一根引脚来传送。了解确切情况的惟一办法就是用场求解器进行数值计算。

11.7 奇模和偶模

差分对的前端可以加上任何电压。如果给线1加上0 V到1 V的跳变信号，给线2加上0 V的恒定信号，我们发现信号在沿传输线传输时，线上的实际信号会发生变化。线1和线2间会出现远端串扰现象。线2上会出现噪声，同时线1上的信号会减弱。

图11.21给出了信号在沿传输线传输时，信号电压的变化情况。在沿差分对传输时，电压模式会发生变化。通常，任意信号沿差分对传输时，电压模式都会发生变化。

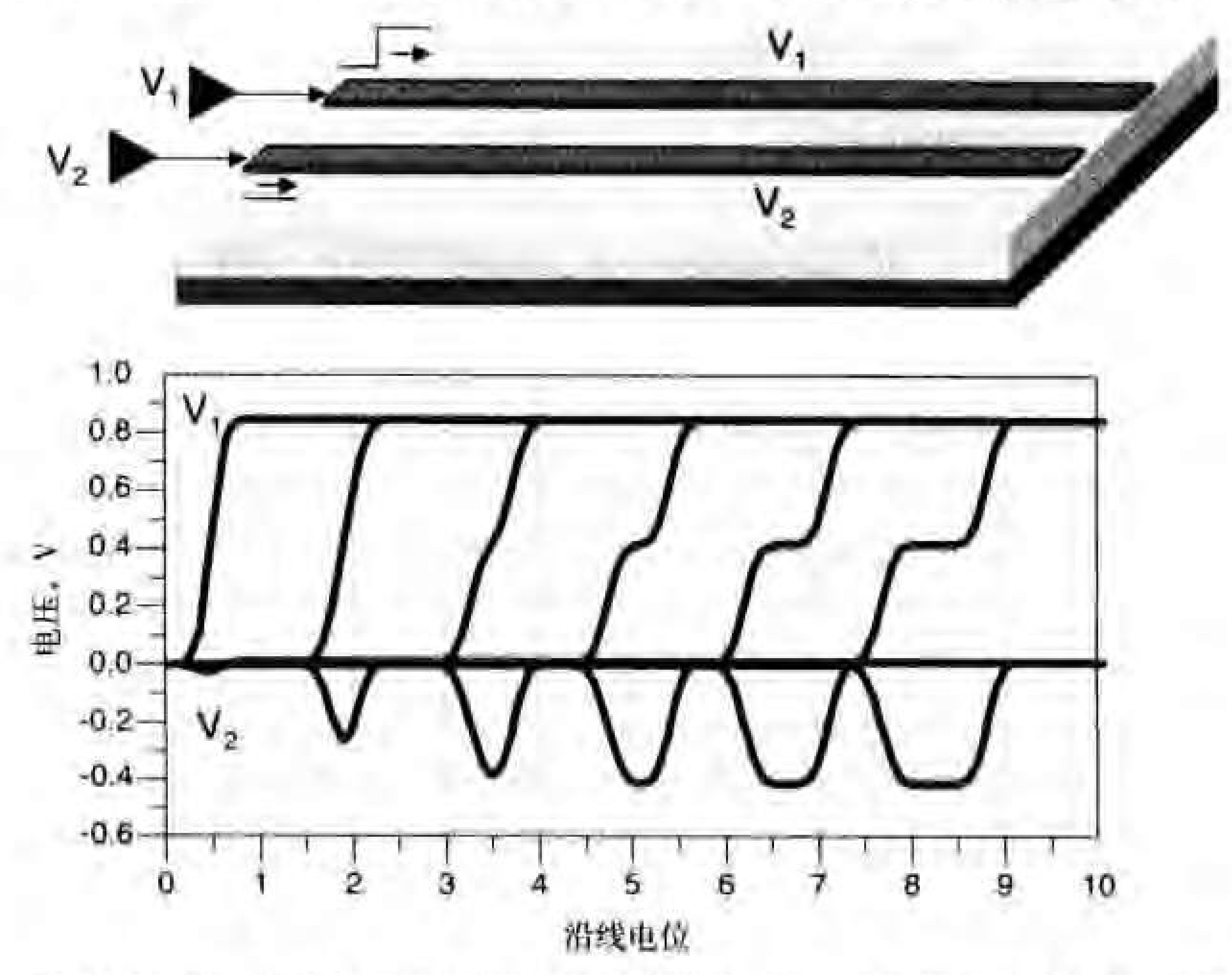


图11.21 给一根线加上0 V到1 V的跳变信号，另一根线固定在零电位。边缘耦合微带线上两条导线的电压模式。使用Ansoft的SI2D仿真得到

然而，对边缘耦合微带线差分对来讲，有两种特殊的电压模式可以实现无失真的传输。第一种是给两条信号线加相同的信号，如每根信号线上都是0 V到1 V的跳变信号。

在这种情况下，两信号线间dV/dt为0，所以两信号线间不存在容性耦合电流。因为每根信号线上的dI/dt是相同的，所以每根信号线上的感性耦合电流是相同的。一根线对另外一根线发生作用时，也会受到来自另一根线对它相同的作用。产生的结果就是这种特殊的电压模式沿传输线传输时，每根信号线上的电压模式都将保持不变。

第二种可以沿差分对无失真传播的电压模式就是给两条信号线加相反的跳变信号。例如，给线1加0 V到1 V的跳变信号，线2加0 V到–1 V的跳变信号。

线1的信号在线2上会产生负向远端噪声脉冲，这将减弱沿线1传输的信号。同时，线2的负向信号会在第一根线中产生正向的远端噪声脉冲。线1对线2产生噪声时造成自身幅值的下降恰好等于线2对线1造成的正向噪声幅度。所以该电压模式能沿差分对实现无失真的传输。图11.22给出了在这两种电压驱动下，差分对两信号线上传输的信号电压模式。

这两种沿差分对无失真传播的信号电压模式对应了差分对被激活的两种特殊状态，我们称之为差分对的模态（mode）。

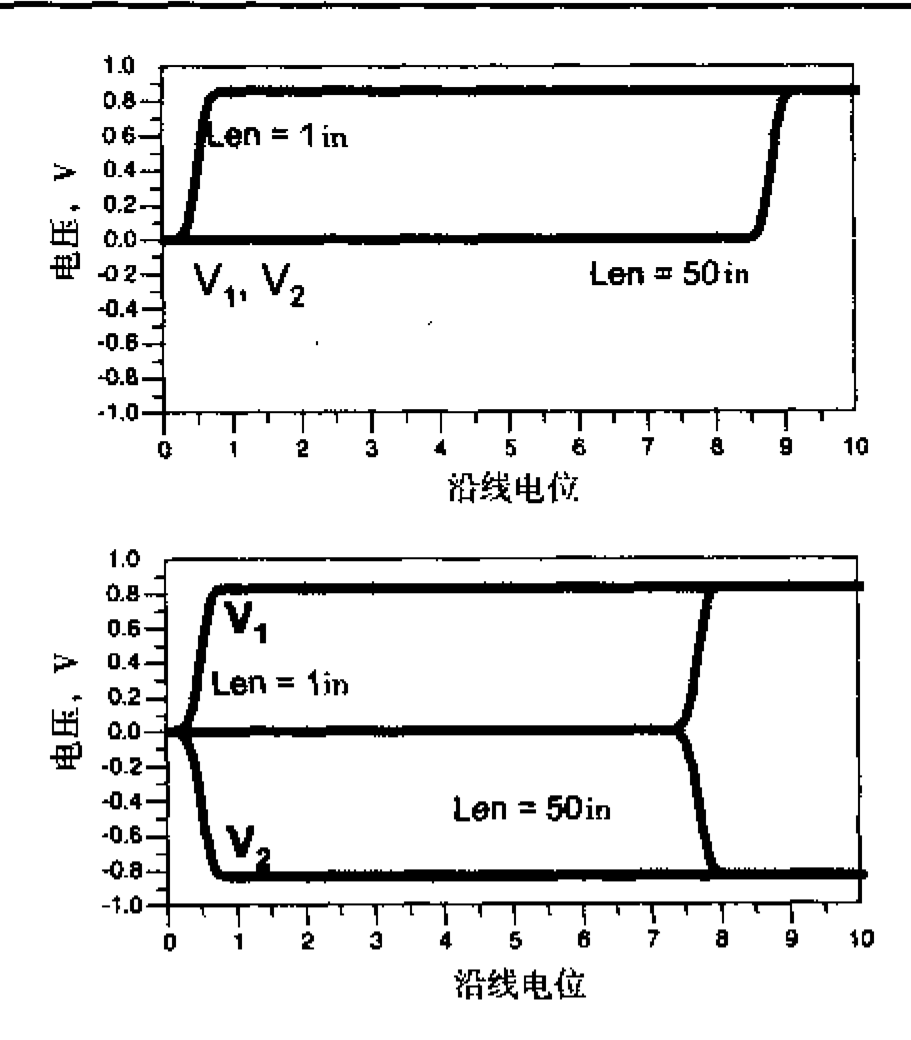


图 11.22　两条边缘耦合微带线上的电压模式。当差分对分别以奇模和偶模方式驱动时，电压模式在传输 50 in 后依然保持不变。使用 Ansoft 的 SI2D 仿真得到

当差分对以这两种模态来激励时，它上面的信号就可以实现无失真的传输。为了区分这两种状态，我们称两线上有相同的驱动电压为偶模，两线上有相反的驱动电压为奇模。

提示　模态是指传输线对的特殊激励状态。在此状态下，激励信号可以沿传输线实现无失真的传输。对有两条信号线的差分对来说，只存在两种特殊状态——模态；对有三根导线的耦合线组来说，存在三种模态；对有四根导线和公共返回路径的线组来说，存在四种特殊电压状态可以实现电压模式的无失真传播。

模态是指差分对的固有性质。当然，任何电压模式都可以加到一对传输线上。但只有符合这两种状态的一种时，传输的电压信号才具有上述特性。差分对的模态是用来定义特殊电压模式的。

当组成差分对的两条导线具有几何对称性，线宽和介质间距相同时，激励偶模和奇模的电压模式分别对应于两线间加相同和相反的电压。如果两条导线不具有对称性（例如，具有不同的线宽或介质间距），偶模和奇模的电压模式就不是这样简单了。确定它们的惟一办法就是使用二维场求解器。图 11.23 给出了对称导线对的奇模和偶模状态下的场模式。

分开来定义是很重要的。一方面，模态的定义是指信号线对特殊的激励状态，它以信号线对的几何外形为基础。另一方面，驱动电压可以为任何值，任何电压模式都可以加到信号线上，只需在信号线与返回路径间加上一个函数发生器即可。

对边缘耦合微带线差分对而言，奇模可以用单纯的差分信号来激励。偶模可以用单纯的共模信号来激励。

提示　对于对称的边缘耦合微带线差分对而言，信号的奇模状态可以由差分信号来驱动，信号的偶模状态可以由共模信号来驱动。奇模和偶模指的是差分对特殊的固有状态，差分和共模指的是加在差分对上的特殊信号。90% 以上关于差分阻抗的混乱都是由于误用这些术语而产生的。

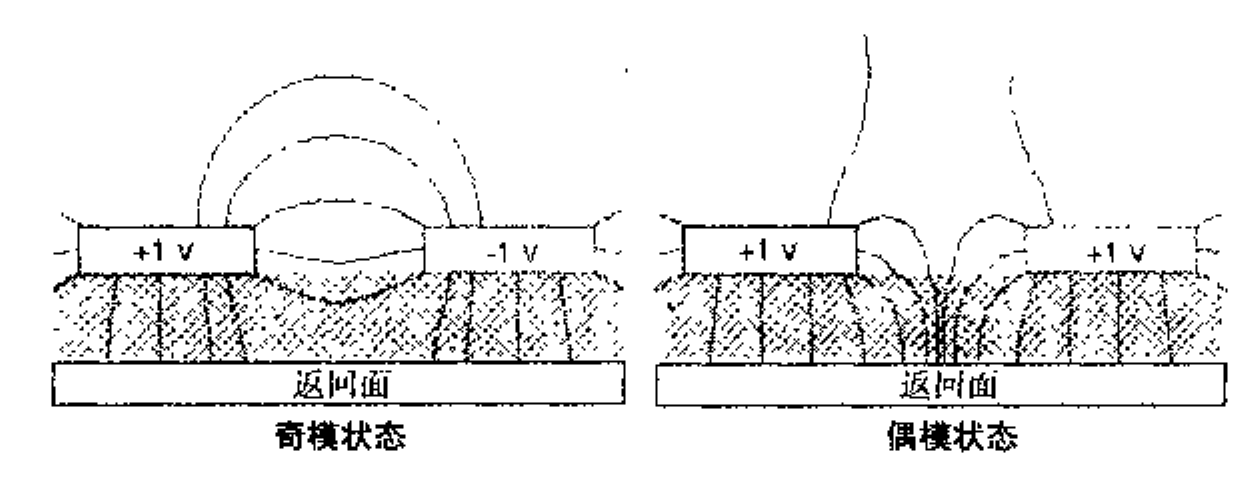


图 11.23 对称微带线奇模和偶模的场分布。使用 Mentor Graphics Hyperlynx 计算得到

引入奇模和偶模的概念后，就可以用它来标记一个对称的差分对的特性。例如，如前所述，信号在一根信号线上受到的阻抗由其他信号线的临近程度及其上面的电压模式来决定。现在就可以标记出这些不同的情形。对于一根信号线的阻抗，当差分对被驱动成奇模时我们称之为奇模阻抗；当差分对被驱动成偶模时称之为偶模阻抗。

奇模经常被错误地标记为差分模态，如果把这二者等同，就很容易将差分模态阻抗混淆为奇模阻抗。如果这两者是同一模态，那么差分模态阻抗和奇模阻抗之间就没有任何不同。

事实上，根本就不存在差分模态这种说法，所以也根本不存在差分模态阻抗。图 11.24 特别指出，若将差分模态这个词从我们的词汇中删除，那么就不会将奇模阻抗与差分阻抗混淆，它们是完全不同的量。只存在奇模阻抗、差分信号、差分阻抗这几种说法。

提示 奇模阻抗是一根信号线处于奇模状态时的阻抗，差分阻抗是差分信号沿差分对传输时受到的阻抗。

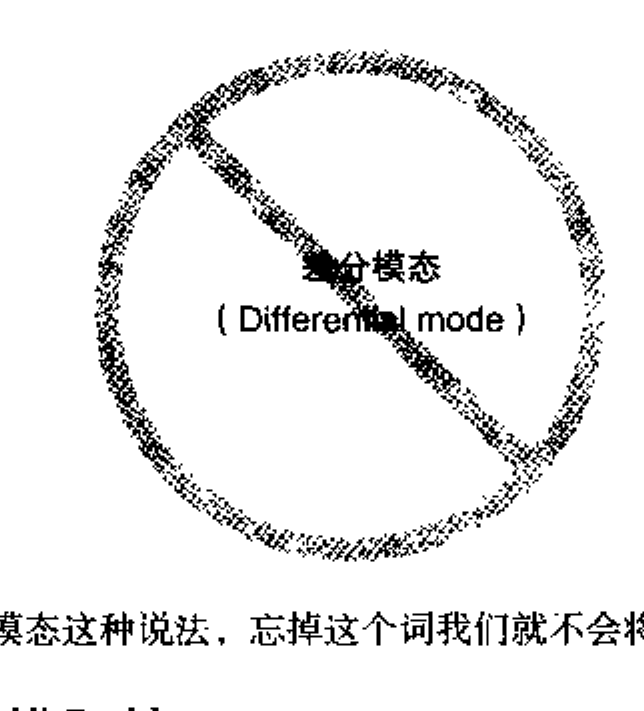


图 11.24 不存在差分模态这种说法，忘掉这个词我们就不会将奇模阻抗与差分阻抗混淆

11.8 差分阻抗与奇模阻抗

如前所述，差分阻抗是每根信号线与公共返回路径之间阻抗的串联。当不存在耦合时，它的值为每根信号线特性阻抗的2倍。当两条线间距很小时，耦合就变得比较重要，此时每根信号线的特性阻抗都会改变。

当差分信号加在差分对上时将会看到，它将使差分对处于奇模状态。根据定义，此时每根信号线的特性阻抗被称为奇模特性阻抗。如图 11.25 所示，差分阻抗是奇模阻抗的 2 倍。因此差分阻抗为：

$$Z_{diff} = 2 \times Z_{odd} \qquad (11.14)$$

式中：

Z_{diff} 表示差分阻抗

Z_{odd} 表示当差分对处于奇模状态时每根线的特性阻抗

提示　计算或测量差分阻抗的方法就是先计算或测量出单个线的奇模阻抗，再将它乘以2。

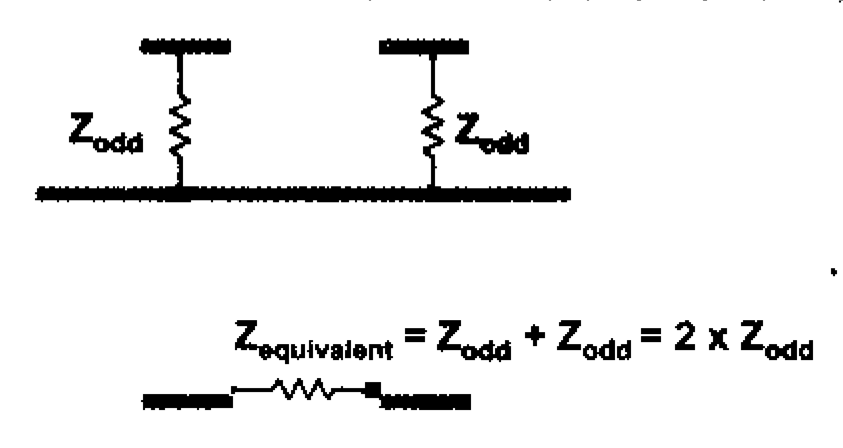


图11.25　当以差分信号激励差分对时，每根信号线与返回路径之间的阻抗就叫奇模阻抗，差分阻抗就是两信号线间的等效阻抗

奇模阻抗与差分阻抗有着直接的关系，但二者并不相同。差分阻抗是差分信号受到的阻抗，奇模阻抗是传输线对处于奇模状态时每根信号线的阻抗。

11.9　共模阻抗和偶模阻抗

前面我们描述了差分信号沿传输线传输时受到的阻抗。我们用同样的方法描述共模信号沿传输线传输时受到的阻抗。共模信号是两信号线电压的平均值。纯共模信号是不与差分信号共存的，它是指在两信号线上加相同的电压。

共模信号使差分对处于偶模状态。当传输线上传输共模信号时，根据定义，此时每根信号线的特性阻抗被称为偶模特性阻抗。如图11.26所示，对共模信号来说，阻抗是每根信号线特性阻抗的并联。两个偶模阻抗的并联阻值为：

$$Z_{comm} = Z_{equiv} = \frac{Z_{even} \times Z_{even}}{Z_{even} + Z_{even}} = \frac{1}{2} Z_{even} \tag{11.15}$$

式中：

Z_{comm} 表示共模阻抗

Z_{even} 表示当差分对处于偶模状态时每根信号线的特性阻抗

通常来说，共模信号受到的是一个较小的电阻。这是因为共模信号的每根信号线与返回平面间的电压是相同的，但从公共返回路径流向两条信号线的电流却是一条信号线电流的2倍。如果一个信号在相同的电压的情况下拥有两倍的电流，那么它对应的阻抗就减为一半。

提示　对于两条无耦合的50 Ω传输线构成的差分对，奇模阻抗和偶模阻抗是相同的——均为50 Ω。差分阻抗为2 × 50 Ω = 100 Ω，而共模阻抗为1/2 × 50 Ω = 25 Ω。

若将耦合考虑进去，则每根线的奇模阻抗将会减小，偶模阻抗将会增加，这就意味着差分阻抗将会减小，共模阻抗将会增加。计算差分阻抗和共模阻抗最精确的方法就是用二维场求解器先计算出奇模阻抗和偶模阻抗。

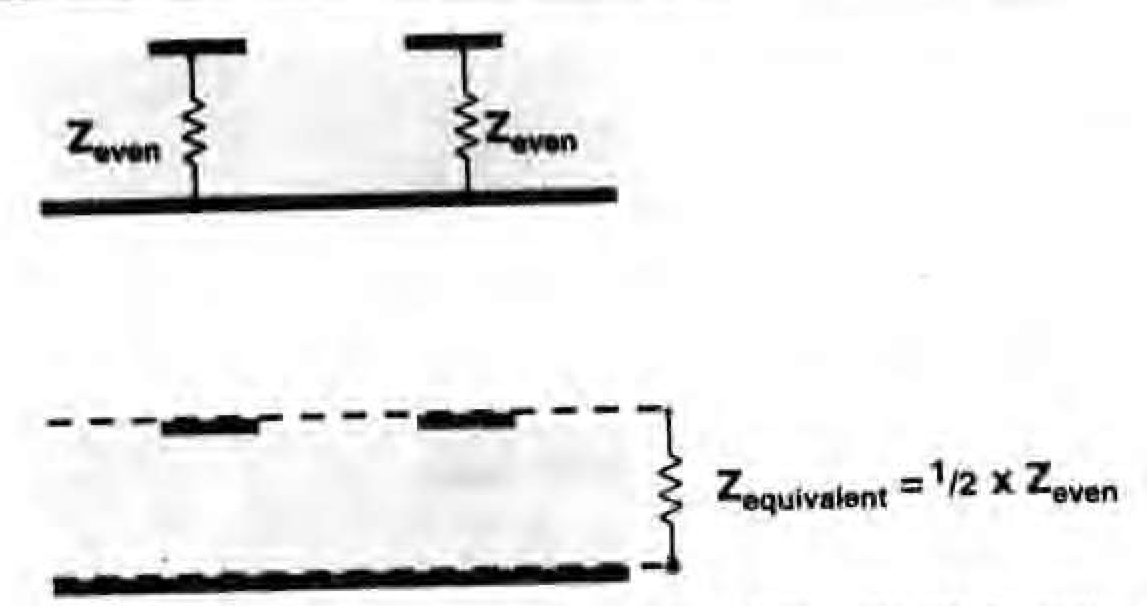


图 11.26 当使用共模信号激励差分对时，每根信号线与返回路径之间的阻抗就叫偶模阻抗，共模阻抗就是两信号线与返回路径平面之间的等效阻抗

如图 11.27 所示，传输线为边缘耦合微带线，线材料为 FR4，线宽 5 mil，无耦合时的特性阻抗为 50 Ω。图中列出了用场求解器计算出来的所有四种阻抗。随着信号间距的减小，耦合度增加，奇模阻抗减小，从而引起了差分阻抗的减小。同时偶模阻抗增加，从而引起了共模阻抗的增加。如本例所示，在可制造的最紧密耦合下，差分阻抗和共模阻抗受耦合的影响依然很小。最紧密的耦合下，差分阻抗仅减小了 10%。

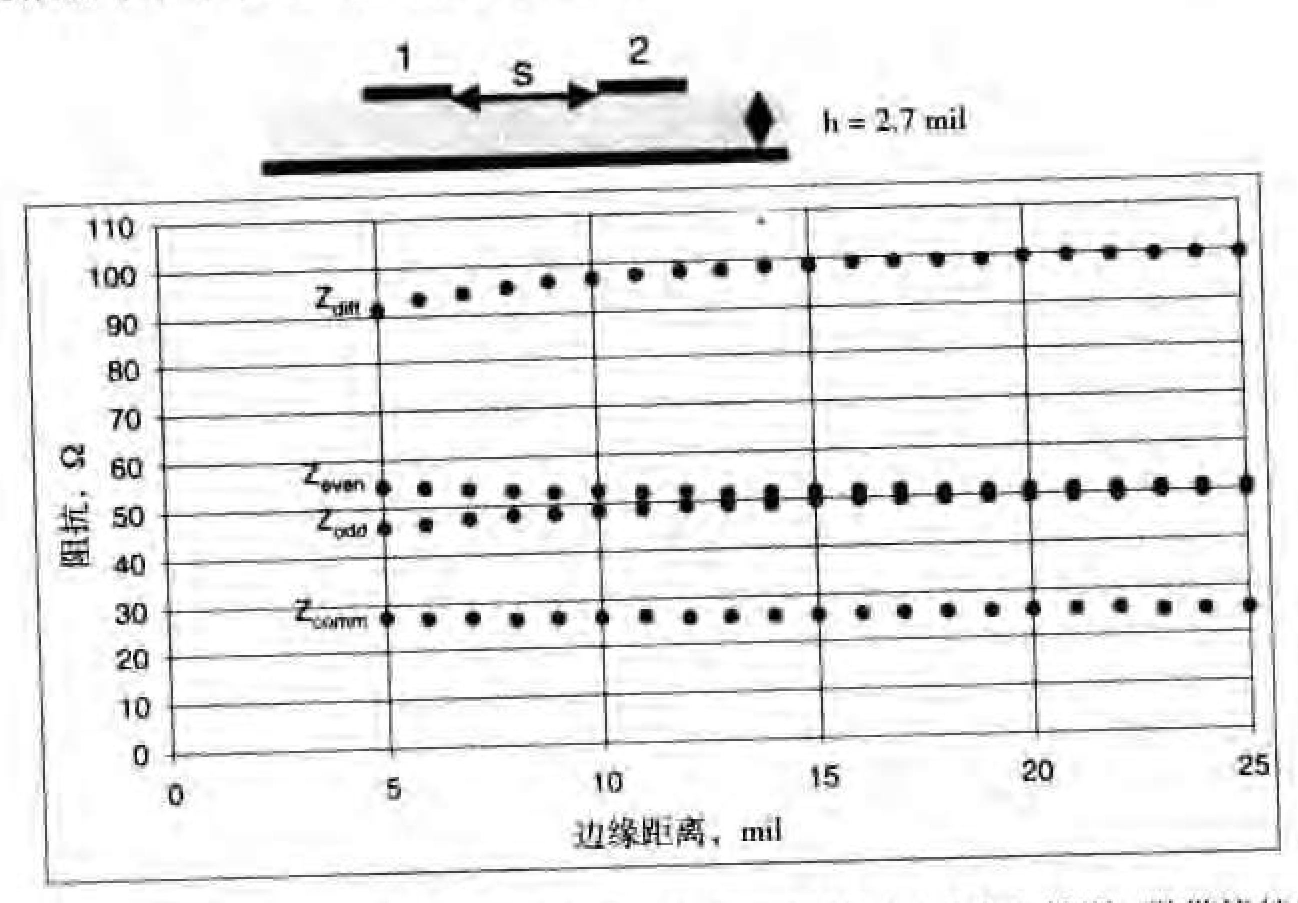


图 11.27 间距增加时，所有与边缘耦合微带线对相关的阻抗的变化情况。微带线的材料为 FR4，线宽 5 mil，无耦合时其特性阻抗为 50 Ω。使用 Ansoft 的 SI2D 仿真得到

对许多电路板上的微带线而言，阻焊层依附于顶层表面上，这将会影响信号线的单端阻抗和奇模阻抗，图 11.28 给出了随着阻焊层厚度的增加，紧密耦合差分对的阻抗变化情况。与其他状态相比，奇模状态下信号线间的电力线最强，因此阻焊层对奇模阻抗的影响最大。

这就是在设计表面层线条差分阻抗时要考虑阻焊层的原因。除此之外，这种效应可能使得制造出的差分阻抗偏离量高达 10%。

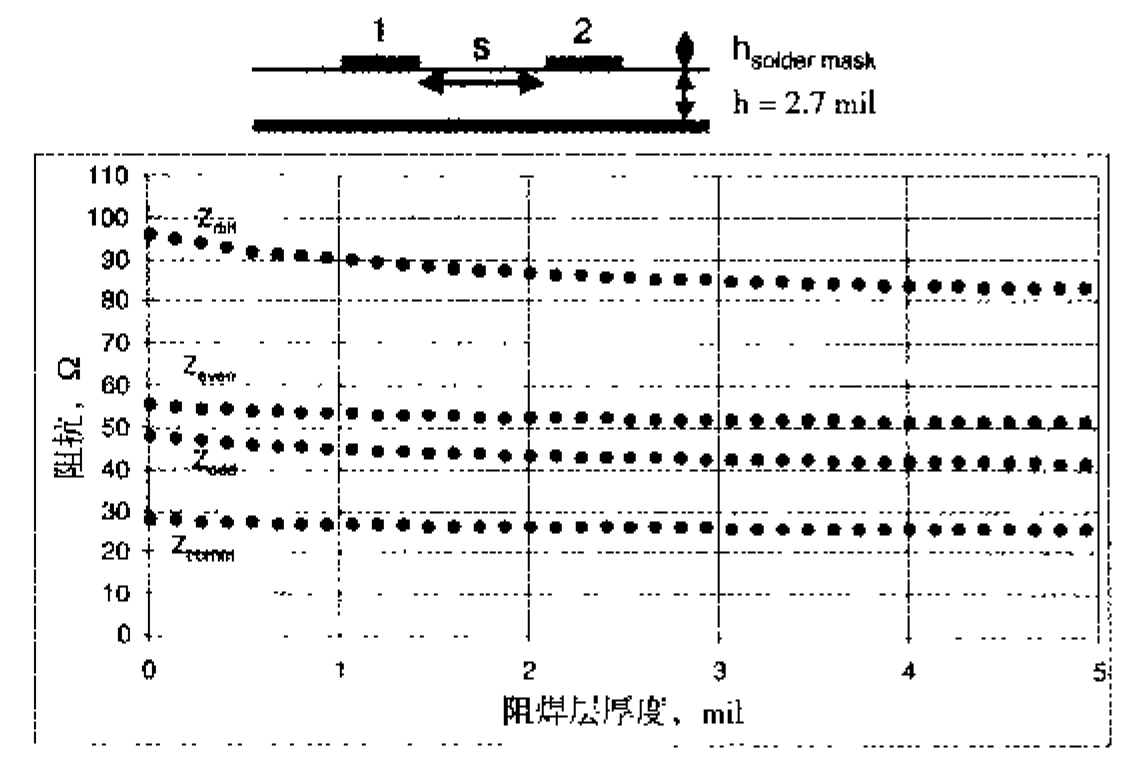


图11.28 在最紧密耦合下，依附于顶层表面上阻焊层厚度的增加所造成的影响。微带线的材料为FR4，线宽5 mil，线间距也为5 mil。使用Ansoft的SI2D仿真得到

11.10 差分、共模信号及奇模、偶模电压分量

差分和共模描述的是加在传输线上的信号。任意信号的差分分量指的是两信号线间的电压差，共模分量指的是两信号线间电压的平均值。

对一个对称的差分对而言，差分信号以奇模方式传输，共模信号以偶模方式传输。我们也可以用奇模和偶模这两个术语来描述一个任意信号。以偶模方式传输的电压分量V_{even}是信号的共模分量。以奇模方式传输的电压分量V_{odd}是信号的差分分量。如下式所示：

$$V_{odd} = V_{diff} = V_1 - V_2 \tag{11.16}$$

$$V_{even} = V_{comm} = \frac{1}{2} \times (V_1 + V_2) \tag{11.17}$$

类似地，沿差分对传输的任意信号可以用偶模分量和奇模分量组合描述如下：

$$V_1 = V_{even} + \frac{1}{2} V_{odd} \tag{11.18}$$

$$V_2 = V_{even} - \frac{1}{2} V_{odd} \tag{11.19}$$

式中：

V_{even}表示以偶模方式传输的电压分量

V_{odd}表示以奇模方式传输的电压分量

V_1表示线1与公共返回路径间的信号

V_2表示线2与公共返回路径间的信号

例如，给一根信号线加上0 V到1 V的跳变信号，另外一根线接0 V电位。在传输线上，以偶模方式传输的电压分量为V_{even} = 0.5 ×（1 V + 0 V）= 0.5 V，则以奇模方式传输的电压分量V_{odd} = 1 V − 0 V = 1 V。同时差分对中每根线上均有0.5 V的电压信号以偶模方式传输，受到的是偶模特性阻抗。每根线上均有1 V的电压信号以奇模方式传输，受到的是奇模特性阻抗。这种使用奇模分量和偶模分量对信号的描述如图11.29所示。

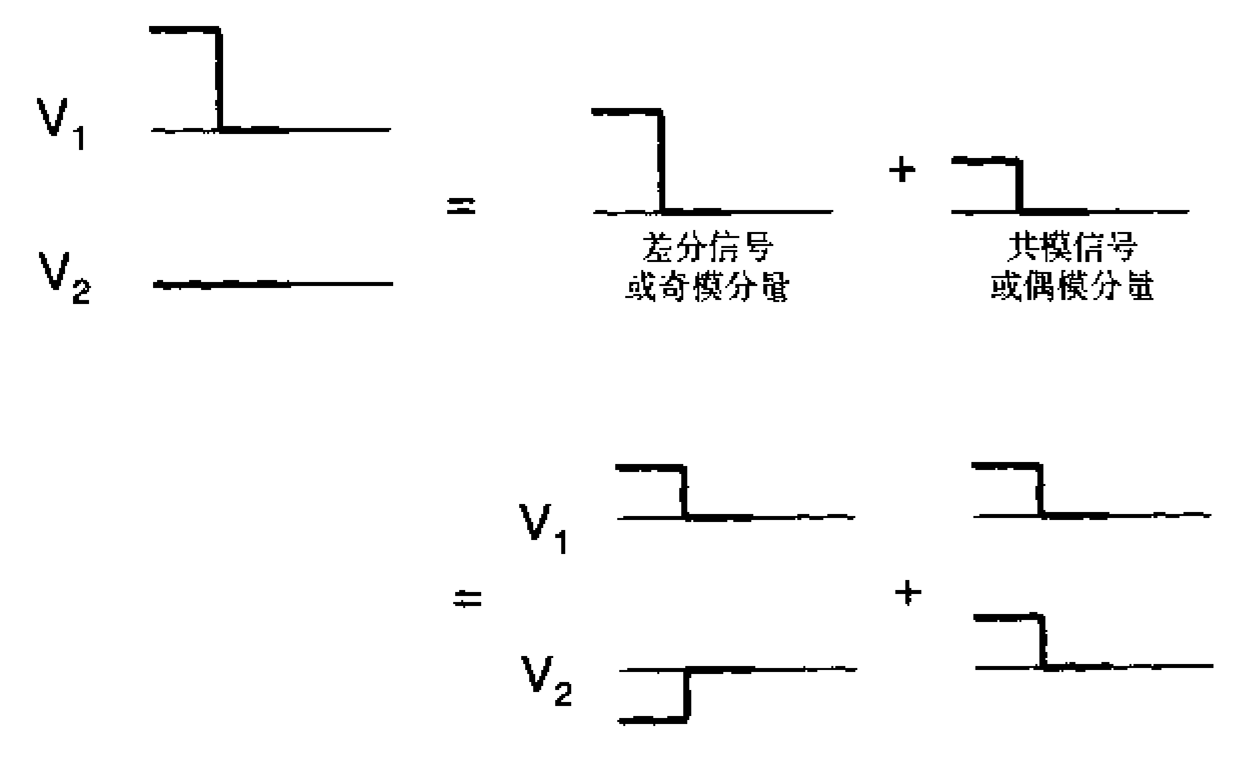


图 11.29 差分对同一个信号的三种等效描述：用每根信号线上的电压描述；用差分信号、共模信号描述；以及用奇模、偶模方式传输的电压分量描述

任何所加信号都可以用奇模电压分量和偶模电压分量的组合来描述。奇模电压分量和偶模电压分量在传输过程中相互独立、互不干扰。两个信号分量在每根信号线中会受到不同的阻抗，所以它们会以不同的速度传输。

上例用一对边缘耦合微带线来说明不同的模态。当环绕导体的是处处均匀的同质介质材料时，沿差分对无失真传播的电压模式将不再是惟一的，任何电压模式都可以在此差分对中实现无失真传播。只要介质材料是同质的，比如带状线结构，就不会出现远端串扰。加在这类传输线前端的任何信号均可实现无失真传输。但是按照惯例，我们依然用上述电压模式来定义对称差分对的奇模和偶模。

11.11 每种模态的速度及远端串扰

用两种传输模态分量来描述信号的方法对边缘耦合微带线非常重要。因为在边缘耦合微带线上不同模态的传播速度不同。

信号沿传输线的传播速度是由电力线穿过的介质的有效介电常数来决定的。有效介电常数越大，传播速度越慢，以该模态传输的信号的时延就越大。以带状线为例，导体周围的介质材料是均匀的。对电力线来说，有效介电常数总等于体介电常数，而与电压模式无关。在带状线中，奇模和偶模的传播速度是相等的。

但是，在微带线中，对电力线来说，介电常数是一个复合值，它一部分处于介质材料中，一部分处于空气中。场分布的精确模式和覆盖介质材料的方式都将会影响最终的有效介电常数和信号的实际传播速度。在奇模方式下，多数电力线位于空气中；在偶模方式下，多数电力线处于体材料中。由于这个原因，奇模信号比偶模信号有一个稍微小一点的有效介质常数，因此传输更快。

图 11.30 给出了对称的微带线和带状线的奇模和偶模的场模式。在带状线中，对场来说，在两种模态下只存在体介电常数，所以只要是同质介质的互连线，两种模态下的传播速度就是相同的。

在边缘耦合微带线中，差分信号激励奇模传输而共模信号微励偶模传输，所以差分信号比共模信号的传播速度要快。图11.31给出了这两种信号不同的传播速度。随着两线间距的增加，两线间的耦合度减小，奇模和偶模的场分布就会趋于相同。如果二者场分布相同，那么每种模态都会有相同的介电常数和传播速度。

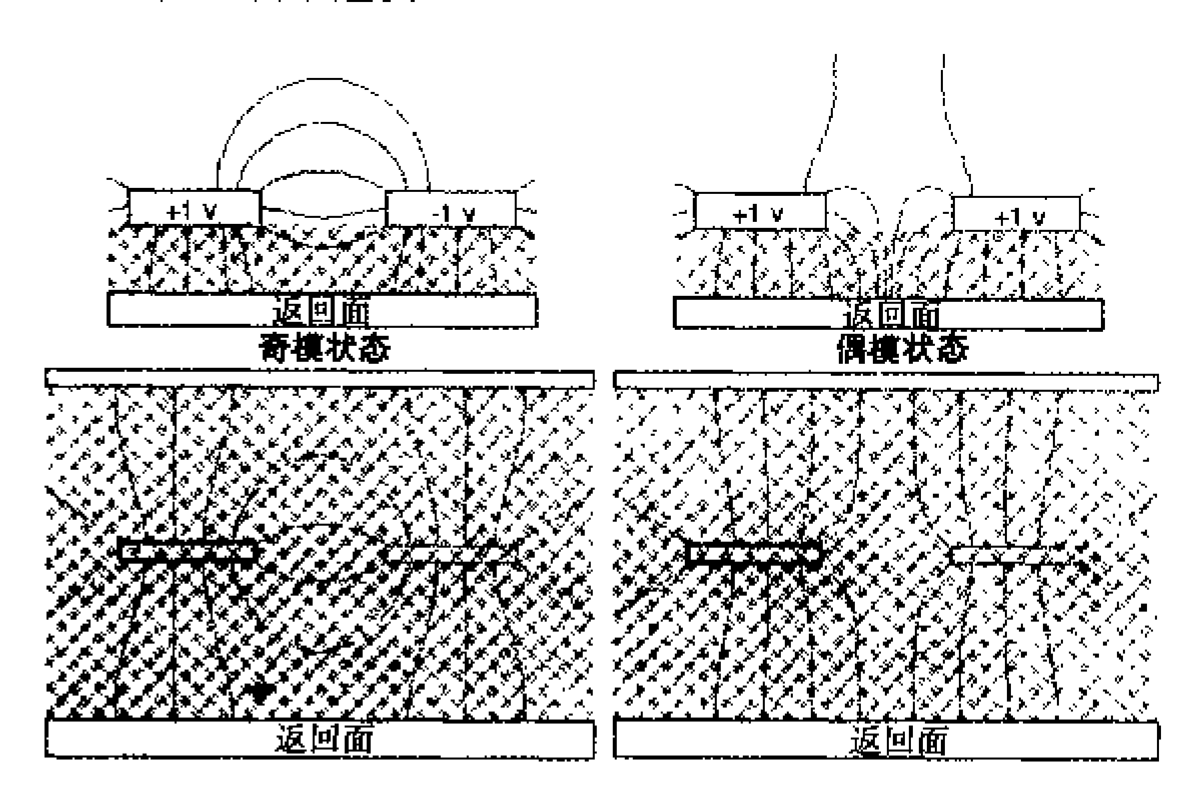


图 11.30　微带线和带状线在奇模和偶模状态下的电场及介质分布比较。使用 Mentor Graphics Hyperlynx 仿真得到

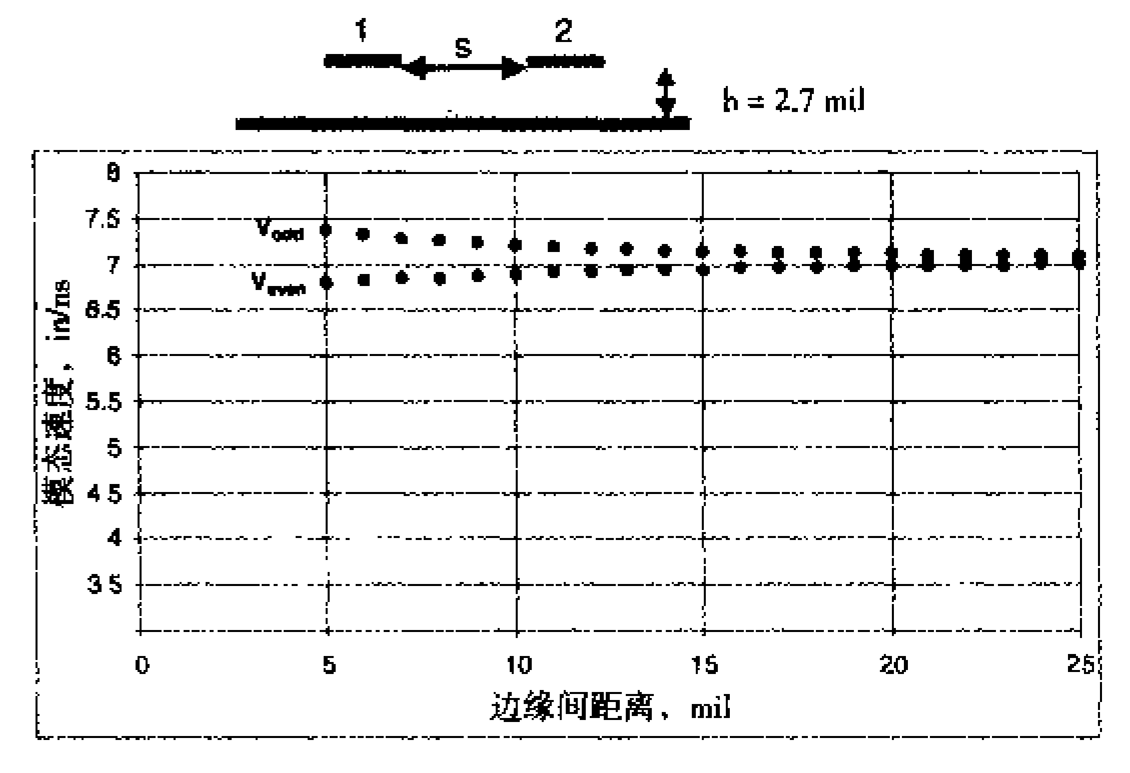


图 11.31　奇模和偶模的传播速度。传输线为边缘耦合微带线，材料为FR4，线宽为5 mil，阻值约为50 Ω

本例中，在间距最小的情况下，奇模速度为7.4 in/ns，而偶模速度为6.8 in/ns。若输入端加上仅有差分分量的信号，那么差分信号将以7.4 in/ns的速度实现无失真传播。若加上纯共模信号，那么它将以7.4 in/ns 的速度实现无失真传播。

对10 in长的互连线来说，奇模信号的时延 TD_{odd} = 10 in/7.4 in/ns = 1.35 ns。偶模信号的时延 TD_{even} = 10 in/6.8 in/ns = 1.47 ns。

提示　奇模传播和偶模传播的时延差为120 ps，看起来毫不起眼，但就是它给单端耦合传输线的远端带来了串扰。

如果不是以单纯的差分信号或共模信号来驱动差分对，而是以同时包含这两种分量的信号来驱动。那么这两个分量将以不同的速度各自独立地传播。尽管它们同时出发，但经过传输线后，速度较快的信号分量（差分信号即为这种信号的一个典型）将会先到达远端。此时，差分分量和共模分量的波阵面将会分开。沿差分对的每一个点上的真实电压就是这两个分量的和，由于信号边沿分开了，每根信号线上的电压模式都会发生改变。

假设差分对的一根传输线加上0 V到1 V的跳变电压，另一根线接0 V。这就等同于给信号线1接单端信号，信号线2接零电位。信号线1为攻击线，线2为受害线。

可以将此电压模式等效为以奇模方式传播的差分信号和以偶模方式传播的共模信号。如图11.32所示，若线1和线2的共模信号均为0.5 V电压，而线1的差分信号为0.5 V电压，线2的差分信号为–0.5 V电压，那么这将等同于实际加在差分对上的信号。

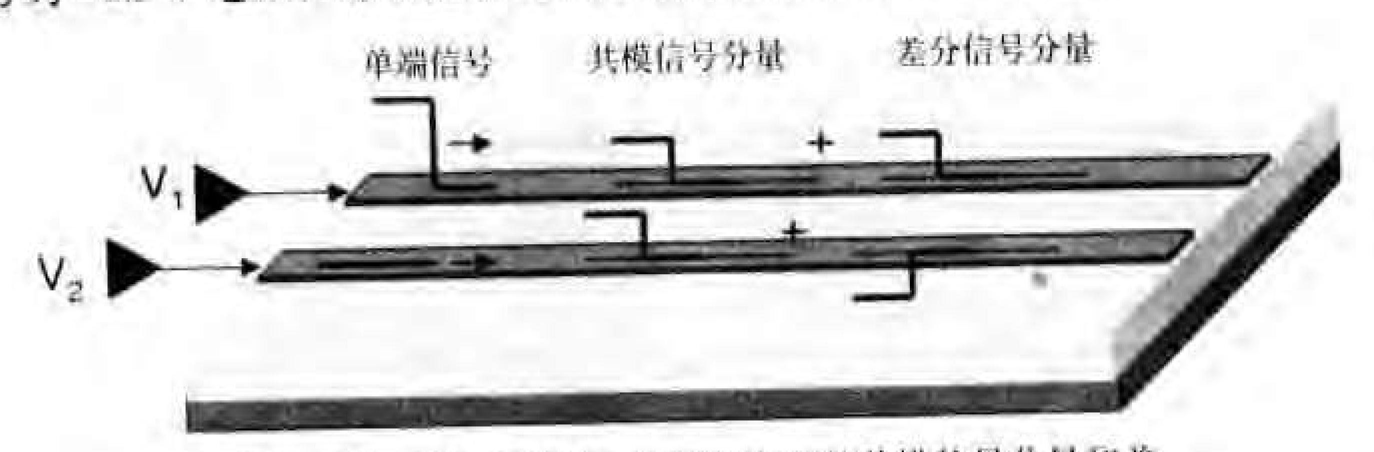


图11.32 在差分对中，用同时存在的共模信号分量和差分信号分量来描述攻击线和静态线上的信号

在像带状线这类拥有同质介质的导线中，奇模和偶模信号以相同的速度传播。这两种信号将同时到达信号线的另一端。它们在那里可以毫无失真地重新组合成为原来加在差分对上的信号。这种情况下不存在远端串扰。

在微带线差分对中，差分分量比共模分量传播得更快。当这两个互相独立的电压分量沿差分对传播时，它们的波前沿将会分开。对线2来说，差分分量将会比共模分量先到达末端。

线2的远端接收信号将是–0.5 V的差分分量和经过延迟的0.5 V共模分量的重新组合。这将在线2的远端产生瞬态净（net）电压。我们称这个瞬态电压为远端噪声。

提示 耦合传输线对的远端噪声可以视为由容性耦合电流减去感性耦合电流而得到，也可以看做延迟的差分分量和共模分量的和。这两种观点是等效的。

如果信号前沿是斜线型的，可以估算出由于两种信号分量的时延不同而引起的远端噪声。估算过程如图11.33所示，线2的电压是差分分量和共模分量的和。差分信号和共模信号的幅度值是线1电压的1/2，为$1/2V_1$。差分分量（以奇模方式传播）和共模分量（以偶模方式传播）到达信号线末端的时延差为：

$$\Delta T = \frac{Len}{v_{even}} - \frac{Len}{v_{odd}} \tag{11.20}$$

瞬态信号的前面是上升时间的前沿部分。它所能达到的最大值即远端电压值，和时延占上升时间的比例有关：

$$V_f = -\frac{1}{2}V_1 \times \frac{\Delta T}{RT} = -\frac{1}{2}V_1\frac{Len}{RT}\left(\frac{1}{v_{even}} - \frac{1}{v_{odd}}\right) = \frac{1}{2}V_1\frac{Len}{RT}\left(\frac{1}{v_{odd}} - \frac{1}{v_{even}}\right) \tag{11.21}$$

式中：

V_f 表示受害线 2 的远端电压的峰值

V_1 表示攻击线 1 的电压

Len 表示耦合区域的长度

ΔT 表示差分信号和共模信号到达时间的差

RT 表示信号的上升时间

V_{even} 表示信号以偶模方式传播时的速度

V_{odd} 表示信号以奇模方式传播时的速度

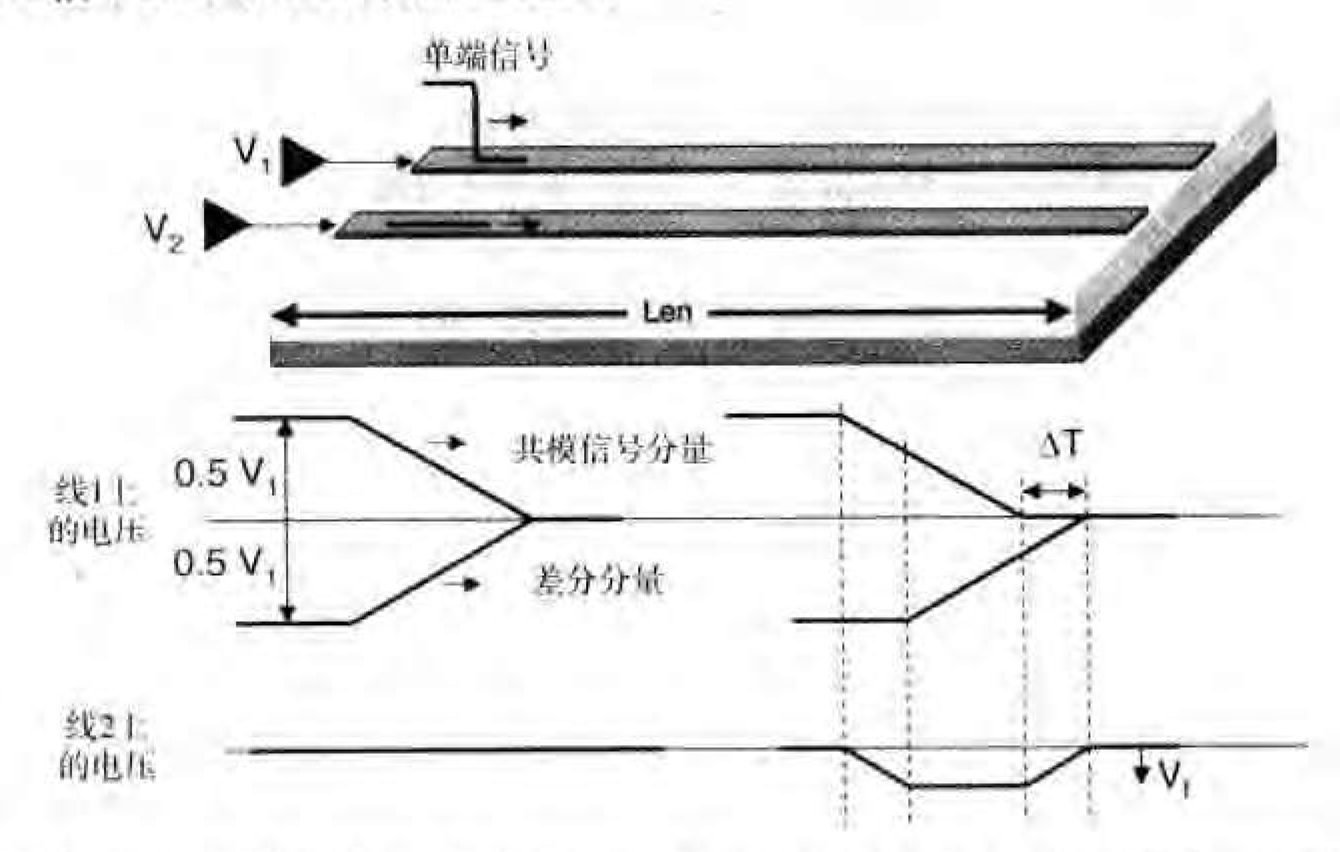


图 11.33　信号线2的信号由差分信号分量和共模信号分量组成。差分信号分量比共模信号分量先到达信号线 2 的末端，从而在信号线 2 中引起了瞬态净信号

可以用奇模和偶模传播速度的不同来解释远端噪声。如果差分对有同质介质并且两种模态的传播速度相同，那么差分对就不会出现远端噪声。如果传输线上方有空气，那么奇模的有效介电常数比偶模小，因此奇模有更高的传播速度。差分信号分量比共模信号分量先到达线 2 的末端。因为线 2 的差分信号分量为负，所以线 2 的瞬态电压也将为负。

只要差分信号和共模信号的时延差小于信号的上升时间，远端噪声就将会随耦合长度的增加而增加。但若这个时延差大于信号的上升时间，远端噪声将会在差分信号的幅值 0.5 V_1 处饱和。

远端噪声的饱和长度是当 $V_f = 0.5\ V_1$ 时传输线的长度值，可由下式来计算：

$$\mathrm{Len}_{sat} = -\frac{RT}{\dfrac{1}{v_{odd}} - \dfrac{1}{v_{even}}} \tag{11.22}$$

式中：

Len_{sat} 表示远端噪声饱和时的耦合长度

RT 表示信号的上升时间

V_{even} 表示信号以偶模方式传播时的速度

V_{odd} 表示信号以奇模方式传播时的速度

例如，在最紧密耦合情况下的微带线中，设上升时间为 1 ns，那么饱和长度为：

$$\text{Len}_{sat} = \frac{1\text{ns}}{\dfrac{1}{7.4\frac{\text{in}}{\text{ns}}} - \dfrac{1}{6.8\frac{\text{in}}{\text{ns}}}} = \frac{1\text{ns}}{0.135\frac{\text{ns}}{\text{in}} - 0.147\frac{\text{ns}}{\text{in}}} = 83\text{ in} \tag{11.23}$$

奇模和偶模的传播速度相差越小，饱和长度越长。当然，在远端噪声饱和之前，它的幅度也有可能超出噪声容限（Margin）。

11.12 耦合传输线的理想差分对模型

一对耦合传输线可以看做是两条之间存在耦合的单端传输线，正是这些耦合给两条信号线带来了串扰，或者看做是有奇模和偶模特性阻抗及奇模和偶模速度的差分对。两种观点是等价的。

在前面章节中，我们探讨了在一对耦合传输线上的近端（后向）噪声 V_b 和远端（前向）噪声 V_f，其关系式为：

$$V_b = V_a k_b \tag{11.24}$$

$$V_f = V_a \frac{\text{Len}}{\text{RT}} k_f \tag{11.25}$$

式中：

V_b 表示后向噪声
V_f 表示前向噪声
V_a 表示动态线电压
k_b 表示后向串扰系数
k_f 表示前向串扰系数
Len 表示耦合区域的长度
RT 表示信号的上升时间

从差分对的观点来看，串扰系数为：

$$k_b = \frac{1}{2}\frac{Z_{even} - Z_{odd}}{Z_{even} + Z_{odd}} \tag{11.26}$$

$$k_f = \frac{1}{2}\left(\frac{1}{v_{odd}} - \frac{1}{v_{even}}\right) \tag{11.27}$$

近端噪声是奇模特性阻抗和偶模特性阻抗之差的直接量度。两信号线间距越大，奇模阻抗和偶模阻抗的差就越小，耦合度也就越小。当两信号线间距相当大时，两信号线间不存在相互作用，一模信号线的特性阻抗的大小与另外一根线上的信号无关。奇模阻抗和偶模阻抗相等，近端和远端噪声系数为零。

提示 这种联系使我们有机会将一对耦合传输线建立成差分对模型。理想的分布式差分对模型是一种新的电路模型，可以将它加到理想电路元素库中。它可以模拟出差分对的行为，或者说是一对独立又耦合的传输线行为。

像用特性阻抗和时延来定义理想的单端传输线一样，可以用以下四个参数来定义理想差分对：

1. 奇模特性阻抗
2. 偶模特性阻抗
3. 奇模时延
4. 偶模时延

这些术语充分考虑到了耦合的影响，正是耦合产生了远端和近端串扰。这是电路和行为仿真器中大多数理想电路模型的基础。

如果传输线是带状线，那么奇模和偶模的传播速度及时延均相同，所以此时只需要三个参数就可以描述一对耦合传输线。

描述差分对的这四个参数值通常可以用二维场求解器计算得到。

11.13　奇模和偶模阻抗的测量

时域反射计（TDR）可以用来测量单端传输线的单端特性阻抗。TDR 给传输线加上一个阶跃电压，然后测量反射电压。信号从阻抗为 50 Ω 的 TDR 和互连电缆传到传输线的前端。反射电压的幅度由信号感受到的瞬态阻抗变化来决定。对均匀传输线来说，信号感受到的瞬态阻抗即为传输线的特性阻抗。反射电压由下式决定：

$$\rho = \frac{V_{reflected}}{V_{incident}} = \frac{Z_0 - 50\Omega}{Z_0 + 50\Omega} \tag{11.28}$$

式中：

ρ 表示反射系数

$V_{reflected}$ 表示用 TDR 测量出的反射电压

$V_{incident}$ 表示 TDR 加在线上的电压

Z_0 表示传输线特征阻抗

50 Ω 表示 TDR 和电缆系统的输出阻抗

知道了输入电压再测出反射电压，就可以用下式计算出传输线的特性阻抗：

$$Z_0 = 50\Omega\frac{1+\rho}{1-\rho} \tag{11.29}$$

这就是我们测量任何单端传输线特性阻抗的方法。为了测量差分对中一根线的奇模阻抗或偶模阻抗，必须要在奇模或偶模状态下测出相应的传输线的特性阻抗。

为了激励差分对进入奇模状态，要给差分对加上差分信号。此时每根线的特性阻抗就是它的奇模阻抗。这就意味着如果在被测信号线与返回路径间加 0 V 到 200 mV 的信号，那么就要在第二根信号线与其返回路径间加 0 V 到 -200 mV 的信号。同样地，测量偶模特性阻抗时，要在第二根信号线与其返回路径间加 0 V 到 +200 mV 的信号。

要实现这些测量需要一种特殊的、带有两个信号源的 TDR，我们称之为差分 TDR，或 DTDR。图 11.34 给出了 TDR 的两个输出开路时的电压，它产生出差分和共模信号的两路驱动。

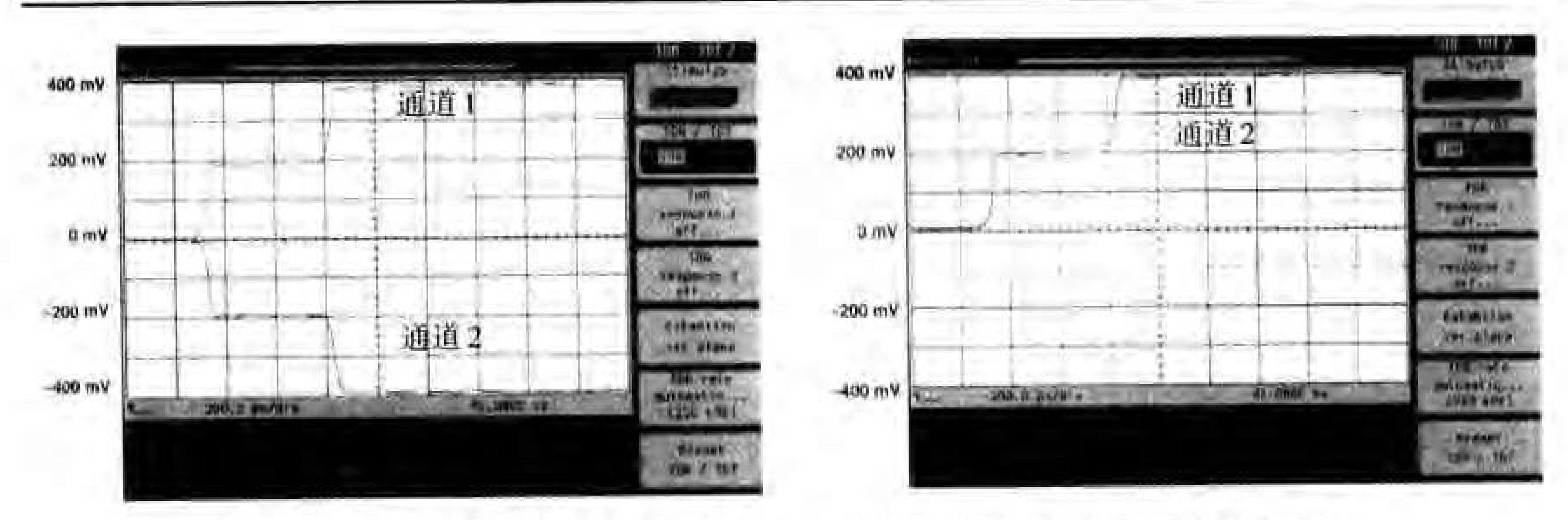


图 11.34 从差分TDR出来加在待测差分对上的两路电压信号，上图为差分信号，下图为共模信号。采用安捷伦的 86100 DCA 和配件 DTDR 测量得到

在DTDR中，两路的反射电压都可以测量出来，所以差分对中两条线的奇模和偶模特性阻抗也都可以测量出来。图 11.35 是一个被测量差分对中一根线的奇模和偶模特性阻抗的例子。这里是一对紧密耦合阻抗约为 50 Ω 的传输线。本例中，测得单根的奇模阻抗为 39 Ω，同一根线上的共模阻抗为 50 Ω。

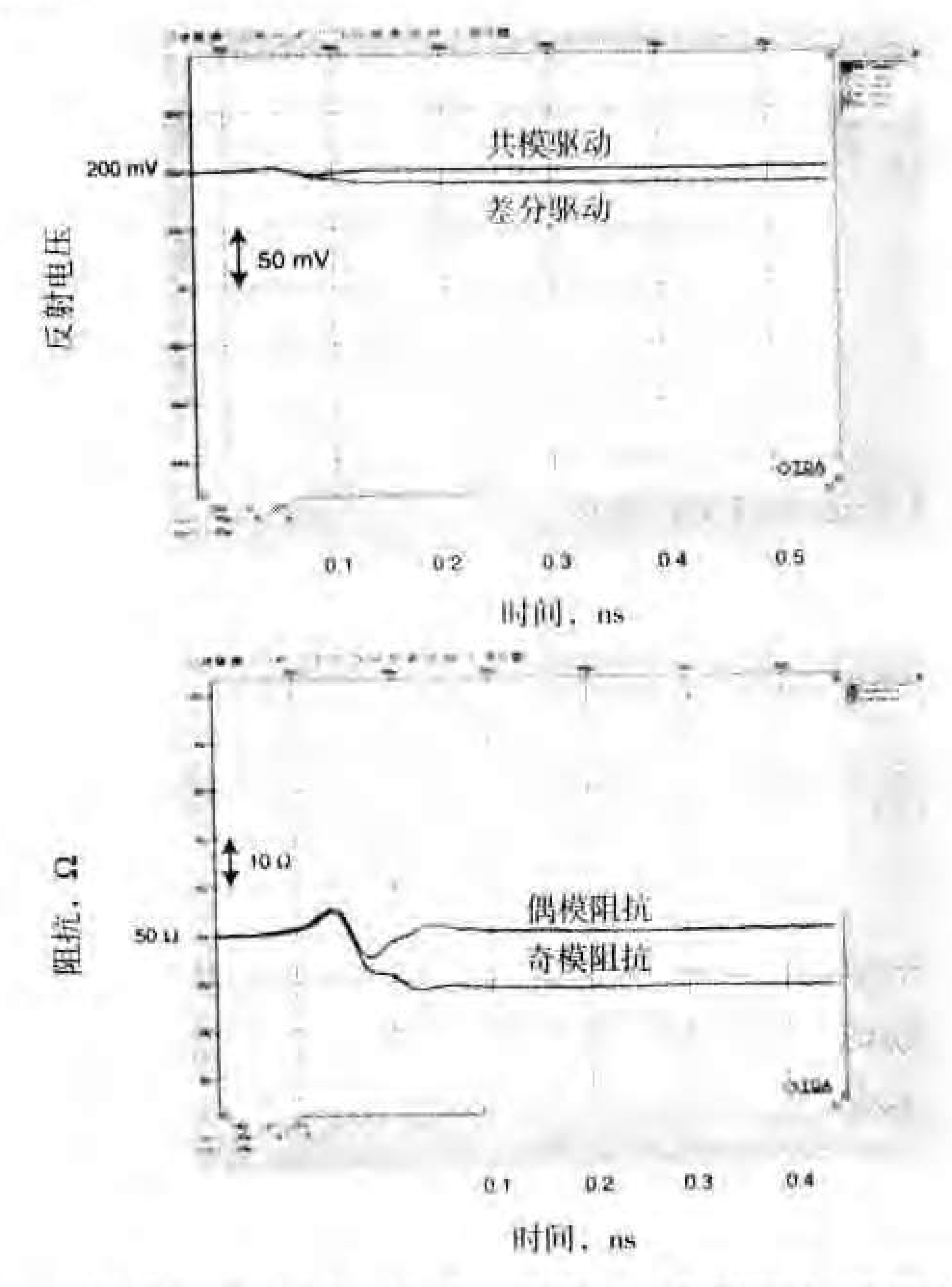


图 11.35 上图给出当输出为差分和共模信号时，从差分DTR一路测得的电压。这一切又被转换为用偶模（共模驱动）和奇模（差分驱动）阻抗。奇模阻抗为 39 Ω，偶模阻抗为 50 Ω。测量结果采用的是安捷伦 86100 DCA，配件 DTDR，TDA Systerms IConnect 的软件，GigaTest Labs 的探针台

11.14 差分和共模信号的端接

当差分信号到达开路终端后，将会受到一个很大的阻抗并反射回来。如果不对此反射加以控制，它将可能超出噪声容限引起超额的噪声。减小反射的一种常用办法就是在差分对末端加上一个与差分阻抗相匹配的电阻性阻抗。例如，如果这根线的差分阻抗设计为100 Ω，那么远端电阻就应该是100 Ω，如图11.36所示。这个电阻应该跨接在两信号线之间以便差分信号能感受到它的阻抗。仅用这单一电阻就可以端接差分信号，但共模信号又怎样呢？

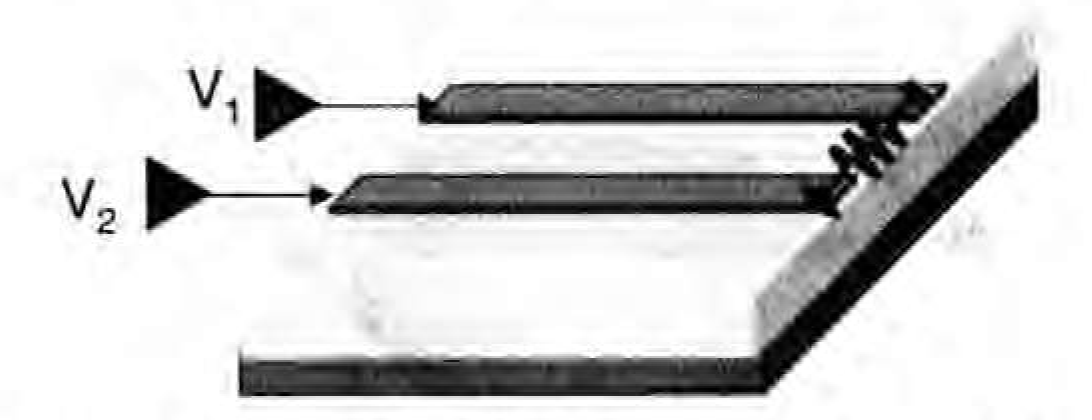


图11.36 在差分对末端跨接一个与差分对差分阻抗大小相等的单一电阻来端接差分信号

提示 尽管共模信号分量在LVDS级别下也是一个比较大的值，但即使是驱动器进行开关切换时，这个电压至少在名义上也是恒定的。所以，它可能不会给系统带来问题。

任何瞬态共模信号沿差分对传播时都会在末端感受到一个较高的阻抗，反射回源端。即使在两信号线之间跨接一个100 Ω的电阻，由于共模信号在两信号线上有相同的电压，它也将会感受不到这个电阻。由于驱动器阻抗的原因，产生的任何共模信号都将会往返振荡，出现振铃效应。

有人可能会问，端接共模信号很重要吗？如果电路中存在对共模信号敏感的器件，那么控制共模信号的质量就比较重要。

提示 端接共模信号不是消除共模信号，只是阻止共模信号在电路间往返振荡。如果共模信号会产生EMI，那么端接共模信号的确能稍微减小EMI。但仍然有必要改进设计以消除共模信号源。

端接共模信号的一种办法就是在每根信号线与返回路径间接上一个电阻，这两个电阻并联时的阻值应等于共模阻抗。如图11.37所示，如果共模阻抗为25 Ω，那么每个电阻值都将为50 Ω，这样它们的并联阻抗就是25 Ω。

但是很遗憾，如果采用这种端端方案，在共模信号被端接的同时，除非是两信号线间不存在耦合，否则差分信号就没有被端接。在这种端接方案中，差分信号受到的等效电阻是两个电阻的串联，为$4\times Z_{comm}$。只有当$Z_{even}=Z_{odd}$时这个电阻才等于差分阻抗。随着耦合度的增加，共模阻抗将会增加，而差分阻抗将会减小。

所以必须设计出一种方案来同时端接这两种信号。可以用两种拓扑结构来实现它，每种都用三个电阻。π型结构和T型结构如图11.38所示。

在π型拓扑结构中，各电阻值可以用下面的方法来计算。使共模信号受到的等效电阻等于共模阻抗，使差分信号受到的等效电阻等于差分阻抗。共模信号受到的等效电阻为两个电阻R_2的并联：

$$R_{equiv} = \frac{1}{2}R_2 = Z_{comm} = \frac{1}{2}Z_{even} \tag{11.30}$$

式中：

R_{equiv} 表示共模信号受到的等效电阻

R_2 表示电阻 R_2 的阻值

Z_{comm} 表示差分对的共模阻抗

Z_{even} 表示差分对的偶模阻抗

从上式解得 $R_2 = Z_{even}$。

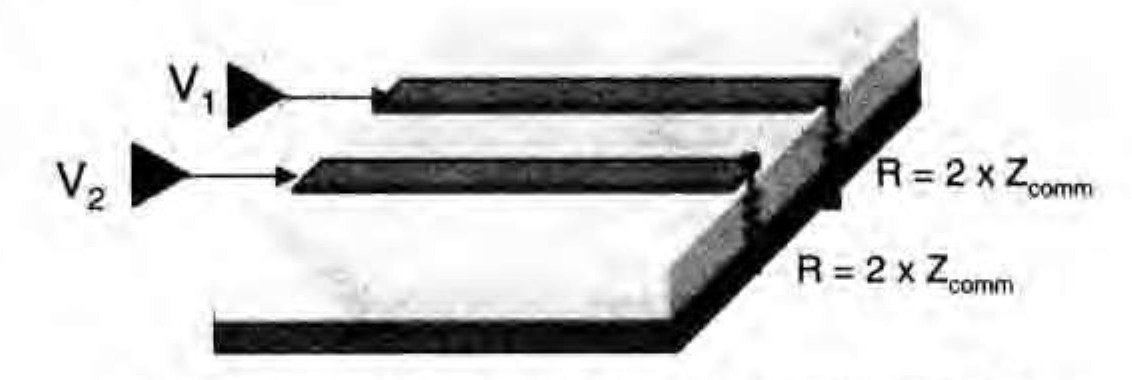


图 11.37 用两个电阻对差分对的远端进行共模信号端接，每个电阻的大小等于差分对的共模阻抗的 2 倍

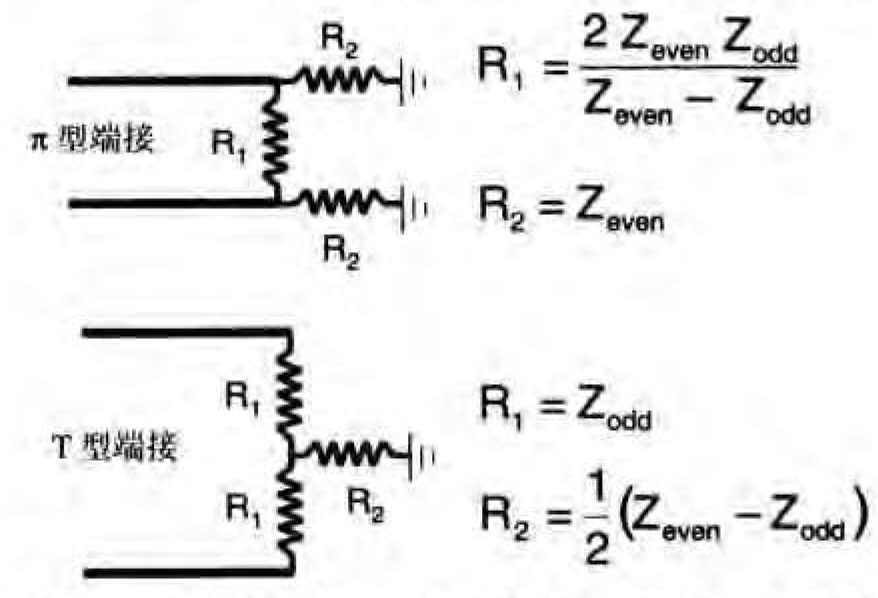


图 11.38 差分对的 π 型端接结构和 T 型端接结构，可以同时端接差分信号和共模信号

差分信号受到的等效电阻为两个电阻 R_2 串联后再和电阻 R_1 并联：

$$R_{equiv} = \frac{R_1 \times 2R_2}{R_1 + 2R_2} = Z_{diff} = 2 \times Z_{odd} \tag{11.31}$$

式中：

R_{eqiv} 表示差分信号受到的等效电阻

R_1 表示电阻 R_1 的阻值

R_2 表示表示电阻 R_2 的阻值

Z_{diff} 表示差分对的差分阻抗

Z_{odd} 表示差分对的奇模阻抗

因为 $R_2 = Z_{even}$，由上式可以求得 R_1 为：

$$R_1 = \frac{2Z_{even}Z_{odd}}{Z_{even} - Z_{odd}} \tag{11.32}$$

当耦合度很小并且 $Z_{even} \approx Z_{odd} \approx Z_0$ 时，会有 $R_2 = Z_0$，R_1 为开路。当耦合度很小时，这种π型端接结构就会退化为在两条信号线末端各接上一个阻值为每根线特性阻抗的电阻。随着耦合度的增加，信号线与返回路径间的电阻要同时增加以便于能够匹配偶模特性阻抗。两信号线之间要跨接一个大阻值的分流电阻，这样差分信号受到的等效电阻就会减小，从而能够匹配随着耦合度增加而降低的差分阻抗。

对一典型的紧密耦合差分对来说，奇模阻抗大致为 50 Ω，偶模阻抗大致为 55 Ω。此时在π型端接中，两信号线间的电阻值将会是 1 KΩ，每根信号线与返回路径间的电阻是 55 Ω。这种连接方式能同时端接 100 Ω 的差分阻抗和 27.5 Ω 的共模阻抗。

在 T 型拓扑结构中，差分信号受到的等效电阻是两个电阻 R1 的串联：

$$R_{equiv} = Z_{diff} = 2R_1 = 2Z_{odd} \tag{11.33}$$

式中：

R_{equiv} 表示差分信号受到的等效电阻

R_1 表示电阻 R_1 的阻值

Z_{diff} 表示差分对的差分阻抗

Z_{odd} 表示差分对的奇模阻抗

从上式解得 $R_1 = Z_{odd}$。

共模信号受到的等效电阻为两个电阻 R_1 并联后再和 R_2 串联：

$$R_{equiv} = Z_{comm} = \frac{1}{2}R_1 + R_2 = \frac{1}{2}Z_{even} \tag{11.34}$$

从中求得 R_2 为：

$$R_2 = \frac{1}{2}(Z_{even} - Z_{odd}) \tag{11.35}$$

在 T 型端接中，当耦合度比较小时，有 $Z_{even} \approx Z_{odd} \approx Z_0$，T 型端接即为在两信号线之间简单串联两阻值为 R_1 的电阻，每个电阻均等于奇模特性阻抗。除此之外，两电阻中间还有一个中央抽头短接到返回路径。在无耦合状态下，T 型端接退化为π型端接。随着耦合度的增加，差分阻抗会减小，R_1 的阻值要相应减小以便与之匹配；共模阻抗会增加，R_2 的阻值要相应增加来补偿。

如果奇模阻抗为 50 Ω，偶模阻抗为 55 Ω，那么 T 型端接中信号线间两个电阻均为 50 Ω，中央抽头与返回路径间的电阻为 2.5 Ω。

在实现π型或 T 型端接时，要考虑的最重要因素就是驱动器的潜在直流负载。在两种结构中，每模信号线与返回路径间的电阻都与偶模阻抗大小差不多。偶模电阻越小，从驱动器流出的电流越大。典型的差分驱动无法将低直流电阻控制在低电压一边，所以端接共模信号是不太现实的。因此一定要想办法在开始就使共模信号达到最小，在末端仅端接差分信号就行了。

端接差分信号和共模信号的另一种可替代的办法就是在T型端接中加入隔直流电容，电路结构如图 11.39 所示。该拓扑结构中电阻与原来 T 型结构中的电阻阻值相等。选择电容时要保证共模信号感受到的时间常致远大于上升时间，这才能保证在信号带宽内电容的阻抗小于电阻的阻抗。根据一阶估计，电容量初步选择为：

$$RC = 5 \times RT \tag{11.36}$$

$$C = \frac{5 \times RT}{Z_{comm}} \tag{11.37}$$

式中：

R 表示共模信号受到的等效电阻

C 表示隔直流电容的值

RT 表示信号的上升时间

Z_{comm} 表示共模阻抗

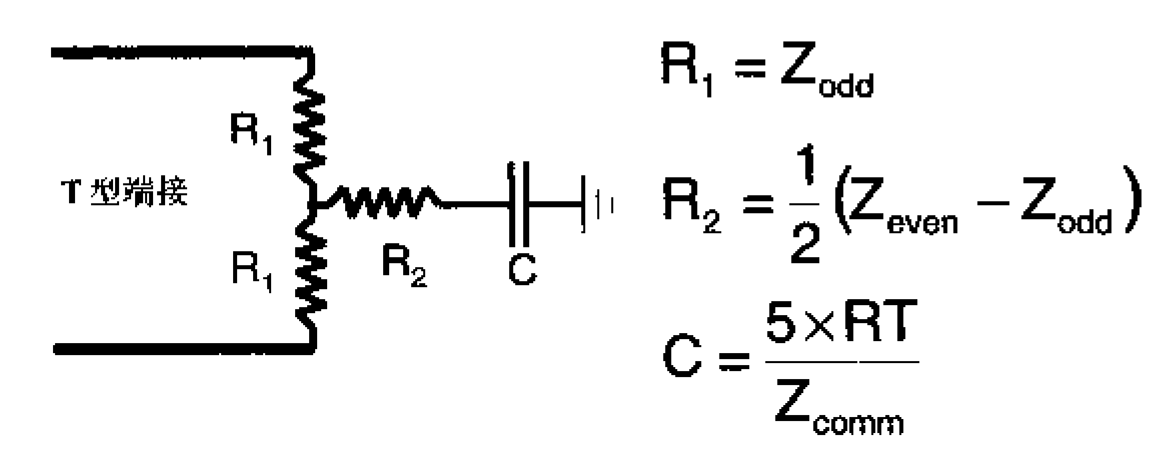


图 11.39 有隔直流电容的 T 型端接。它能在端接共模信号的同时使直流泄漏最小

例如，如果共模阻抗约为 25 Ω，上升时间为 1 ns，那么隔直流电容约为 5 ns/25 Ω = 200 pF。当然，无论我们什么时候值用 RC 端接，都要使用仿真来验证最佳的电容量。

11.15 差分信号向共模信号的转化

在差分传输中，所有的信息都由差分信号来传送。保持差分信号的质量十分重要。实现时要注意使用以下指导原则：

1. 使用可控差分阻抗。
2. 使差分对的突变最小化。
3. 在远端端接差分信号。

此外，信号线间的不对称和驱动器之间的错位也会引起差分信号的失真。

提示 微带线或者是带状线中的不对称、错位引起的失真和线间的耦合度无关。它可以发生在无耦合或最紧密耦合的两条线之间。

两个差分驱动器跳变时的错位会使差分信号失真。图 11.40 给出了当错位从上升时间的 20% 变到 2 倍时，差分信号边沿的变化情况。通常，错位应当保持在上升时间的 20% 以内，这样才不至于引起附加的时延，使差分信号边沿失真。任何错位都将会直接影响到时序容限（timing margin）。

差分对两条线的长度时延差一样能导致错位。有一个同样的经验法则，为了把错位保持在上升时间 20% 以内，要求线长度偏差在上升沿空间延拓的 20% 以内。这种情况下对信号线总长度的匹配要求如下：

$$\Delta L = 0.2 \times RT \times v \tag{11.38}$$

式中：

ΔL 表示为使错位保持在上升时间的 20% 以内，要求两信号线间的最大长度偏差

RT 表示信号的上升时间

v 表示差分信号的传播速度

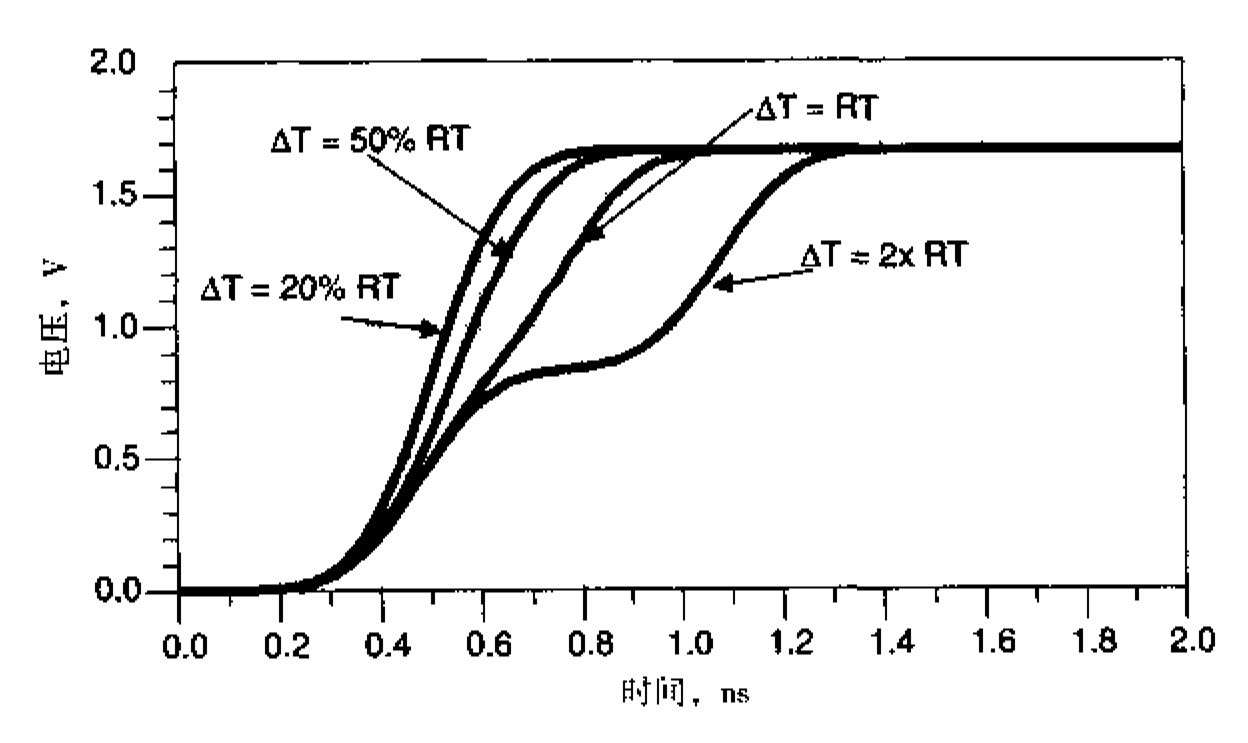


图 11.40　当驱动器错位从上升时间的 20% 变到 2 倍时，接收到的差分信号变化情况。使用安捷伦 ADS 仿真得到

如果信号的传播速度大致为 6 in/ns，上升时间为 1 ns，那么上升沿的空间延拓为 6 in。此时差分对两信号线的最大长度偏差应小于 0.2 × 6 in/ns × 1 ns ≈ 1 in。这实现起来相对比较简单。

如果上升时间为 100 ps，那么两信号线的最大长度偏差应小于 100 mil。随着分配给信号线长度偏差的错位预算越来越小，信号线之间长度的匹配变得越发重要。

还有一些其他方面的不对称因素也会潜在地引起差分信号的失真。总的来说，如果某些因素影响了差分对一根信号线而没影响到另外一根，那么差分信号就会因此而失真。例如，一根信号线由于感受到了一个测试焊盘而产生了一个容性负载，但另一根没有，那么差分信号就会失真。图 11.41 给出了当一根信号线上出现容性负载时，差分对末端差分信号的仿真结果。

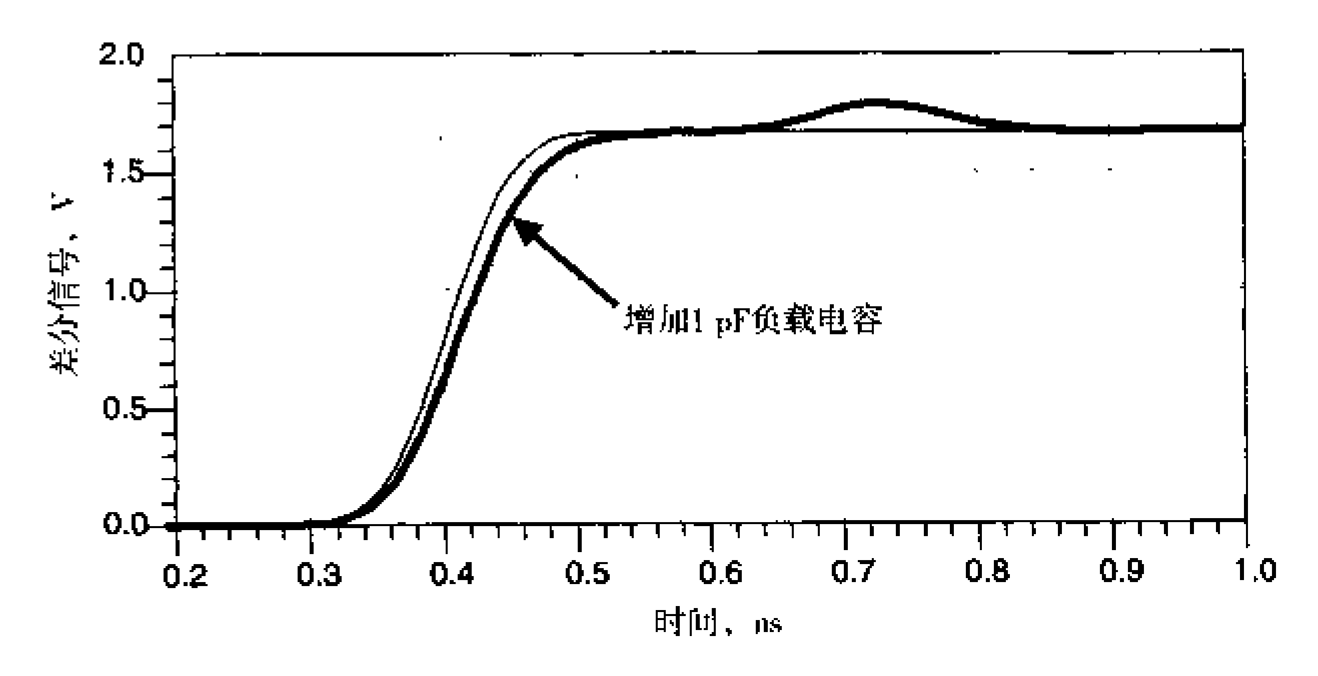


图 11.41　当差分对的一根信号线接 1 pF 容性负载和不接时，接收到的差分信号。信号上升时间为 100 ps。使用安捷伦 ADS 仿真得到

错位和失真还会产生另外一些影响。任何不对称因素都会使部分差分信号转化成共模信号。总的来说，如果驱动器和接收器对共模信号不敏感，产生的共模信号量就问题不大。毕竟典型的差分接收器都有很大共模抑制比，或称为CMRR。但是共模信号能显著增加EMI。要设法使从机壳缝隙或电缆中泄漏出来的共模信号降到最低，这是非常关键的。

提示 任何不对称因素都会使差分信号转化成共模信号。这其中包括串扰，驱动器错位，线长偏差及不对称的负载等。把错位保持在最低限度的一个重要目的就是使差分信号向共模信号的转化降到最小。

一个小的错位可能不会影响到差分信号的质量，但可以对共模信号产生很显著的影响。图11.42 给出了当错位只有上升时间的20%时，信号线上的电压情况，以及当只有差分信号被端接时，接收到的差分信号和共模信号。差分信号分量在远端被电阻端接，但共模信号分量在远端感受到开路并将会返回低阻抗的源端。这将会产生振铃效应。

即使是差分信号和共模信号都被端接，由于各种不对称照样会产生共模信号。图11.43给出了使用T型端接后的远端电压情况。那里的差分信号和共模信号都同时被端接过了。我们可以看到，振铃效应消失了，但共模信号依然存在，并且能引起EMI。

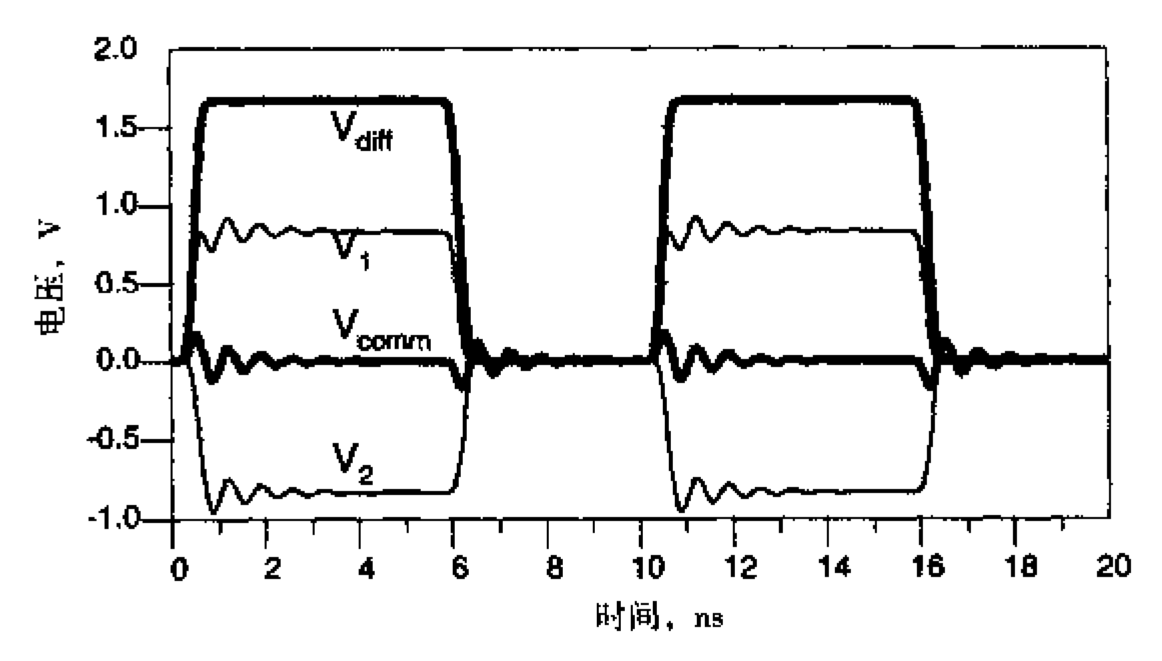


图11.42 带有差分端接电阻的差分对远端信号。驱动器错位仅为信号上升时间的20%。注意，尽管每根信号线上的电压都产生了失真，但差分信号的质量依然很好。使用安捷伦ADS仿真得到

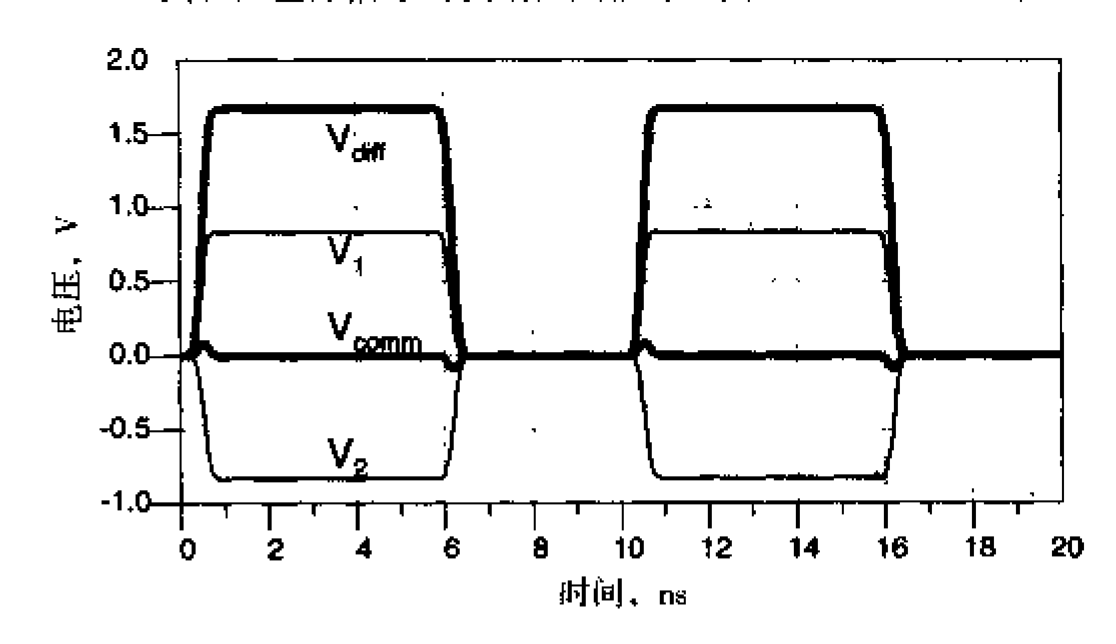


图11.43 当错位为20%时，带有差分信号和共模信号端接的远端接收信号。使用安捷伦ADS仿真得到

随着两信号线间的错位越来越大，共模信号的幅度也会相应增加。图 11.44 给出了当错位分别为上升时间的 20%，50%，100% 和 200% 时对应的共模信号。

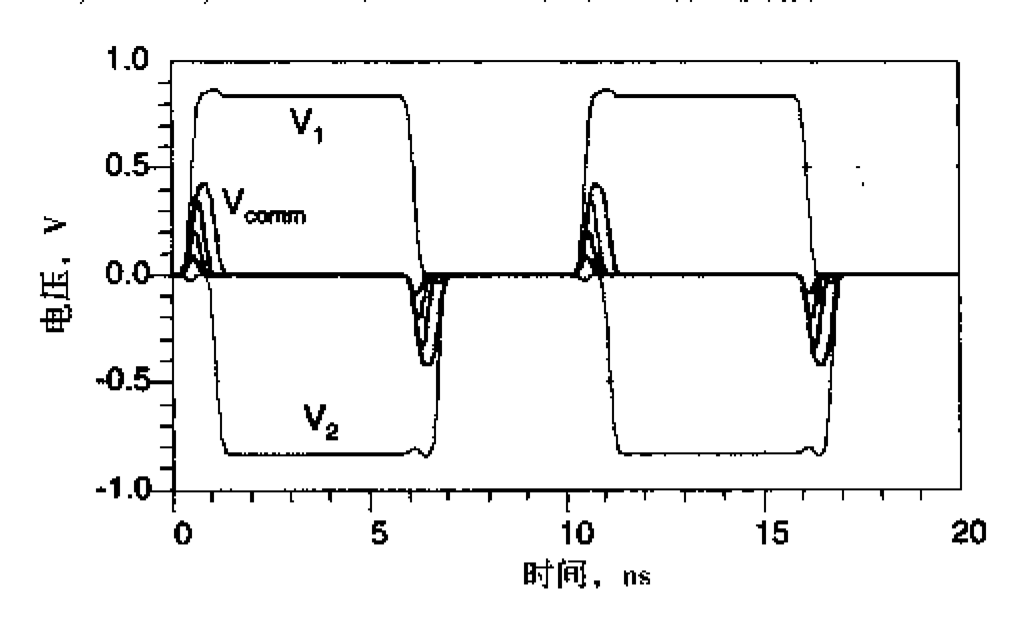


图 11.44　在共模信号被端接的情况下，由于错位而产生的共模信号。错位分别为上升时间的 20%，50%，100% 和 200%。使用安捷伦 ADS 仿真得到

提示　很小的驱动器错位都能产生明显的共模信号。这就是为什么我们要尽量将不对称降到最小的原因。

为了使共模信号的产生降到最小，要将路径通路做到尽可能对称。为了预测产生的共模信号大小，需要建立描述非理想情形的模型。可以用它来预测潜在 EMI 的严重性。

11.16　EMI 和共模信号

如果将一对无屏蔽双绞线缆，比如 5 类电缆，接到电路板的差分对上，那么差分信号和共模信号都会传输到电缆上。差分信号是有用信号，它携带要传递的信息。双绞线电缆对来自差分信号的电磁能量辐射很小，但电缆中的共模电流会辐射电磁能量并能产生 EMI。

如果双绞线中存在共模电流，那么它的返回路径又在哪里呢？在产生差分信号的电路板上，共模信号经板上的返回平面返回。但当信号从电路板切换到双绞线上时，并没有到电路板上返回平面的直接连接。

这对于差分信号来说并不会造成什么问题。只需要设计好电路板上互连线的差分阻抗，使得它与双绞线的差分阻抗匹配。这样，当差分信号在从电路板向双绞线的过渡时就不会受到阻抗的突变。

提示　事实上，无屏蔽双绞线的共模信号返回路径是地或其他临近的导体。信号线与最临近导体表面的耦合通常小于与临近信号路径之间的耦合。所以共模阻抗通常很高——约为几百欧姆。

共模信号在电路板上和双绞线中受到阻抗可能会很不匹配。两个返回路径之间的连接就是任何一条电流可以找到的通路。在高频段，返回路径主要由电路板的地－机架－地面间的杂散电容构成。一个仅为 1 pF 的电容在 1 GHz 时就有约 160 Ω 的阻抗。

如图 11.45 所示，当共模信号在双绞线上传播时，返回电流会通过双绞线与导体间的杂散电容与最临近的导体耦合。

双绞线中共模电流的大小由加在该电缆上的共模信号电压以及共模信号在电缆中受到的阻抗来决定：

$$I_{comm} = \frac{V_{comm}}{Z_{comm}} \tag{11.39}$$

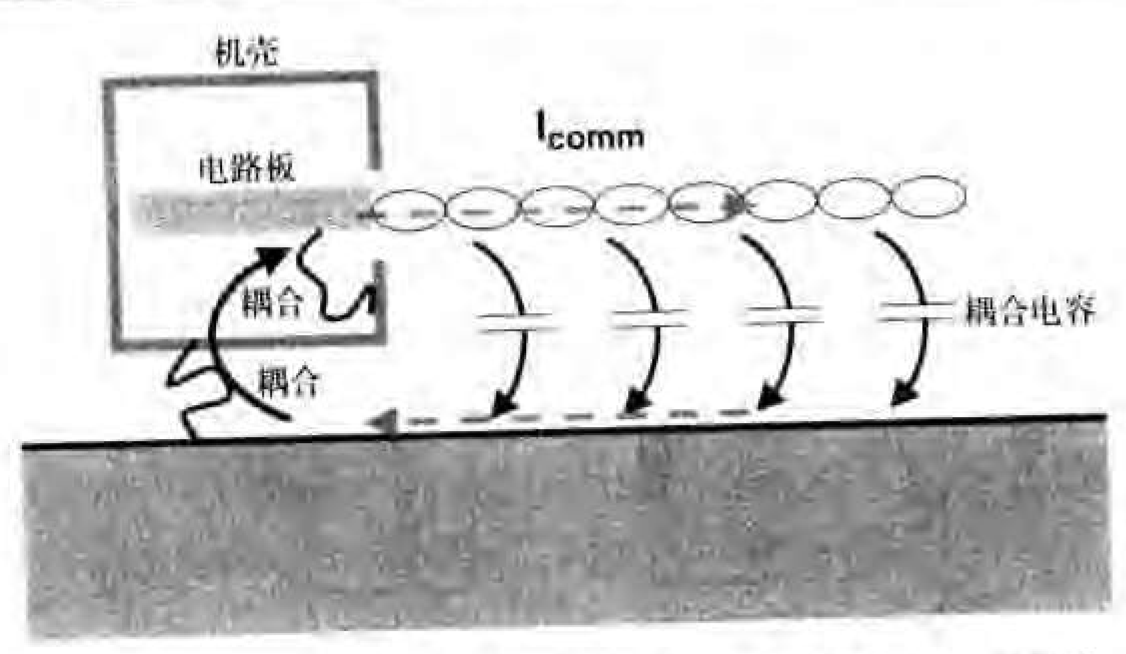


图 11.45 当双绞线电缆连接到电路板上时共模电流路径的原理图。这个耦合路径对高频共模信号分量呈现出典型的容性

这个共模电流会产生辐射。如果辐射场强度超过了EMI认证所允许的限度，那么这个产品就不能通过这个认证，从而延迟了它的交货时间。在许多国家，除非产品通过了当地认证，否则出售该产品的业务就属于违法行为。在美国，联邦电信委员会（FCC）制定了两类产品的辐射场强等级标准。A类产品应用于工业或制造业，B类产品应用于家庭或办公室。B类产品的辐射场强比A类产品要小。

在给定的频率下，电场强度的单位是V/m。在B类产品认证时，最大辐射场强是在距产品3 m远的地方测得的。最大电场强度随着频率范围的变化而变化。图11.46列出了这些数据并绘出了曲线。作为一个参考举例，100 MHz时在3 m远处的最大允许场强为150 mV/m。

Freq (MHz)	µ V/m
30~88	100
88~216	150
216~960	200
> 960	500

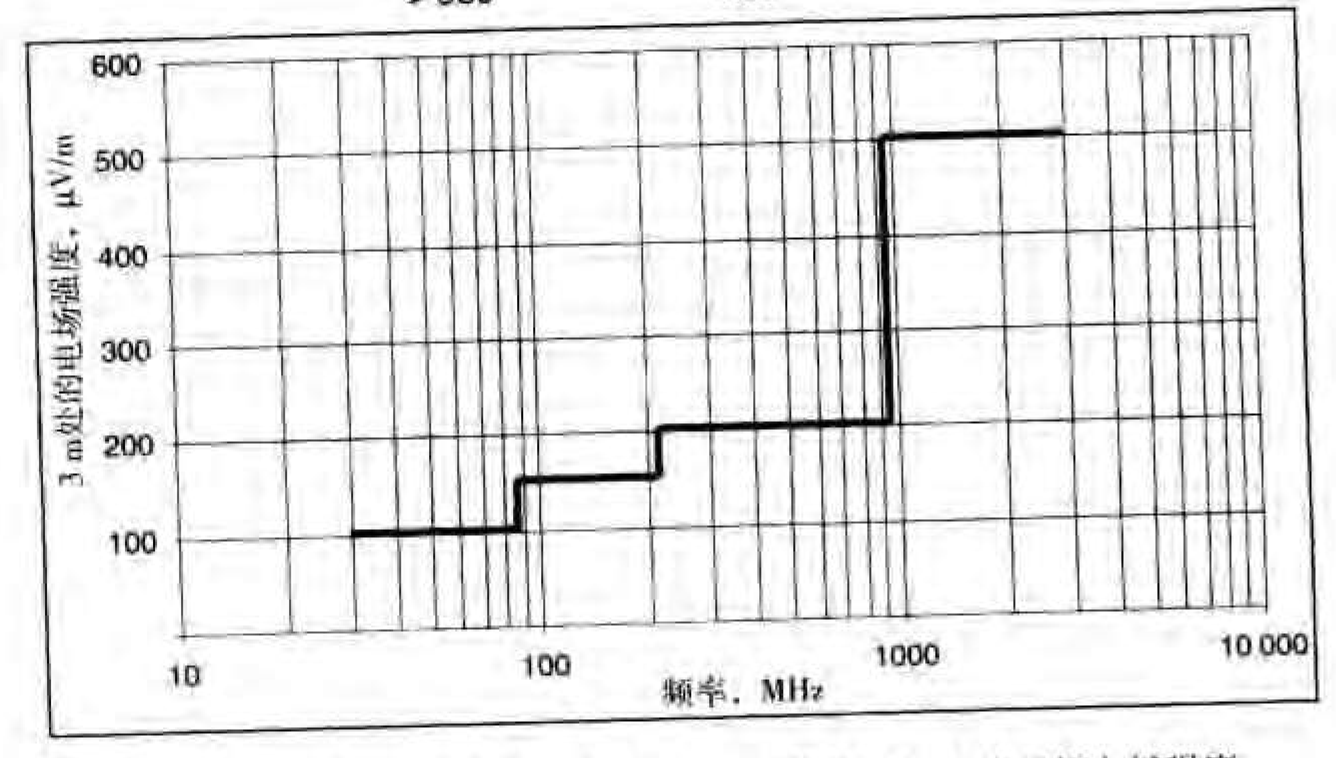


图 11.46 FCC制定的B类产品在3 m远处的最大允许远场电场强度

通过把双绞线近似为单极天线，可以估算出双绞线中共模电流的辐射电场强度。远场出现在 1/6 辐射波长处。FCC 的测试条件为 3 m，当频率超过 16 MHz 时正处于远场中。来自单极天线的远场电场强度为：

$$E = 4\pi 10^{-7} \times f \times I_{comm} \times \frac{Len}{R} \tag{11.40}$$

式中：

I_{comm} 表示双绞线中的共模电流，单位为 A

V_{comm} 表示加在双绞线上的共模信号

Z_{comm} 表示共模阻抗

E 表示距信号线 R 处的电场强度，单位为 V/m

f 表示共模电流分量的正弦频率，单位为 Hz

Len 表示产生辐射的双绞线长度，单位为 m

R 表示电场强度测试点与双绞线的间距，单位为 *m*

例如，如果共模信号为 100 mV，双绞线的共模阻抗为 200 Ω，那么共模电流大小为 0.1 V/200 Ω = 0.5 mA。如果双绞线长 1 m，我们测量场强的点距双绞线 3 m，那么根据 FCC 的 B 类测试规定，100 MHz 的辐射场强为：

$$E = 4\pi 10^{-7} \times 10^{8} \times 5 \times 10^{-4} \times \frac{1}{3} = 20\,000 \frac{\mu V}{m} \tag{11.41}$$

无屏蔽双绞线中的共模电流很容易产生辐射。其辐射电场强度比 FCC 标准规定的限度强 100 倍。

提示　*即使无屏蔽双绞线中存在很少量的共模电流，产品也会因此通不过 EMI 认证的测试。*

通常，有三种技术可以减小双绞线电缆中共模电流的辐射：

1. 将差分对之间的不对称和驱动器之间的错位降到最低，从而使差分信号向共模信号的转化降到最低限度。这是在源端将问题最小化。
2. 使用屏蔽双绞线，用屏蔽层作共模电流的返回路径。因为当返回路径距信号路径很近时可能会引起共模阻抗的减小，所以使用屏蔽层电缆可以增大共模电流。如果将屏蔽层连接到机架底板，共模信号的返回电流就会在屏蔽层内流动。此时共模信号就会在这种同轴结构内流动，从双绞线中心的电缆流出，再流入屏蔽层。在这种几何形状下，不会出现外部电场或磁场，共模电流不会向外辐射。此时需要在屏蔽层与机架底板之间有一个低感抗的连接，这样共模返回电流就能保持一种同轴结构分布。
3. 用添加共模扼流器的办法来增大共模电流路径的阻抗。共模信号扼流器有两种形式。事实上所有外围设备使用的电缆都有铁氧体材料圆柱体。这种铁氧体环绕电缆的外形如图 11.47 所示。铁氧体的高导磁率将会增加流经铁氧体净电流的电感和阻抗。

当有差分信号流过时，铁氧体内部也不会有净磁场穿过。由于差分对的两条信号线中的电流大小相等方向相反，所以电流的外部电场和磁场大部分互相抵消。只有共模电流流过铁氧体并且返回电流在外部时，才有闭合的磁力线穿过铁氧体，并且磁力线会感受到一个高阻抗。电缆线外部的铁氧体能增加共模信号受到的阻抗，减小共模电流，从而能减小辐射。这类铁氧体扼流器能用于任何电缆的外部，不管是它是双绞线还是屏蔽电缆。

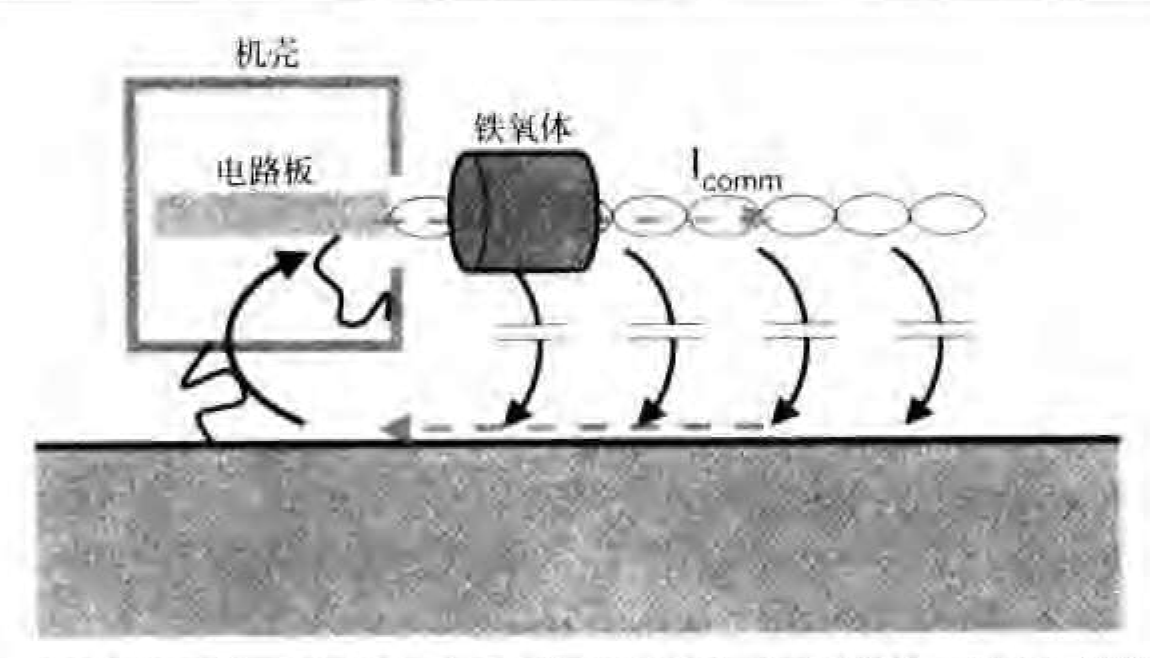


图 11.47 将铁氧体环绕差分电流，但它屏蔽的只是共模信号路径，而不是共用返回路径

第二类共模信号扼流器主要用于双绞线中。它的主要目的是在不影响差分阻抗的同时显著地增加共模阻抗。为了从根本上增加共模信号的阻抗，通常将双绞线对绕成一个线圈，有时还会插入一个铁氧体芯。

当共模电流流经双绞线时，线圈和高导磁率铁氧体芯会形成很大的电感。但是流经双绞线的差分信号只有很少的磁力线穿出双绞线、线圈或铁氧体都影响不了差分电流。差分信号几乎不受线圈的影响。

可以将双绞线线圈置入连接头中。例如，与以太电缆一起使用的许多RJ-45接头都使用了内置式共模信号扼流器。

提示 当共模信号受到的阻抗比较高时，可能窜入双绞线的共模电流将因此减小99%以上，或者说-40 dB。电路板间的不对称产生共模电流，而扼流器正是减小电流辐射的一种主要元件。

11.17 差分对中的串扰

如果我们将一根单端信号线靠近差分对，那么由于来自动态单端信号线的耦合，差分对的两条信号线中都会出现信号电压，如图 11.48 所示。差分对的两条信号线中出现的耦合噪声极性相同，只是幅度不一样。

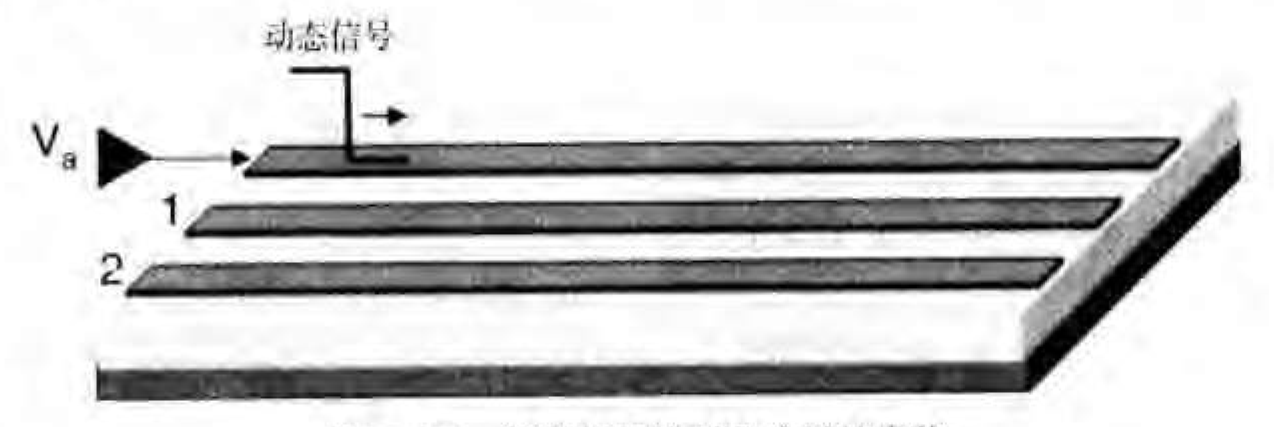


图 11.48 单端信号线到差分对的串扰

差分对中距动态线较近的那根信号线中会有较大的噪声。差分对的耦合度越大，在两信号线中产生的噪声越趋于相等，差分噪声也就越小。

提示 大体上说，我们使两条信号线中产生的噪声越趋于相等，差分噪声就越小。这就意味着要使攻击线距差分对较远，并且使差分对紧密耦合。

图 11.49 给出了微带线差分对的接收器出现的差分噪声。远端有差分端接，近端是典型的低阻抗驱动器。

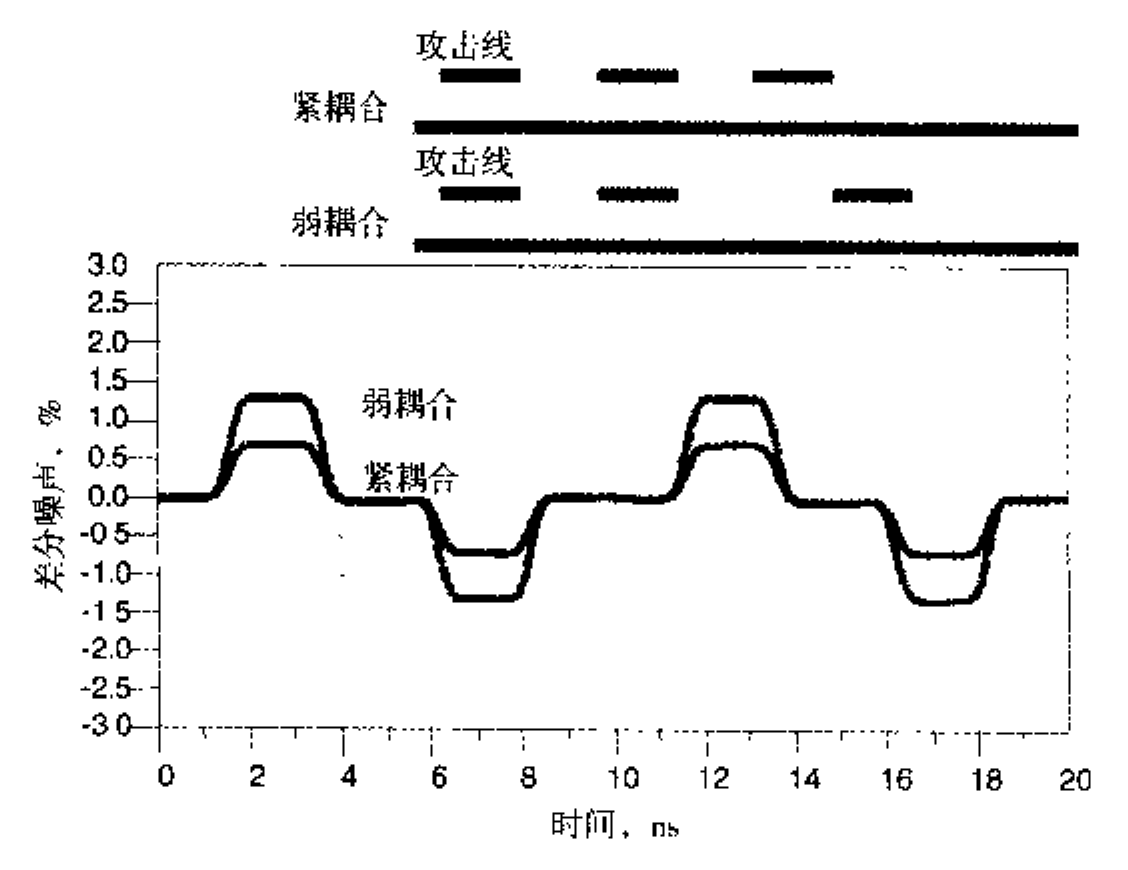


图 11.49　由于临近单端攻击线造成差分对差分噪声

在该结构中，攻击线与最近的受害线的间距等于线宽。图 11.49 给出了两种耦合级别。紧耦合时的线间距等于线宽，弱耦合时的线间距等于线宽的 2 倍。在该差分对中，距攻击线较远的那根信号线中的噪声比较小，差分噪声是两条信号线中噪声电平的差。在本例中，弱耦合受害差分对中的差分噪声约为 1.3%，强耦合受害差分对的差分噪声约为它的一半。这就是说，紧密耦合可以将差分噪声减小约 50%。

尽管动态线在差分对中产生的差分噪声在最坏情况下也仅为 1.3%，但有时候这也会产生问题。如果攻击线中是 3.3 V 的信号，那么差分对中的差分噪声可达到 40 mV。如果受害差分对的另一侧也有一根动态线，并且线中的电流方向与第一根攻击线相反，那么这两条动态线产生的差分噪声就会叠加。这可以产生高达 80 mV 的噪声，这个值可能会接近分配给某些低压差分信号的噪声预算。

受害差分对中的共模噪声是两条信号线上的噪声电压的平均值。图 11.50 给出了两种耦合级别下的共模噪声。当差分对间的耦合度变化时，共模噪声不会受到很大的影响。强耦合时（线间距等于线宽），共模噪声约为 2.1%。弱耦合时（线间距等于线宽的 2 倍）共模噪声约为 1.5%。

紧密耦合能减小差分噪声，但会增加共模噪声。串扰就是在差分对中产生共模噪声的一种典型的途径。即使差分对做到完全对称，串扰一样可以在差分对中产生共模电压　这就是我们总要在外接双绞线电缆中加入共模扼流器的重要原因。

提示　单端信号线攻击会使差分对中产生差分噪声。上文向我们揭示了减小这种差分噪声的一种常用规则，那就是使差分对中的耦合尽可能紧密。当然，为了尽可能减小耦合噪声，要使攻击线与受害差分对的距离尽可能远。

来自另一个差分对的耦合差分噪声要稍小于来自于单端信号线耦合的差分噪声。图 11.51 给出了两差分对间的差分噪声和共模噪声。本例中，两差分对的边缘间距等于线宽。此时强弱

耦合间的差距不是很大。据粗略的估计，差分噪声小于攻击差分对差分信号的1%，共模噪声小于这个值的2%。

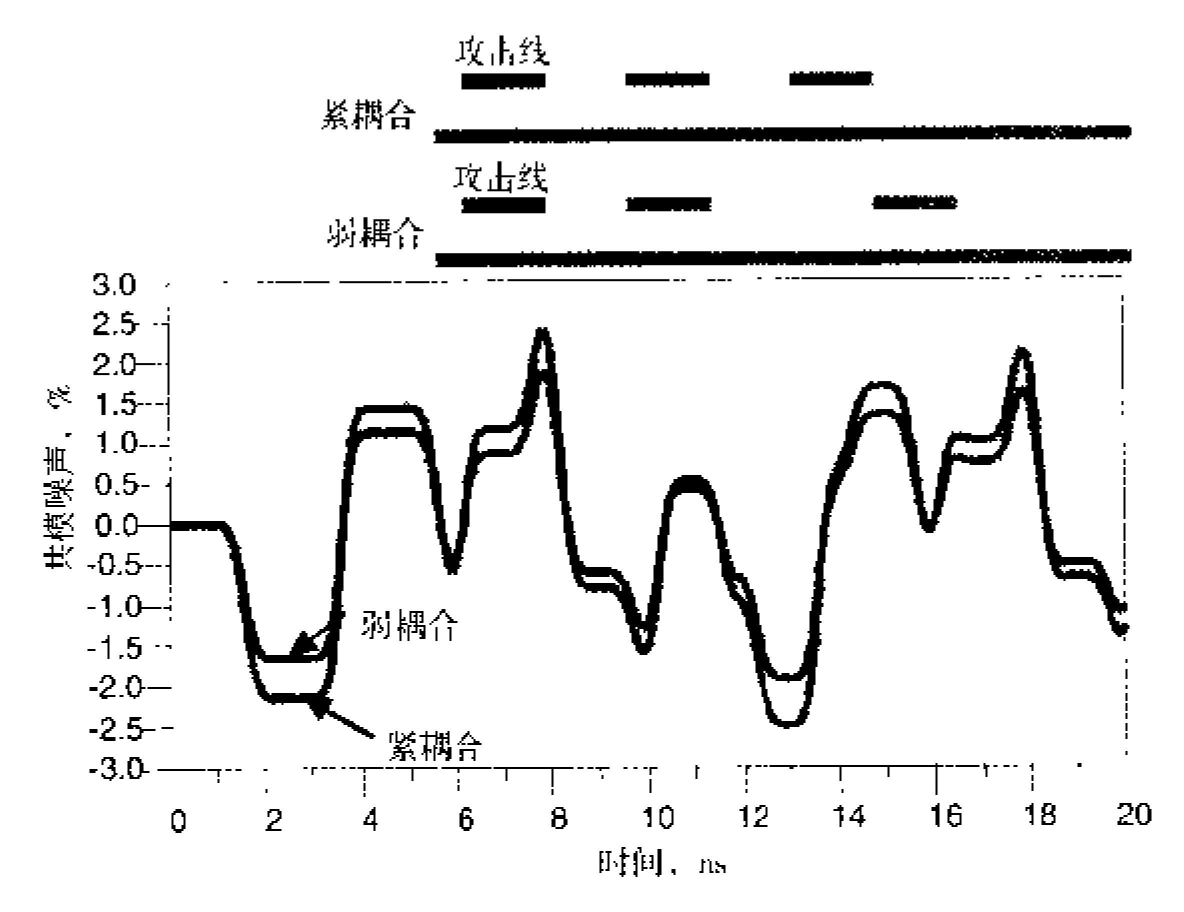


图11.50 由于临近单端信号线攻击而使差分对中产生的共模噪声-振铃和失真都是由于共模信号没有被端接而产生的

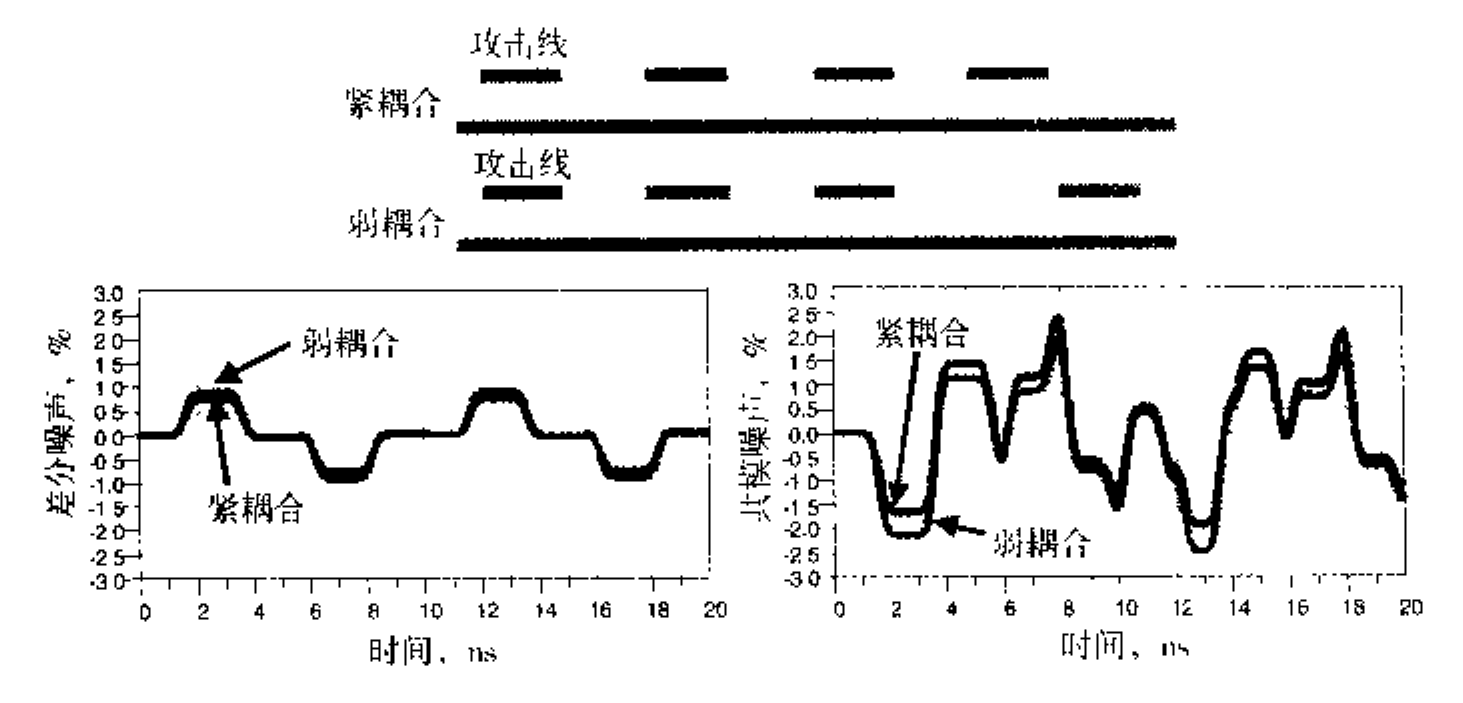


图11.51 当攻击线也是差分对时，在强耦合和弱耦合下差分对中的差分（左图）噪声和共模（右图）噪声

11.18 返回路径中的间隙

返回路径中的间隙通常用于隔离电路板上的某个区域。当电源平面用做参考层或使用分离电源层时也会出现间隙。有时在返回路径中出现了非故意的间隙，像返回路径中出砂孔过分刻蚀和交叠的情形。在这种情况下，任何穿过过孔区域中的信号线都将在返回路径中感受到间隙。

如果单端信号感受到的间隙很宽，那么它将感受到一个惨重的突变。这看起来像是个大的电感突变。在图11.52中，返回路径中间隙为1 in，其余为50 Ω的均匀传输线，两端均有端接，图中给出了传输与反射的单端信号。由于串联电感间断，原来仅为100 ps的上升时间显著增大了。

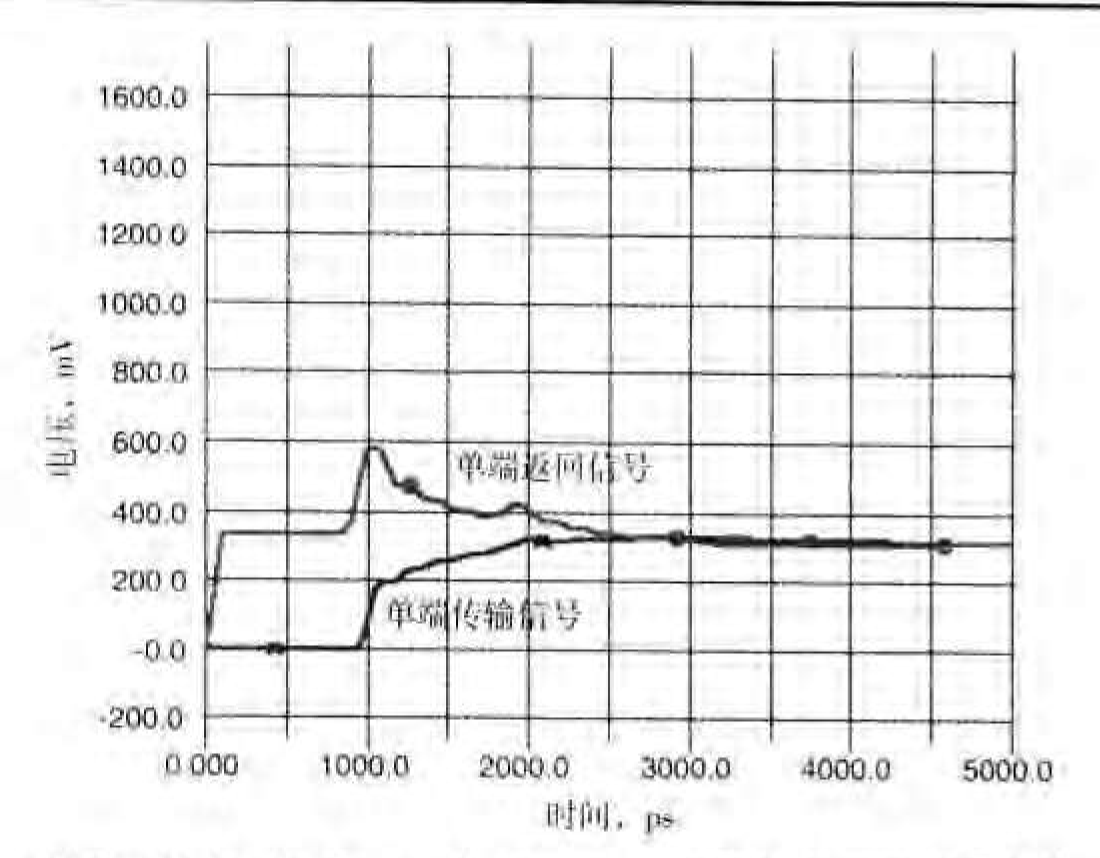


图11.52　当返回路径中途出现1 in宽的间隙时，在阻抗为50 Ω的传输线上出现的100 ps的传输信号和反射信号。使用Mentor Graphics Hyperlynx仿真得到

尽管在某些情况下可以使用一个低电感性的电容来跨越这个间隙，从而为返回电流找到一个低电阻路径。然而此时很难获得良好的高频性能。

为了使信号能跨越返回路径中的间隙并且保持可接受的性能，我们选用了另一种方法，那就是使用差分对。图11.53给出了这种典型的情况。信号起始于电路板上的区域1，为边缘耦合微带线；区域2也是边缘耦合微带线，但区域的返回路径平面远离信号线；区域3的互连线与区域1相同，也是边缘耦合微带线。



图11.53　电路板区域2的返回路径中有一个间隙，这可以等效为该区域有很远的返回路径平面

区域1和区域3中差分对的差分阻抗约为90 Ω。中间区域（区域2）的返回路径被移开，除了5 mil线宽及间距的信号线及信号线底下2.7 mil厚的介质，区域中再无其他导体。该区域的差分阻抗约为160 Ω。如果返回路径平面与信号线间的距离至少等于两信号线间距，那么差分阻抗的大小就将和返回平面的位置无关。此时返回平面就好像不存在。这一现象启示我们为这种突变建立一个电路模型，来探讨突变对差分信号质量的影响。图11.54给出了信号穿过与上述相同的间隙时，仿真的传输差分信号和反射差分信号。其中传输差分信号的上升时间受到了保护。

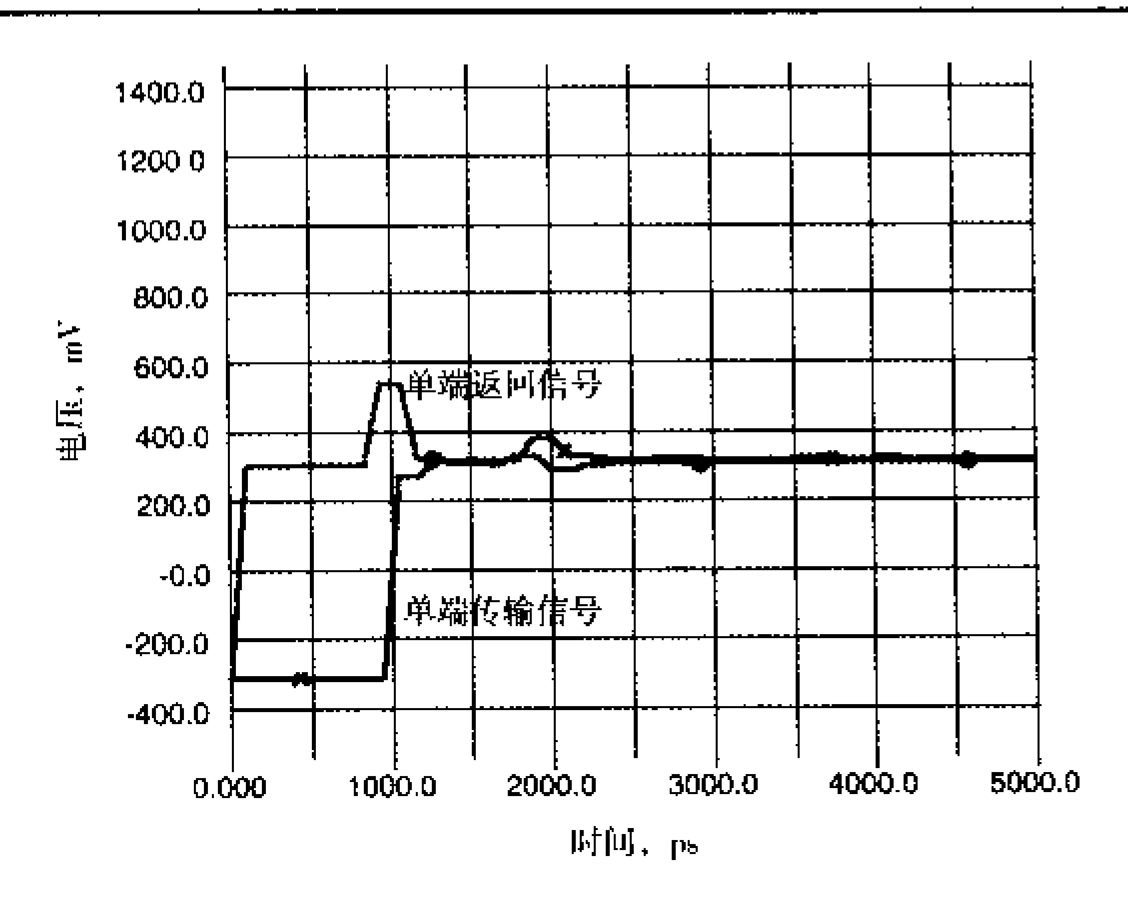


图 11.54 传输和反射的差分信号穿过返回平面中1 in宽间隙时的波形。差分信号上升时间为 100 ps。从图中可以看出，差分信号穿过间隙时失真很小

提示 使用紧密耦合的差分对是在返回平面很差的区域传输宽带信号的一种方法。

间隙区域内160 Ω的差分阻抗大于其他互连90 Ω的差分阻抗，它是一种均匀的传输线。它引起信号质量的下降。

11.19 紧密与非紧密耦合

不管耦合紧密与否，差分对都可以传输差分信号。在制作期望的差分阻抗时，线截面与叠层设计都要考虑到耦合。只要使用精确的二维场求解工具，任何期望差分阻抗的叠层和任何级别的耦合都一样容易设计。

在差分对两信号线间使用弱耦合的优势在于受害线上的共模噪声要比强耦合时小。然而，如果考虑到共模电压会产生EMI，解决它的一种经济而有效的方法就是使用共模信号扼流器。与强耦合情况相比，弱耦合时共模噪声的减小量绝对不会大于20%。

弱耦合的另一个优点是差分阻抗仅取决于每根单端信号线的阻抗，而与信号线的间距无关。这减小了对信号线的限制，使电路板的布线约束和版图设计变得更容易。差分对中的两条信号线，只要长度匹配，就可以沿各自独立的路径绕过障碍。在局部区域内，它们之间间距的增加不会影响到差分阻抗。

然而，如果可制造的差分对线间实现了强耦合，这时其他一些因素会使得在造价和性能上具有优势：

1. 此时互连密度达到最高，所以电路板上的功能密度最高，电路板的成本降到最低。
2. 受害差分对的差分噪声比较小。
3. 非理想的返回路径中差分阻抗突变将有所减弱。

提示 强耦合差分对的互连密度高，不易受到噪声的干扰。这显然比弱耦合差分对的布线容易显得更为重要。所以在多数应用场合，强耦合差分对优于弱耦合差分对。

11.20 根据电容和电感矩阵元素计算奇模和偶模

单端传输线的一阶模型是一个n节集总电路模型。它用单位长度的电容及单位长度的回路电感来描述。单端传输线的特性阻抗和时延由下式给出：

$$Z_0 = \sqrt{\frac{L_L}{C_L}} \tag{11.42}$$

$$TD = \sqrt{L_L C_L} \tag{11.43}$$

式中：

Z_0 表示单端线特性阻抗

L_L 表示单位长度回路电感

C_L 表示单位长度电容

TD 表示线时延

可以将此模型推广到存在耦合的两线情况。图11.55是一段两条耦合的传输线等效电路模型。图中电容元素用SPICE电容矩阵来定义，电感元素用回路电感矩阵来定义。当然，C矩阵和L矩阵的值可以根据差分对的叠层结构使用二维场求解器工具直接得到。可以根据矩阵元素描述的模型来计算奇模和偶模特性阻抗。

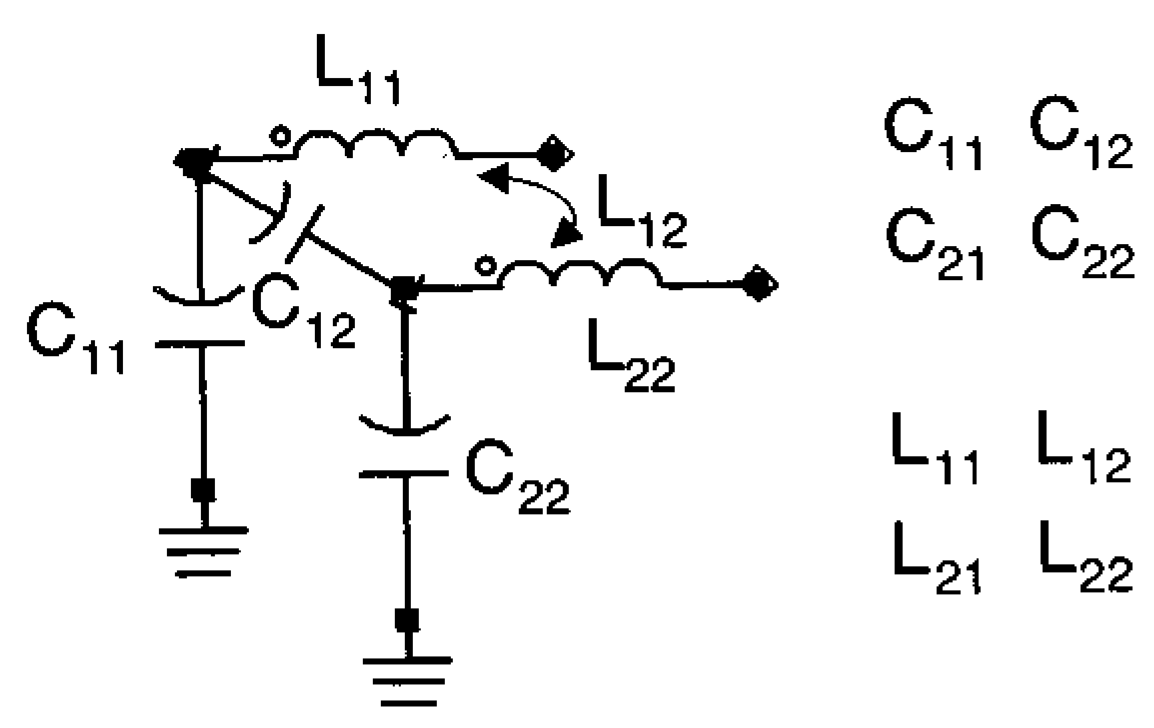


图 11.55 一段耦合传输线的n节集总电路模型。使用SPICE电容矩阵和回路电感矩阵来定义模型中的各个元素

当差分对以奇模状态驱动时，单个线的阻抗即为奇模特性阻抗。此时单个线的等效电容为：

$$C_{odd} = C_{11} + 2C_{12} = C_{Load} + C_{12} \tag{11.44}$$

式中：

C_{odd} 表示当差分对以奇模状态驱动时，单个信号线与返回路径间单位长度的电容

C_{11} 表示 SPICE 电容矩阵的对角线元素

C_{12} 表示 SPICE 电容矩阵的非对角线元素

C_{load} 表示信号线的负载电容，等于 $C_{11} + C_{12}$

在奇模状态下，电流流入信号线条1，再从返回路径中流出。与此同时，电流从信号线2流出，再流入返回路径。传输线1周围是来自传输线2上信号的互感磁力线，这些互感磁力线与线1自感的磁力线方向相反。线2中的电流会降低线1的等效回路电感。当线对以奇模驱动时，线1的等效回路电感为：

$$L_{odd} = L_{11} - L_{12} \tag{11.45}$$

式中：

L_{odd} 表示当线对以奇模驱动时，单个线的信号路径与返回路径间单位长度回路电感

L_{11} 表示回路电感矩阵对角线元素

L_{12} 表示回路电感矩阵非对角线元素

从线对的线1看进去，随着线间耦合度增加，可以看到电容变大，回路电感变小。从这两个量可以计算得到奇模特性阻抗和时延：

$$Z_{odd} = \sqrt{\frac{L_{odd}}{C_{odd}}} = \sqrt{\frac{L_{11} - L_{12}}{C_{Load} + C_{12}}} \tag{11.46}$$

$$TD_{odd} = \sqrt{L_{odd}C_{odd}} = \sqrt{(L_{11} - L_{12})(C_{Load} + C_{12})} \tag{11.47}$$

当线对以偶模状态驱动时，临近线条的驱动电压和线条1相同。由于这根临近线条的屏蔽作用，线条1信号与返回路径间的电容会减小。此时单位长度的等效电容为：

$$C_{even} = C_{11} = C_{Load} - C_{12} \tag{11.48}$$

式中：

C_{even} 表示当线对以偶模状态驱动时，单个线的信号与返回路径间的单位长度电容

C_{11} 表示 SPICE 电容矩阵的对角线元素

C_{12} 表示 SPICE 电容矩阵的非对角线元素

C_{load} 表示信号线的负载电容，等于 $C_{11} + C_{12}$

在偶模状态下，电流流入信号线1，再从返回路径中流出。与此同时，电流一样流入信号线2，再从返回路径中流出。信号线1周围是来自信号线2的互感磁力线，这些互感磁力线与信号线1自感的磁力线方向相同。在以偶模驱动时，线1的等效回路电感为：

$$L_{even} = L_{11} + L_{12} \tag{11.49}$$

式中：

L_{even} 表示当线对以偶模驱动时，单个线信号与返回路径间单位长度的回路电感

L_{11} 表示回路电感矩阵的对角线元素

L_{12} 表示回路电感矩阵的非对角线元素

当线对以偶模状态驱动时，根据从信号线1前端看进去的单位长度电容与回路电感，可以计算出偶模特性阻抗和时延：

$$Z_{even} = \sqrt{\frac{L_{even}}{C_{even}}} = \sqrt{\frac{L_{11}+L_{12}}{C_{Load}-C_{12}}} \quad (11.50)$$

$$TD_{even} = \sqrt{L_{even}C_{even}} = \sqrt{(L_{11}+L_{12})(C_{Load}-C_{12})} \quad (11.51)$$

所有场求解器都使用到了以上这些基于电容矩阵与电感矩阵元素的关系，以此来计算任何耦合度、任何叠层结构的各种传输线的奇模特性阻抗、偶模特性阻抗以及时延。从这个意义上来说，电容矩阵与电感矩阵元素完全定义了一对耦合传输线的电气特性。这是一种基础性表征，它用非对角线项C_{12}和L_{12}描述每种模态下耦合对特性阻抗及时延的影响。随着耦合度的增加，非对角线元素会相应增加，奇模阻抗会减小，偶模阻抗会增加。

11.21　特性阻抗矩阵

描述两条或更多传输线的另一种可选方法是使用阻抗矩阵。和电容矩阵与电感矩阵一样，这也是一种不同的基础性描述手法。它的不同之处在于，阻抗矩阵是由差分对上每根线上的电压和电流来定义的。尽管以下的分析只描述了两条耦合传输线，但可以将它推广到n条耦合传输线的情况。不管传输线是什么样的叠层结构，什么样的材料分布，也不管传输线是否对称，都可以使用阻抗矩阵来描述。这些因素只是影响到阻抗矩阵的元素值，而不会影响这种通用的描述手法。

如图11.56所示的两条传输线，加在任一条线上的任意信号可以用线上的电压和流入一根信号线又从返回路径流出的电流来描述。如果两信号线间不存在耦合，那么一根线上的电压与另一根线无关。此时，一条线上的电压可由下式给出：

$$V_1 = Z_1 I_1 \quad (11.52)$$

$$V_2 = Z_2 I_2 \quad (11.53)$$

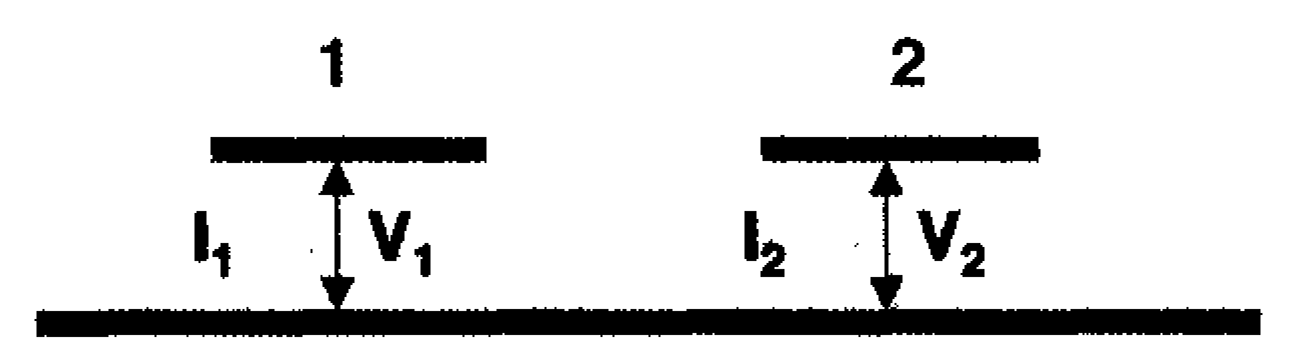


图 11.56　图中标注出了每根线上的电压和流入一根信号线再从返回路径流出的电流

然而，如果两信号线之间存在耦合，那么串扰将会使一根线上的电压受到另一根线上电流的影响。可以用阻抗矩阵来描述这种耦合。矩阵中的每个元素都用来定义流入一根线又从返回路径流出的电流怎样影响另一根线上的电压。使用阻抗矩阵，线1和线2的电压可以描述为：

$$V_1 = Z_{11}I_1 + Z_{12}I_2 \quad (11.54)$$

$$V_2 = Z_{21}I_1 + Z_{22}I_2 \quad (11.55)$$

阻抗矩阵的对角线元素是当另外一根线中无电流流入时一根线的阻抗。显然当两信号线间无耦合时，对角线元素就退化为我们常说的线特性阻抗。

阻抗矩阵的非对角线元素可以描述耦合度，但不够直观。这些矩阵元素，不是线1和线2之间的真实阻抗，而是线2中每流过1 A电流时在线1上产生的电压量。从这个意义上说，它们的确是互感阻抗：

$$Z_{12} = \frac{V_1}{I_2} \tag{11.56}$$

$$Z_{21} = \frac{V_2}{I_1} \tag{11.57}$$

当耦合度很小时，一根线中的电流不会在另一根线中产生电压。此时阻抗矩阵的非对角线元素近似为零。非对角线项相对于对角线项的值越小，耦合度越小。

综上所述，可以根据特性阻抗矩阵来求出奇模阻抗和偶模阻抗。当在两条线上加上纯差分信号时，传输线便处于奇模状态。奇模状态的定义是两条线中电流大小相等，方向相反，或者说是$I_1 = -I_2$的状态。根据这个定义，电压为：

$$V_1 = Z_{11}I_1 - Z_{12}I_1 = I_1(Z_{11} - Z_{12}) \tag{11.58}$$

据此可以计算出线1的奇模阻抗：

$$Z_{odd1} = \frac{V_1}{I_1} = Z_{11} - Z_{12} \tag{11.59}$$

类似地，偶模状态的定义是两条线中电流完全相等，方向相同，或者说是$I_1 = I_2$的状态。根据这个定义，线1在偶模状态下的电压为：

$$V_1 = Z_{11}I_1 + Z_{12}I_1 = I_1(Z_{11} + Z_{12}) \tag{11.60}$$

线1的偶模阻抗为：

$$Z_{even1} = \frac{V_1}{I_1} = Z_{11} + Z_{12} \tag{11.61}$$

用同样的方法，可以求出另一根线的奇模和偶模阻抗。根据上述定义，一根线的奇模阻抗是阻抗矩阵对角线元素与非对角线元素的差。耦合度越大，非对角线元素越大，奇模阻抗越小。偶模阻抗是阻抗矩阵的对角线元素与非对角线元素的和。耦合度越大，非对角线元素越大，偶模阻抗越大。

大部分二维场求解器的报告中都给出奇模阻抗和偶模阻抗，电容和电感矩阵及阻抗矩阵。

从信号的角度来看，惟一重要的东西是差分阻抗和共模阻抗。它可以用以下三种等效的形式来描述：

1. 奇模阻抗和偶模阻抗；
2. 电容和电感矩阵元素；
3. 阻抗矩阵。

这三种各自独立的形式，描述出差分信号和共模信号所感受到的外部电气环境。

11.22　小结

1. 差分对是任意两条传输线。
2. 与单端信号相比，差分信号在信号完整性方面有很多优势。如降低了轨道塌陷和EMI，有更好的抗噪声能力，对衰减不敏感。
3. 加在差分对上的每个信号都可以用该信号的差分信号分量和共模信号分量描述。每个分量在线对上传播时会受到不同的阻抗。
4. 差分阻抗是差分信号感受到的阻抗。
5. 模态是差分对的特殊工作状态。激励某种模态的电压模式将沿线无失真地传播。
6. 差分对可以完全地用奇模阻抗、偶模阻抗、奇模时延、偶模时延加以描述。
7. 奇模阻抗是当线对被驱动成奇模状态时单个信号线的阻抗。
8. 不再使用差分模态这个词，只存在奇模、差分信号和差分阻抗。
9. 线对的线间耦合会降低差分阻抗。
10. 计算差分和共模阻抗惟一可靠的方法是使用二维场求解器。
11. 紧密耦合可以降低出现在差分对中的差分串扰，并使差分信号在跨越返回平面中的间隙时的突变降到最低。
12. 产生EMI最常见的源头就是窜到外接双绞线电缆的共模信号。减小EMI的方法就是尽量减小差分对中的两条线的不对称性，并在外接电缆中加入共模信号扼流器。
13. 差分对最基本的行为信息体现在差分阻抗和共模阻抗中，更基本的描述手法是使用奇模和偶模，或是电容和电感矩阵，或特性阻抗矩阵。

附录A 100条使信号完整性问题最小化的通用设计原则

对某个原则和规则不要盲目遵循。要先了解该规则的应用对象，然后用数值来估计在某一个具体的设计中采用它所带来的收益和代价。

通常采用所能允许的最长上升时间。

A.1 一个网络中信号质量问题的最小化

策略——保持信号在整个路径中感受到的瞬态阻抗不变。

设计原则：

1. 使用可控阻抗布线。
2. 理想情况下，所有的信号应使用低电压平面作为参考平面。
3. 如果使用不同的电压平面作为信号的参考平面，则这些平面之间必须是紧耦合。为此，用最薄的介质材料将不同的电压平面隔开，并使用多个电感量小的去耦合电容。
4. 使用2D场求解器计算给定特性阻抗的叠层设计规则，其中包括阻焊层和布线厚度的影响。
5. 在点到点拓扑结构中，无论单向的还是双向的，都要使用串联端接策略。
6. 在多点总线中要端接总线上的所有节点。
7. 保持桩线的时延小于最快信号的上升时间的20%。
8. 终端电阻应尽可能接近封装焊盘。
9. 如果10 pF电容的影响不要紧，就不用担心拐点的影响。
10. 每个信号都必须有返回路径，它位于信号路径的下方，其宽度至少是信号线宽的3倍。
11. 即使信号路径布线绕道进行，也不要跨越返回路径上的突变处。
12. 避免在信号路径中使用电气性能变化的布线。
13. 保持非均匀区域尽量短。
14. 在上升时间小于1 ns的系统中，不要使用轴向引脚电阻，应使用SMT电阻并使其回路电感最小。
15. 当上升时间小于150 ps时，尽可能减小终端SMT电阻的回路电感，或者采用集成电阻以及嵌入式电阻。
16. 过孔通常呈容性，减小捕获焊盘和增加反焊盘出砂孔的直径可以减小过孔的影响。
17. 可以考虑给低成本线接头的焊盘添加一小电容来补偿它的高电感。
18. 在布线时，使所有差分对的差分阻抗为一常量。
19. 在差分对中尽量避免不对称性，所有布线都应该如此。
20. 如果差分对中的线间距发生改变，也应该调整线宽来保持差分阻抗不变。
21. 如果在差分对的一根线上添加一根时延线，则应添加到布线的起始端附近，并且要将这一区域内的线条间进行去耦合。

22. 只要能保持差分阻抗不变，我们可以改变差分对的耦合状态。
23. 一般来说，在实际中应尽量使差分对紧耦合。
24. 在决定到底采用边缘耦合差分还是侧向耦合差分对时，应考虑布线的密度、电路板的厚度等制约条件，以及销售厂家对叠层厚度的控制能力。如果做得比较好，它们是等效的。
25. 对于所有的板级差分对，平面上存在很大的返回电流，所以要尽量避免返回路径中的所有突变。如果有突变，对差分对中的每条线要做同样的处理。
26. 如果接收器的共模抑制比很低，就要考虑端接共模信号。端接共模信号并不能消除共模信号，只是减小它的振铃。
27. 如果损耗很重要，应使用尽可能宽的信号线，不要使用小于5mil的布线。
28. 如果损耗很重要，应使布线尽量短。
29. 如果损耗很重要，尽量做到使容性突变最小化。
30. 如果损耗很重要，设计信号过孔使其具有50 Ω的阻抗，这样做意味着可以尽可能减小桶壁尺寸、减小捕获焊盘尺寸、增加反焊盘出砂孔的尺寸。
31. 如果损耗很重要，尽可能使用低损耗因子的叠层。
32. 如果损耗很重要，考虑采用预加重和均衡化措施。

A.2 串扰最小化

策略——减少信号路径和返回路径间的互容和互感。

设计原则：

33. 对于微带线或带状线来说，保持相邻信号路径的间距至少为线宽的2倍。
34. 使返回路径中的信号可能经过的突变最小化。
35. 如果在返回路径中必须跨越间隙，则只能使用差分对。决不能用离得很近的单端信号布线跨越间隙。
36. 对于表面线条来说，使耦合长度尽可能短，并使用厚的阻焊层来减小远端串扰。
37. 如果远端串扰很严重的话，在表面线条的上面添加一层厚的叠层，使其成为嵌入式微带线。
38. 对于远端串扰很严重的耦合长度很长的传输线，采用带状线布线。
39. 如果不能使耦合长度短于饱和长度，则不用考虑减小耦合长度，因为减小耦合长度对于近端串扰没有任何改善。
40. 尽可能使用介电常数最低的叠层介质材料，这样做可以在给定特性阻抗的情况下，使得信号路径与返回路径间的介质厚度保持最小。
41. 在紧耦合微带线总线中，使线间距至少在线宽的2倍以上，或者把对时序敏感的信号线布成带状线，这样可以减小确定性抖动。
42. 如果要求隔离度超过 -60 dB，应使用带有防护布线的带状线。
43. 通常使用2D场求解器来估计是否需要使用防护布线。
44. 如果使用防护布线，尽量使其达到满足要求的宽度，并用过孔使防护线与返回路径短接。如果方便的话，可以沿着防护线增加一些短接过孔，这些过孔并不像两端的过孔那样重要，但有一定的改善作用。

45. 使封装或接插件的返回路径尽量宽、尽量短可以减小地弹。
46. 使用片级封装而不使用更大的封装。
47. 使电源平面和返回平面尽量接近，可以减小电源返回路径的地弹噪声。
48. 使信号路径与返回路径尽量接近，并同时与系统阻抗相匹配，可以减小信号路径中的地弹。
49. 避免在接插件和封装中使用共用返回路径。
50. 当在封装或线接头中分配引线时，应把最短的引线作为地路径，并使电源引线和地引线均匀分布在信号线的周围，或者使其尽量接近载有大量开关电流的信号线。
51. 所有的空引线或引脚都应接地。
52. 如果每个电阻都没有独立的返回路径，应避免使用单列直插封装电阻排。
53. 检查镀层以确认阻焊盘在过孔面上不存在交叠；在电源和地平面对应的出砂孔之间都留有足够的空间。
54. 如果信号改变参考平面，则参考平面应尽量靠近信号平面。如果使用去耦电容器来减少返回路径的阻抗，它的电容值并不是最重要的，应选取和设计具有最低回路电感的电容才是关键。
55. 如果有大量信号线切换参考平面，就要使这些信号线的过孔彼此之间尽量远离，而不是使其集中在同一个地方。
56. 如果有信号切换参考平面，并且这些平面间具有相同的电压，则尽量将信号线过孔与返回路径过孔放置在一起。

A.3 减小轨道塌陷

策略——减小电源分配网络的阻抗。

设计原则：

57. 减小电源和地路径间的回路电感。
58. 使电源平面和地平面相邻并尽量靠近。
59. 在平面间使用介电常数尽量高的介质材料使平面间的阻抗最低。
60. 尽量使用多个成对的电源平面和地平面。
61. 使同向电流相隔尽量远，而反向电流相隔尽量近。
62. 在实际中，使电源过孔与地平面过孔尽量靠近。要使它们的间隔至少与过孔的长度相当。
63. 应将电源平面与地平面尽可能靠近去耦电容所在的表面处。
64. 对相同的电源或地焊盘使用多个过孔，但要使过孔间距尽量远。
65. 在电源平面或地平面上布线时，应使过孔的直径尽量大。
66. 在电源焊盘和地焊盘上使用双键合线可以减小键合线的回路电感。
67. 从芯片内引出尽可能多的电源和地引线。
68. 在芯片封装时引出尽可能多的电源和地引脚。
69. 使用尽可能短的片内互连方法，例如倒装晶片而不是键合线。
70. 封装的引线应尽量短，例如应使用片级封装而不是 QFP 封装。
71. 使去耦电容焊盘间的布线和过孔尽可能地短和宽。

72. 在低频时使用一定量的去耦电容来代替稳压器件。
73. 在高频时使用一定量的去耦电容来抵消等效电感。
74. 使用尽可能小的去耦电容，并尽量减小电容焊盘上与电源和地平面相连的互连线的长度。
75. 在片子上使用尽量多的去耦电容。
76. 在封装中应使用尽可能多的低电感去耦电容。
77. 在I/O接口设计中使用差分对。

A.4 减小电磁干扰（EMI）

策略——减小驱动共模电流的电压；增大共模电流路径的阻抗；屏蔽、滤波是解决问题的快速方案。

设计原则：

78. 减小地弹。
79. 使所有布线与板子边缘的距离应至少为线宽的5倍。
80. 采用带状线布线。
81. 应将高速或大电流器件放在离I/O接口尽量远的地方。
82. 在芯片附近放置去耦电容来减小平面中高频电流分量的扩频效应。
83. 使电源平面和地平面相邻并尽可能地接近。
84. 尽可能使用更多的电源平面与地平面对。
85. 当使用多个电源平面与地平面对时，在电源平面中修凹壁并在地平面的边沿处打短接过孔。
86. 尽量将地平面作为表面层。
87. 了解所有封装的谐振频率，当它与时钟频率的谐波发生重叠时就要改变封装的几何结构。
88. 在封装中避免信号在不同电压平面间的切换，因为这会产生封装谐振。
89. 如果封装中可能出现谐振，就在它的外部加上铁氧体滤波薄片。
90. 在差分对中，减少布线的不对称性。
91. 在所有的差分对接头处使用共模信号扼流滤波器。
92. 在所有外部电缆周围使用共模信号扼流滤波器。
93. 选出所有的I/O线，在时序预算要求内使用上升时间最长的信号。
94. 使用扩频时钟发生器在较宽的频率范围内产生谐波，并在FFC测试的带宽范围内减少辐射能量。
95. 当连接屏蔽电缆时，保持屏蔽层与外壳良好接触。
96. 减小屏蔽电缆接头到外壳的电感。在电缆和外壳屏蔽层之间使用同轴接头。
97. 设备支座不能破坏外壳的完整性。
98. 只在互连时才能破坏外壳的完整性。
99. 使开孔的直径远小于可能泄漏的最低频率辐射的波长。使用数量多而直径小的开孔比数量少而直径大的开孔要好。
100. 导致产品交货推迟就是最昂贵的规则。

附录B　100条估计信号完整性效应的经验法则

当快速地得到粗略的结果比以后得到精确的结果更重要时，我们就使用经验法则。

经验法则只是一种大概的近似估算，它的设计目的是以最小的工作量，以直觉为基础找到一个快速的答案。经验法则是估算的出发点，它可以帮助我们区分5或50，而且它能帮助我们在设计的早期阶段就对设计有较好的整体规划。在速度和精度的权衡之间，经验法则倾向于速度，但它并不是很准确。

当然，不可以盲目地使用经验法则，它必须基于对基本原理的深刻了解和良好的工程判断能力。

当精确度很重要时，例如在设计中某个数值偏离百分之几就要付出百万美元的代价，就必须使用验证过的数值仿真工具。

以下是许多积累的经验法则，分章节来介绍。

B.1　第2章

1. 信号的上升时间约是时钟周期的10%，即 $1/10 \times 1/F_{clock}$。例如100 MHz时钟的上升时间大约是1 ns。
2. 理想方波的n次谐波的振幅约是时钟电压幅值的2/(nπ)倍。例如，1 V时钟信号的第1次谐波幅度约为0.6 V，第3次谐波的幅度约是0.2 V。
3. 信号的带宽和上升时间的关系为：BW = 0.35/RT。例如，如果上升时间是1 ns，则带宽是350 MHz。如果互连线的带宽是3 GHz，则它可传输的最短上升时间约为0.1 ns。
4. 如果不知道上升时间，可以认为信号带宽约是时钟频率的5倍。例如，时钟频率是1 GHz，则信号带宽约是5 GHz。

B.2　第3章

5. LC电路的谐振频率是5 GHz/sqrt(LC)，L的单位为nH, C的单位为pF。例如，封装引线和它的返回路径间的回路自感是7 nH，它的电容约为1 pF，其振铃的频率约是2 GHz。

B.3　第4章

6. 在400 MHz内，轴向引脚电阻可以看做理想电阻；在2 GHz内，SMT0603电阻可看做理想电阻。
7. 轴向引脚电阻的ESL（引线电感）约是8 nH，SMT电阻的ESL约是1.5 nH。
8. 直径为1 mil的金键合线的单位长度电阻约是1 Ω/in。例如，50 mil长的金键合线的电阻约是50 mΩ。
9. 24 AWG线的直径约是20 mil，电阻率约为25 mΩ/ft。

10. 1盎司铜线条的方块电阻率约是每方块0.5 mΩ。例如，5 mil宽、1 in长的线条，约有200个方块，其串联电阻是200 × 0.5 = 100 mΩ = 0.1 Ω。
11. 在10 MHz时，1盎司铜线条就开始具有趋肤效应。

B.4 第5章

12. 直径为1 in球面的电容约是2 pF。例如，吊在板子外几英寸长的电缆与地间的电容约为2 pF。
13. 硬币般大小的一对平行板，板间填充空气时，它们间的电容约为1 pF。
14. 当电容器两板间的距离与板子的宽度相当时，则边缘场产生的电容与平行板形成的场产生的电容相等。例如，在估算线宽为10 mil、介质厚度为10 mil的微带线的平行板电容时，其估算值为1 pF/in，但实际的电容约是上述的两倍，也就是2 pF/in。
15. 如果我们对材料特性一无所知，只知道它是有机绝缘体，则认为它的介电常数约是4。
16. 1片功率为1 W的芯片，去耦电容（F）可以提供电荷使电压降小于5%的时间（s）是C/2。例如，如果去耦电容为10 nF，它只能提供5 ns的去耦时间。如果需要10 μs的去耦时间，就要使用20 μF电容。
17. 在典型电路板中，当介质厚度为10 mil时，电源和地平面间的耦合电容是100 pF/in²，并且它与介质厚度成反比。例如，介质厚度为10 mil的电路板，可以为ASIC去耦的面积可能只有4 in²，则去耦电容为0.5 nF，去耦时间可达0.2 ns。
18. 如果50 Ω微带线的体介电常数为4，则它的有效介电常数是3。

B.5 第6章

19. 直径为1 mil的圆导线的局部自感约是25 nH/in或1 nH/mm。例如，1.5 mm长的过孔的局部自感约是1.5 nH。
20. 由10 mil厚的线条做成直径为1 in的一个圆环线圈，它的大小相当于拇指和食指围在一起，其回路自感约为85 nH。
21. 直径为1 in的圆环的单位长度电感约是25 nH/in或1 nH/mm。例如，如果封装引线是环形线的一部分，且长为0.5 in，则它的电感约是12 nH。
22. 当一对圆杆的中心距离小于它们各自长度的10%时，局部互感约是各自的局部自感的50%。例如，如果有两根键合线，长为1 mm，中心距为0.1 mm，则各自的局部自感约是1 nH，而它们的局部互感约是0.5 nH。
23. 当一对圆杆的中心距与它们的自身长度相当时，它们之间的局部互感比它们各自的局部自感的10%还要少。例如，如果长25 mil的平行过孔的中心距大于25 mil，它们间几乎没有感性耦合。
24. SMT电容（包括表面布线、过孔以及电容本身）的回路电感大概为2 nH，要将此数值降至1 nH以下还需要许多工作。
25. 平面对上单位面积的回路电感是33 pH × 介质厚度（mil）。例如，如果介质厚2 mil，则平面间的单位面积回路电感是66 pH。

26. 过孔的直径越大，它的扩散电感就越低。一个直径为25 mil过孔的扩散电感约为50 pH。
27. 如果有一个出砂孔区域，当空闲面积占到50%时，将会使平面对间的回路电感增加25%。
28. 铜的趋肤深度与频率的平方根成反比。1 GHz时，其为2 μm。所以，10 MHz时，铜的趋肤深度是20 μm。
29. 在50 Ω的1盎司铜传输线中，当频率约高于50 MHz时，单位长度回路电感为一常数。这说明在频率高于50 MHz时，特性阻抗是一常数。

B.6 第7章

30. 铜中电子的速度极慢，相当于蚂蚁的速度，也就是1 cm/s。
31. 信号在空气中的速度约是12 in/ns。大多数聚合材料中的信号速度约为6 in/ns。
32. 大多数碾压材料中，线延迟1/v约是170 ps/in。
33. 信号的空间延伸等于上升时间×速度，即RT × 6 in/ns。例如，如果上升时间是0.5 ns，当信号在电路板上传播时，其前沿的空间延伸是3 in。
34. 传输线的特性阻抗与单位长度电容成反比
35. FR4中，所有50 Ω传输线的单位长度电容约为3.3 pF/in。例如，BGA引线设计成50 Ω，且长0.5 in时，它的电容约是1.7 pF。
36. FR4中，所有50 Ω传输线的单位长度电感约是8.3 nH/in。例如，如果接头的阻抗为50 Ω，而且其长度是0.5 in，则信号/返回路径的回路电感约是4 nH。
37. 对于RF4中的50 Ω微带线，其介质厚度约是线宽的一半。例如，如果线宽是10 mil，则介质厚度约是5 mil。
38. 对于RF4中的50 Ω带状线，其平面间的间隔是信号线线宽的2倍。例如，如果线宽是10 mil，则两平面间的间隔是20 mil。
39. 在远小于信号的往返时间之内，传输线的阻抗就是特性阻抗。例如，当驱动一段3 in长的50 Ω传输线时，所有上升时间短于1ns的驱动源在沿线传输并发生上升跳变时间内感受到的就是50 Ω恒定负载。
40. 一段传输线的总电容和时延的关系为$C = TD/Z_0$。例如，如果传输线的TD是1 ns，特性阻抗为50 Ω，则信号路径和返回路径间的电容是20 pF。
41. 一段传输线的总回路电感和时延的关系是$L = TD \times Z_0$。例如，如果传输线的TD是1 ns，特性阻抗是50 Ω，则信号路径和返回路径之间的回路电感是50 nH。
42. 如果50 Ω微带线中的返回路径宽度与信号线宽相等，则其特性阻抗比返回路径无限宽时的特性阻抗高20%。
43. 如果50 Ω微带线中返回路径的宽度至少是信号线宽的3倍，则其特性阻抗与返回路径无限宽时特性阻抗的偏差小于1%
44. 布线的厚度可以影响特性阻抗，厚度增加1 mil，阻抗就减少2 Ω。例如，0.5盎司铜线与1盎司铜线相比，厚度增加了0.7 mil，布线阻抗约减少了1 Ω。
45. 微带线顶部的阻焊层厚度会使特性阻抗减小，厚度增加1 mil，阻抗减少2 Ω。例如，0.5 mil阻焊层会使特性阻抗约减小1 Ω。

46. 为了得到精确的集总电路近似，在每个上升时间的空间延伸里至少需要有3.5个LC节。例如，如果上升时间是1 ns，在FR4中的延伸空间是6 in。那么为了达到精确的近似，在每6 in内至少需要3.5个LC节，即每隔2 in就有1节。
47. 单节LC模型的带宽是0.1/TD。例如，假设传输线的时延是1 ns，如果用单节LC电路模拟，则带宽可达到100 MHz。

B.7 第8章

48. 如果传输线时延比信号上升时间的20%短，就不需要对传输线进行端接。
49. 在50 Ω系统中，5 Ω的阻抗变化引起的反射系数是5%。
50. 保持所有的突变（in）尽量短于上升时间（ns）的量值。例如，如果上升时间是0.5 ns，应保持所有阻抗突变长度小于0.5 in。如这样来设计过孔区域的颈状长度，就是可以接受的。
51. 远端的容性负载会增加信号的上升时间。10-90上升时间约是（100 × C）ps，其中C的单位为pF。例如，如果接收器的输入门电容的典型值是2 pF，则RC制约的上升时间约是200 ps。
52. 如果突变的电容小于0.004 × RT，则可能不会产生问题。例如，如果上升时间是1 ns，突变电容应少于0.004 nF，即4 pF。
53. 50 Ω传输线中拐角的电容（fF）是线宽（mil）的2倍。例如，50 Ω线条的线宽是10 mil，则90度拐角处的电容是20 fF。当上升时间为0.02 pF/0.004 = 5 ps时,它可能会引起反射问题。
54. 容性突变会使50%点的时延约增加$0.5 \times Z_0 \times C$。例如，如果50 Ω传输线的电容是1 pF，增加的时延将是25 ps。
55. 如果突变的电感（nH）小于上升时间（ns）的10倍，则不会产生问题。例如，如果上升时间是1 ns，最大可以接受的感性突变约是10 nH。
56. 对上升时间少于1 ns的信号，回路电感约为10 nH的轴向引脚电阻可能会产生较多的反射噪声，这时可换成片式电阻。
57. 在50 Ω系统中，需要用4 pF电容来补偿10 nH电感。

B.8 第9章

58. 1 GHz时，1盎司铜线的电阻约是其在DC状态下电阻的15倍。
59. 1 GHz时，8 mil宽的线条的电阻产生的衰减与介质材料产生的衰减相当，并且介质材料产生的衰减随着频率变化得更快。
60. 对于3 mil或更宽的线条而言，低损耗状态全是发生在10 MHz频率以上。在低损耗状态时，特性阻抗及信号速度与损耗和频率无关。在常见的板级互连中不存在由损耗引起的色散现象。
61. -3 dB衰减相当于初始功率减小到50%，初始电压幅度减小到70%。
62. -20 dB衰减相当于初始功率减小到1%，初始电压幅度减小到10%。

63. 当处于趋肤效应状态时，信号路径与返回路径的单位长度串联约是(8/w) × sqrt(f) (其中线宽 w：mil；频率 f：GHz)。例如，10 mil 宽的线条，其串联电阻约是 0.8 Ω/in，并且与频率的平方根成正比。
64. 50 Ω 的传输线中，由导体产生的单位长度衰减约是 $36/(wZ_0)$dB/in。例如，如果 50 Ω 传输线的线宽是 10 mil，则衰减是 36/(10 × 50) = 0.07 dB/in。
65. FR4 的耗散因子约是 0.02。
66. 1 GHZ 时，FR4 中由介质材料产生的衰减约是 0.1 dB/in，并随频率线性增加。
67. 对于 FR4 中的 8 mil 宽、50 Ω 传输线，在 1 GHz 时，其导体损耗与介质材料损耗相等。
68. 受耗散因子的制约，FR4 互连线（其长是 Len）的带宽约是 30 GHz/Len。例如，50 Ω、10 in 长的传输线带宽是 3 GHz。
69. FR4 互连线可以传播的最短上升时间是 10 ps/in × Len。例如，50 Ω 的 FR4 线长 10 in 时，它可以传播的信号的上升时间至少是 100 ps。
70. 如果互连线长度（in）大于上升时间（ns）的 50 倍，则 FR4 介质板中由损耗引起的上升边退化是不可忽视的。例如，如果上升时间是 200 ps，当线长大于 10 in 时，必须考虑损耗。

B.9 第10章

71. 一对 50 Ω 微带传输线中，线间距与线宽相等时，信号线间的耦合电容约占 5%。
72. 一对 50 Ω 微带传输线中，线间距与线宽相等时，信号线间的耦合电感约占 15%。
73. 对于 1 ns 的上升时间，FR4 中近端噪声的饱和长度是 6 in，它与上升时间成比例。例如，如果上升时间是 0.5 ns，饱和长度是 3 in。
74. 一根线的负载电容是一常数，与附近其他线条的接近程度无关。
75. 对于 50 Ω 微带线，线间距与线宽相等时，近端串扰约为 5%。
76. 对于 50 Ω 微带线，线间距是线宽的 2 倍时，近端串扰约为 2%。
77. 对于 50 Ω 微带线，线间距是线宽的 3 倍时，近端串扰约为 1%。
78. 对于 50 Ω 带状线，线间距与线宽相等时，近端串扰约为 6%。
79. 对于 50 Ω 带状线，线间距是线宽的 2 倍时，近端串扰约为 2%。
80. 对于 50 Ω 带状线，线间距是线宽的 3 倍时，近端串扰约为 0.5%。
81. 一对 50 Ω 微带传输线中，间距与线宽相等时，远端噪声是 4% × TD/RT。如果线时延是 1 ns，上升时间是 0.5 ns，则远端噪声是 8%。
82. 一对 50 Ω 微带传输线中，间距是线宽的 2 倍时，远端噪声是 2% × TD/RT。如果线时延是 1 ns，上升时间是 0.5 ns，则远端噪声是 4%。
83. 一对 50 Ω 的微带传输线中，间距是线宽的 3 倍时，远端噪声是 1.5% × TD/RT。如果线时延是 1 ns，上升时间是 0.5 ns，则远端噪声是 3%。
84. 带状线或者完全嵌入式微带线上没有远端噪声。
85. 在 50 Ω 总线中，不管是带状线还是微带线，要使最坏情况下的近端噪声低于 5%，就必须保持线间距大于线宽的 2 倍。
86. 在 50 Ω 总线中，线间距离等于线宽时，受害线上 75% 的串扰来源于受害线两边临近的那两根线条。

87. 在50 Ω总线中，线间距离等于线宽时，受害线上95%的串扰来源于受害线两边距离最近的每边各两根线条。
88. 在50 Ω总线中，线间距离是线宽的2倍时，受害线上100%的串扰来源于受害线两边临近的那两根线条。这时可以忽略与总线中其他所有线条间的耦合。
89. 对于表面布线，加大相邻信号线间的距离使之足以添加一个防护布线，串扰常常就会减小到一个可以接受的水平，而且这时没必要增加防护布线。添加终端短接的防护布线可将串扰减小约50%。
90. 对于带状线，使用防护布线可以使串扰减小到不用防护布线时的10%。
91. 为了保持开关噪声在可接受的水平，必须使互感小于2.5 nH × 上升时间（ns）。例如，如果上升时间是0.5 ns，由于两对信号/返回路径对间的耦合产生开关噪声串扰，为使此值保持在一个可接受的水平，互感应小于1.3 nH。
92. 对于受开关噪声限制的接插件或者封装来说，最大可用的时钟频率是250 MHz/(N × L_m)。其中，L_m是信号/返回路径对之间的互感（nH），N是同时开关线的数量。例如，如果4个引脚共用一个返回路径，每对引脚之间的互感约是1 nH，则接插件的最大可用时钟频率是250 MHz/4 ≈ 60 MHz。

B.10 第11章

93. 在LVDS信号中，共模信号分量是比差分信号分量大2倍以上。
94. 如果之间没有耦合，差分对的差分阻抗是其中任意一个单端线阻抗的2倍。
95. 一对50 Ω微带线，只要其中一根线的电压维持在高或低不变，则另一根线的单端特性阻抗就与临近线的距离完全无关。
96. 在紧耦合差分微带线中，与线宽等于线间距时的耦合相比，线条离得很远而没有耦合时，差分特性阻抗仅会降低10%左右。
97. 对于宽边耦合差分对，线条间的距离应至少比线宽大，这么做的目的是为了获得可高达100 Ω的差分阻抗。
98. FCC的B级要求是，在100 MHz时，3 m远处的远场强度要小于150 μV/m。
99. 邻近的单端攻击线在强耦合差分对上产生的差分信号串扰比弱耦合差分对上的少30%。
100. 邻近的单端攻击线在强耦合差分对上产生的共模信号串扰比弱耦合差分对上的多30%。

附录C 参考文献

Anderson, E.M. *Electric Transmission Line Fundamentals*. Reston, VA: Reston Publishing Company, Inc., 1985.

Archambeault, B. *PCB Design for Real World EMI Control*. The Netherlands: Kluwer Academic Publishers, 2002.

Bakoglu, H.B. *Circuits, Interconnects, and Packaging for VLSI*. Reading, MA: Addison-Wesley, 1990.

Bennett, W.S. *Control and Measurement of Unintentional Electromagnetic Radiation*. Hoboken, NJ: John Wiley and Sons, 1997.

Buchanan, J.E. *Signal and Power Integrity in Digital Systems*. Columbus, OH: McGraw-Hill Book Company, 1995.

Chipman, R.A. *Transmission Lines*. Schaum's Outline Series. Columbus, OH: McGraw-Hill Book Company, 1968.

Dally, W.J., and Poulton, J.W. *Digital Systems Engineering*. Cambridge, England: Cambridge University Press, 1998.

Gardial, F. *Lossy Transmission Lines*. Norwood, MA: Artech House, 1987.

Grover, F.W. *Inductance Calculations*. Mineola, NY: Dover Publication, 1973.

Hall, S.H., Hall, G.W., and McCall, J.A. *High Speed Digital System Design*. Hoboken, NJ: John Wiley and Sons, 2000.

Itoh, T. *Planar Transmission Line Structures*. Piscataway, NJ: IEEE Press, 1987.

Johnson, Howard, and Graham, Martin. *High Speed Digital Design*. Upper Saddle River, NJ: Prentice Hall, 1993.

Konsowski et al. *Electronic Packaging of High Speed Circuitry*. Columbus, OH: McGraw-Hill, 1997.

Mardiguian, Michel. *Controlling Radiated Emissions by Design*. The Netherlands: Chapman and Hall, 1992.

Martens, L. *High Frequency Characterization of Electronic Packaging*. The Netherlands: Kluwer Academic Publishers, 1998.

Ott, Henry. *Noise Reduction Techniques in Electronic Systems*. Hoboken, NJ: Wiley-Interscience, 1988.

Paul, Clayton. *Introduction to Electromagnetic Compatibility*. Hoboken, NJ: Wiley-Interscience, 1992.

Poon, Ron. *Computer Circuits Electrical Design*. Upper Saddle River, NJ: Prentice Hall, 1995.

Rosenstark, Sol. *Transmission Lines in Computer Engineering*. Columbus, OH: McGraw-Hill, 1994.

Skilling, H.H. *Electric Transmission Lines*. Melbourne, FL: Krieger Publishing Company, 1979.

Smith, D. *High Frequency Measurements and Noise in Electronic Circuits*. New York: Van Nostrand Reinhold, 1993.

Tsaliovich, A. *Cable Shielding for Electromagnetic Compatibility*. The Netherlands: Chapman and Hall, 1995.

Wadell, Brian. *Transmission Line Design Handbook*. Norwood, MA: Artech House, 1991.

Walker, C. *Capacitance, Inductance and Crosstalk Analysis*. Norwood, MA: Artech House, 1990.

Walsh, J.B. *Electromagnetic Theory and Engineering Applications*. New York: The Ronald Press Company, 1960.

Williams, Tim. *EMC for Product Designers*. Burlington, MA: Newnes Press, 1992.

Young, B. *Digital Signal Integrity*. Upper Saddle River, NJ: Prentice Hall, 2000.

附录D 术 语 表

2D field solvers，二维场求解器
  accuracy，精确
  characteristic impedance，特性阻抗
  cross talk，串扰
  geometry，几何，几何形状，几何结构
  LaPlace's Equation，拉普拉斯方程
  results，stripline comparison，结果，带状线比较

A
accuracy，approximation，精确，近似
active nets，有源网络
adjacent planes，impedance，临近平面，阻抗
aggressor nets，攻击网络
  cross talk and timing，串扰和时序
amplitude，振幅
  sine waves，正弦波
  voltage to current ratio，电压与电流之比
analytical approximations，解析近似
antennas，EMI，天线，电磁干扰（EMI）
approximations，近似
  characteristic impedance，特性阻抗
  equations，方程
  levels of approach，方案级别
attenuation，衰减
  dB，分贝，衰减单位
  definition，定义
  FR4，玻璃纤维板，一种由环氧树脂和有机玻璃组成的复合材料
  lossy lines，损耗线
  napiers，奈培
  per length，definition，单位长度，定义
AWG（American Wire Gauge），美国线规（AWG）

B
backplane，底板
bandwidth 带宽
  clock frequency，时钟频率
  interconnects，互连线
  lossy lines，损耗线
  LC models，LC 振荡模型
  measurement，测量
  models，模型
  rise time，上升时间
  signals，信号
behavioral simulators，行为仿真
BGAs（ball grid arrays），impedance，球型栅网阵列（BGA），阻抗
bit pattern，位序模式
bounce diagrams，reflections，反弹图，反射
branches，分支
  discontinuities，突变
  impedance，阻抗
bulk dielectric constant，体介电常数
bulk resistivity，体电阻率
  sheet resistance，方块电阻
  volume resistivity，体电阻率

C
cable TV coaxial cable，电视同轴电缆
cable，see also interconnects，电缆，又见互连线
  impedance，阻抗
capacitance，电容

capacitively coupled currents，容性耦合电流
coupling origin，cross talk，耦合源，串扰
decoupling，去耦合
ground planes，地平面
power planes，电源平面
displacement current，位移电流
field lines，电（磁）力线
insulating material，绝缘材料
interconnects，length，互连线，长度
matrix element，even mode calculation，矩阵元素，偶模计算
Maxwell capacitance matrix，麦克斯韦电容矩阵
parallel plate approximation，平行板近似
reflections，traces，反射，布线
spheres，球形
SPICE capacitance matrix，cross talk，SPICE电容矩阵，串扰
traces，reflections，布线，反射
voltage，电压
capacitive coupling，cross talk，容性耦合，串扰
capacitive delay adders，reflections，容性时延累加，反射
capacitive end terminations，reflections，容性终端，反射
capacitive load，容性负载
capacitors，电容
current flow，电流流动
displacement current，位移电流
ideal，time domain，理想的，时域
interconnects，互连线
physical characteristics，物理特性
characteristic impedance，特性阻抗
approximations，近似
calculating，2D field solvers，计算，二维场求解器
famous，著名
frequency variation，频率变量
matrix，矩阵
Ghms，欧姆，Ω
return path width，返回路径宽度
circuit elements，real vs. ideal，电路元件，实际与理想状态下相比较
circuit models，电路模型
creating from calculation，由计算产生
cross talk，串扰
n-section lumped，n-节集总
circuit simulators，电路仿真器
circuit theory，SPICE，电路理论，SPICE
clearance holes，field of，loop inductance of planes，出砂孔，平面回路电感
clock frequencies，时钟频率
bandwidth，带宽
increases，problems，出现的问题
clock period，time domain，时钟周期，时域
coax transmission lines，同轴传输线
cable TV，电视电缆
RG58 interconnect，RG（Radio Grade）58互连线（无线电等级标准的一种）
RG59 interconnect，RG（Radio Grade）59互连线（电缆等级）
RG174 interconnect，RG（Radio Grade）174互连线（电缆等级）
coils，线圈
flux lines，inductance，磁力线，电感
inductance，电感
common signals，共模信号
converting from differential signals，由差分信号转变
EMI，电磁干扰
even mode voltage components，偶模电压分量
odd mode voltage components，奇模电压分量
terminating，终端
compensation，reflections，补偿，反射
complex dielectric constant，复介电常数
conductivity，电导率
resistivity，电阻率
Siemens，西门子
conductors，导线